

高速边界扫描主控器设计

晏新晃¹, 茹惠素², 吴荣泉¹

(1. 华东计算技术研究所, 上海 200233; 2. 浙江省信息化推进服务中心, 杭州 310014)

摘要: 分析边界扫描测试技术的工作机制和对测试支撑系统的功能需求, 提出一种基于 USB 总线的高速边界扫描测试主控器的设计方案。利用 CY7C68013 作为 USB2.0 接口控制器, 使用 CPLD 实现 JTAG 主控硬核, 完成 JTAG 协议和 USB 总线协议的相互转换。JTAG 的 TCK 时钟频率可调, 最高可达 48 MHz。用户可利用该边界扫描控制器方便高效地进行边界扫描测试。

关键词: 国际联合测试工作组; 边界扫描; USB 总线

Design of High-speed Boundary Scan Master Controller

YAN Xin-huang¹, RU Hui-su², WU Rong-quan¹

(1. East China Institute of Computer Technology, Shanghai 200233; 2. Zhejiang Informatization Propulsion Service Centre, Hangzhou 310014)

【Abstract】 This paper analyzes the test mechanism of boundary-scan test and the functional requirement of test supported system, and presents a design project based on USB-bus high-speed boundary scan master controller. It uses CY7C68013 as USB2.0 interface controller and uses CPLD to implement JTAG master core. So it can accomplish conversion of JTAG protocol and USB-bus protocol, and can modulate the frequency of TCK which can run at a maximum rate of 48 MHz. Users can use this boundary-scan master controller to complete boundary scan test more expediently and efficiently.

【Key words】 Joint Test Action Group(JTAG); boundary scan; USB bus

1 概述

边界扫描测试(Boundary Scan Test, BST)^[1]是由国际联合测试工作组(Joint Test Action Group, JTAG)提出的一种新的电路板测试方法,其主要思想是通过在芯片的I/O管脚和芯片内部逻辑电路之间增加由移位寄存器构成的边界扫描单元(Boundary Scan Cell, BSC)以及一些附加的测试控制逻辑,以实现测试向量的加载及测试响应向量的捕获。在测试期间,利用BSC来实现对芯片管脚状态的设置和读取,使管脚具有可控性和可观察性。在器件正常工作期间,边界扫描单元对于电路逻辑来说是透明的,不影响电路板的正常工作。这种测试技术提供了在板级对芯片及其相互连接的逻辑进行测试的可能性。芯片集成度的提高、板级和系统级功能的日益复杂,都对边界扫描的效率提出了挑战。除了优化的测试算法外,高速的边界扫描控制器也非常重要。

本文给出一种基于USB2.0^[2]边界扫描主控器的设计方案。该边界扫描控制器不仅向量加载效率高,而且还可随时接入系统,使用户能方便地利用它与计算机组成一个边界扫描系统,对支持IEEE1149.1协议的芯片和电路板进行测试和故障诊断。

2 整体设计

2.1 测试系统结构设计

边界扫描测试系统的总体结构在逻辑上共有5层:测试系统软件层(上位机)、USB接口层(Ezusb-fx2接口芯片)、JTAG协议转换层(CPLD)、扫描链管理层(JTAG Chain Bridge)和被测系统(被测器件)。边界扫描控制器涉及测试系统的USB接口层和JTAG协议转换层。边界扫描测试控制器的主要功能是将上位机发送的USB测试数据和控制命令经USB接口层转换,再经JTAG协议层,生成符合IEEE1149.1协议的JTAG测

试数据和测试指令,同时也接受从被测系统的接口(TDO)移出的数据,经JTAG协议转换层和USB接口层后,送上上位机中^[3]。

2.2 边界扫描控制器的总体结构设计

边界扫描控制器从整体上看是一个实现 USB 数据信号到 JTAG 串行数据的协议转换的设备,整体结构如图 1 所示。

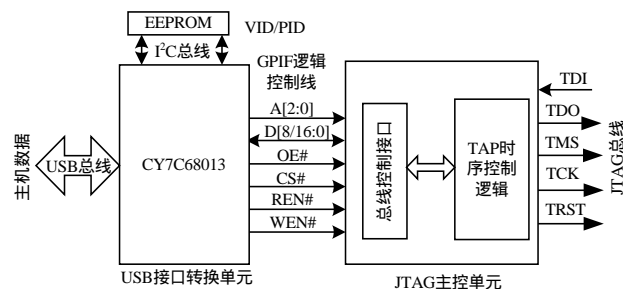


图 1 边界扫描控制器整体逻辑结构

从图 1 中可以看出,控制器主要有 2 个单元:由 USB 接口芯片组成的接口转换单元和 CPLD 实现的 JTAG 主控单元。分别对应逻辑上的 USB 接口层和 JTAG 协议转换层。USB 接口转换单元主要由 USB 接口芯片和外围电路组成, JTAG 主控单元由本地总线接口逻辑和 TAP 时序控制逻辑组成。

3 USB 接口转换单元

USB 接口转换单元是整个边界扫描控制器的关键,在逻辑层中处于 USB 接口层。它实现复杂的 USB 总线信号和本地总线信号之间的相互转化,为 JTAG 主控单元提供所需信

作者简介: 晏新晃(1982 -),男,硕士研究生,主研方向:可测试性设计;茹惠素,高级工程师;吴荣泉,研究员

收稿日期: 2008-05-25 **E-mail:** tianfeng485@163.com

号,也将被测系统的响应测试数据信号转化后送上上位机。主要涉及接口转换电路、固件程序和 USB 驱动程序。

3.1 接口转换电路

本文的接口转化电路选用EZ-USN FX2 CY7C68013-128AC芯片^[3]作为核心。该芯片作为集成USB2.0的微处理器,集成了USB2.0收发器、智能SIE(串行接口引擎)、增强型8051微控制器和可编程的外围接口。在FX2中,智能SIE可以硬件处理USB1.1和USB2.0协议,从而减少了开发时间并确保USB的兼容性,GPIF(通用可编程接口)和主/从端点FIFO提供了与CPLD主控单元的无缝连接^[4]。

3.2 USB 驱动程序设计

USB 驱动程序是操作系统中控制和连接硬件的关键,提供了连接到计算机的硬件设备的软件接口。本文采用 WDM 型的 USB 驱动程序来开发,它是分层的结构模式,使开发编写驱动程序相对简单,且节省系统资源,不易出错。

基于 DDK 开发的 USB 驱动程序,主要包括驱动程序入口例程、即插即用例程、分发例程、电源管理例程、卸载例程。分发例程中的 Read, Write 和 DeviceControl 例程是驱动程序中分别负责处理 USB 数据的读写和设备控制。其中,Read 例程和 Write 例程处理确定设备管道的传输类型、传输数据的大小、创建中断和批量传输的 URB。核心是创建 USB 请求块(USB Request Block, URB),创建函数如下:

```
UsbBuildInterruptOrBulkTransferRequest(...);
```

而 DeviceControl 例程负责传输用户请求的 URB,定义用户请求类型、数据长度、传输方向、字节字段参数,调用 USB 设备类驱动,实现数据传输。以上 3 个例程属于分发例程,具体函数如下:

```
DriverObject->MajorFunction [IRP_MJ_READ]=Ezusb_read;
DriverObject->MajorFunction [IRP_MJ_WRITE]=Ezusb_write;
DriverObject->MajorFunction [IRP_MJ_CONTROL]=Ezusb_
```

IOCTL;

驱动程序中的即插即用例程 DispatchPnp()实现了控制器真正意义上的即插即用,该例程用来启动、停止和删除设备。

3.3 USB 固件程序设计

固件程序是运行在设备处理器中的程序。在上位机驱动程序被加载时,固件程序也会由加载器通过 USB 总线加载到芯片的 RAM 区域,并开始执行。只有在该固件程序运行时,外设才能被称为具有给定功能的外部设备。EZ-USB FX2 芯片提供了一个固件程序框架,简化了固件程序的编写,实现了 USB 兼容的外围设备需要的基本功能,其框架处理流程如图 2 所示。

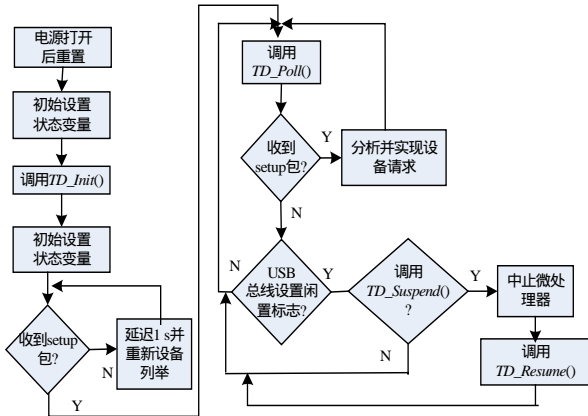


图 2 固件框架流程

TD_Init(), TD_Poll(), TD_Suspend()和 TD_Resume()是固件程序中函数钩子,是固件程序和应用程序之间的桥梁。TD_Init()函数负责设备的初始化,TD_Poll()函数在设备运行时重复调用,完成设备任务,TD_Suspend()函数在设备挂起时调用,使得设备进入低功耗状态,而 TD_Resume()函数在设备重新启动时调用。

USB 接口和 JTAG 主控两者之间的连接通信采用 GPIF 主模式,使用芯片内置 FIFO,并且在固件设计中采用了 USB 批量和中断传输方式,使得数据能大量传输并得到及时处理。

4 JTAG 主控单元

JTAG 主控单元是整个控制器的核心部分,实现 USB 信号和 JTAG 信号之间的相互转换,在逻辑层中处于 JTAG 协议转换层。

4.1 JTAG 控制器的结构设计

JTAG 主控单元的主要功能逻辑包含总线控制接口逻辑和 TAP 时序控制逻辑,以及能产生独立时钟信号的逻辑,该单元的组成结构如图 3 所示。

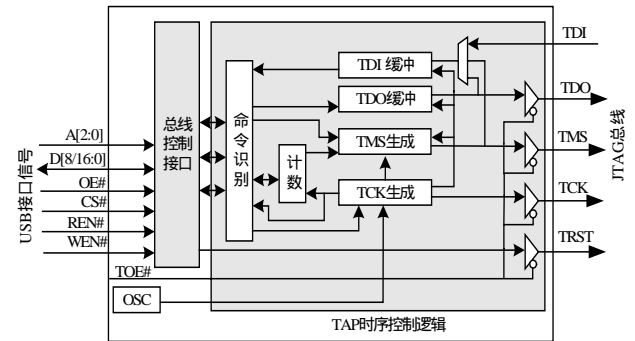


图 3 JTAG 主控单元组成结构

总线控制接口逻辑负责调解、管理控制接口部分的信号。具体包括地址和控制线译码、数据总线信号调节、复位和使能信号处理。

4.2 TAP 时序控制逻辑

被测的器件内部的 TAP 控制逻辑本身实现的是一个由 TMS 控制状态转移、在 TCK 上升沿变化的有限状态机。它包括 3 个输入引脚和 1 个输出引脚:

- (1)测试数据输入(Test Data In, TDI):将数据或指令以串行方式移入 TAP 中。
- (2)测试数据输出(Test Data Out, TDO):移出响应数据。
- (3)测试方式选择(Test Mode Select, TMS):控制 TAP 控制器的状态。
- (4)测试时钟(Test Clock, TCK)。

TDI, TCK, TMS 为输入引脚,在时钟信号的上升沿取样输入,并且按图 4 所示的状态,使器件进入到相应的测试状态,同时产生该状态下所需要的控制信号。共有 16 个状态,除测试逻辑复位(Test Logic Reset)和运行测试/空闲(Run Test/Idle)状态外,其余可分为指令操作的状态和对数据操作的状态 2 大类,2 类状态一一对应。上电复位后,TAP 控制器处于 Test Logic Reset 状态,并一直保持在这个状态,直到在 TMS 信号上出现一个有效的低电平。在正常测试过程中,外部的测试指令在指令寄存器移位(Shift-IR)状态移入,测试矢量在数据寄存器移位(Shift-DR)状态移入。

边界扫描控制器的功能是在上位机软件的命令之下为被测测试器件的 TAP 控制逻辑提供状态驱动、数据的输入与输出。

而 TAP 时序控制逻辑是协议转换的核心逻辑,完成如下功能:

(1)命令识别:产生除主机接口单元外的其他单元的控制信号,使整个 TAP 控制逻辑进行有序的工作。

(2)计数:提供数据移位的时间标准,在移位操作结束时给出结束信号。

(3)TDI 缓冲:从 TAP 接口中的 TDI 信号线接收数据,转化成并行数据后存放至 TDI 寄存器中。

(4)TDO 缓冲:将 TDO 寄存器的数据按 IEEE 1149.1 标准中规定的格式,从 TAP 接口中的 TDO 信号线发送到待测电路中。

(5)TMS 生成:根据来自命令识别模块的控制信号和状态信号产生 TAP 接口中的 TMS 信号,同时根据产生的 TMS 信号给出待测电路板当前所处的状态。

(6)TCK 生成:产生 TAP 接口中的 TCK 信号,且时钟频率可调。

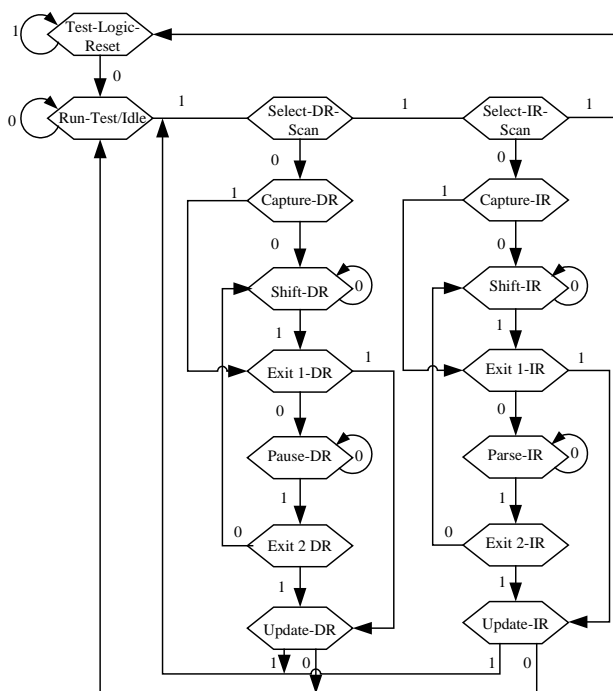


图 4 TAP 控制器状态

5 实验

控制器用 Verilog 语言编写,对 JTAG 主控芯核进行一系列时序仿真后,将其集成在一片 CPLD 芯片内,应用于边界扫描控制器的设计中。组建一个边界扫描测试实验系统,以

对边界扫描控制器作进一步验证。

边界扫描控制器接收主控计算机发来的控制命令及发向被测件的测试数据,同时接收测试响应数据,通过发送测试数据和接收测试相应数据来观察控制器的数据传输速度。采用同步传输方式,接口芯片的时钟是 48 MHz,传输的数据宽度是 16 bit。图 5 和图 6 是通过逻辑分析仪截获的数据输出和输入的时序图。

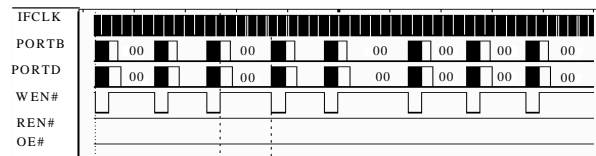


图 5 控制器写时序图



图 6 控制器读时序图

传输的数据是以 512 Byte 块的方式传输。经过计算分析,数据的传输率可以达到 $23 \text{ M} \times 16 \text{ bit/s} = 368 \text{ Mb/s}$,达到了理想的数据传输速率。

6 结束语

本文提出基于 USB2.0 总线的高速边界扫描控制器,支持热插拔和即插即用,最大化地利用了 USB2.0 的传输带宽,在 FX2 与 CPLD 之间采用 GPIF 主模式的通信方式,符合边界扫描测试时对测试数据高速率传输的要求,缩短了边界扫描的测试时间,提高了扫描效率。

参考文献

- [1] Test Technology Technical Committee of the IEEE Computer Society. IEEE Std1149.12-1990 IEEE Standard Test Access Port and Boundary Scan Architecture[S]. 1990.
- [2] 王成儒,李英伟. USB2.0 原理与工程开发[M]. 北京: 国防工业出版社, 2004.
- [3] 林金晓,陈伟男,周学功,等. 基于 Eclipse 平台的边界扫描测试软件的开发[J]. 计算机工程, 2007, 33(12): 280-282.
- [4] 钱峰. EZ-USB FX2 单片机原理编程及应用[M]. 北京: 北京航空航天大学出版社, 2006.

(上拉第 209 页)

参考文献

- [1] 张蕴玉,王元祥,胡修林. 高速数据采集系统中的存储瓶颈问题及其解决[J]. 微计算机应用, 2007, 28(6): 610-613.
- [2] 张俊杰,乔崇,刘尉悦,等. 高速数据采集系统中时钟抖动研究[J]. 中国科学技术大学学报, 2005, 35(2): 227-231.
- [3] Dalt N D. On the Jitter Requirements of the Sampling Clock for

Analog-to-Digital Converters[J]. IEEE Transactions on Circuits and Systems, 2002, 49(9): 1354-1360.

- [4] 陈双燕,王东辉,张铁军,等. 基于 WISHBONE 的可兼容存储器控制器设计[J]. 计算机工程, 2006, 32(18): 240-242.
- [5] 张平,刘寄,伍卫华. 基于 S5933 的高速数据采集卡控制设计[J]. 重庆大学学报, 2006, 29(10): 69-73.