

文章编号: 1001-4322(2009)07-1101-05

随机脉冲序列的 ns 级时间检测及峰值检测*

任 勇¹, 魏 彪², 冯 鹏², 米德伶²

(1. 重庆大学 通信工程学院, 重庆 400044; 2. 重庆大学 光电技术及系统教育部重点实验室, 重庆 400044)

摘 要: 利用 1 GHz 超高速 A/D 转换单元和现场可编程逻辑门阵列高速处理单元, 实现了一种对快响应随机事件转换得到的快逻辑窄脉冲序列进行在线检测的系统。设计了 PeakTDC 滞回峰值检测算法以求取脉冲的峰值位置, 并以峰值位置标定序列中的脉冲时间, 进而形成脉冲序列的时间编码及峰值幅度。用实际生成的脉冲序列对系统进行了验证测试, 脉冲检测的时间间隔误差为 1 ns, 峰值幅度误差为 2 个量化单位, 脉冲对的分辨时间为 10 ns。算法理论和实验结果表明, 系统可以获得在有限时间仓轴上的随机脉冲序列的 ns 级时间数字转换, 同时可以获得脉冲的峰值。

关键词: 随机脉冲序列; 时间数字转换; 时间检测; 峰值检测; 快逻辑

中图分类号: TP274; TN78 **文献标志码:** A

在诸如激光、雷达信号、核材料衰变、生物医学信号和噪声分析中, 原始物理对象的反应性表现为随机事件。这种事件一般需要通过前端电子学电路转换为脉冲信号, 一个脉冲代表着一次事件, 在有限长或无限长的时间轴上就形成了随机脉冲序列, 从而将对原始物理对象的分析探求转换到对随机脉冲信号的处理分析上^[1-2]。在平稳随机过程中, 人们主要关心事件发生的相对时间距离, 对这时间序列信息进行进一步的概率统计、速率计算、相关计算、功率谱密度估计等后续分析处理, 就能揭示出分析对象的物理本质。因此, 随机脉冲序列的时间检测是事件型随机信号分析应用中的关键环节, 这个过程通常称为时间数字转换(TDC)。对于 ns 级反应时间的随机事件所形成的脉冲, 在 1 ns 精度范围内快速而精确地检测其脉冲时间和峰值, 一直是事件型随机信号分析应用中的关键和难点^[3]。

1 随机脉冲序列的检测策略

事件型时间检测的对象是表现形式如图 1 所示的随机脉冲序列。由于电子学电路的器件特性局限, 脉冲并不是理想的 δ 冲击, 实际上仍然是带有上升沿、顶峰、下降沿以及微弱波动的模拟信号。对于事件型的随机过程分析还必须对这个脉冲序列进行进一步的数字化时间提取, 以获得理想 δ 冲击序列, 最终送交给后端处理机的数据为二值化数字信号, 也就是形成在时间轴上对应于事件“有”、“无”的“0”、“1”序列, 其中“0”代表有事件发生, “1”代表无事件发生。因为随机脉冲在大多数的时间仓内为 0, 实际记录或存储时可按数据编码或压缩形式处理, 对如图 1 所示的脉冲检测序列时间就可记录为(1, 5, 8, 13, ..., 8 190), 数据量将大为减少, 有利于时间信息在整个系统中的传输、存储及运算。

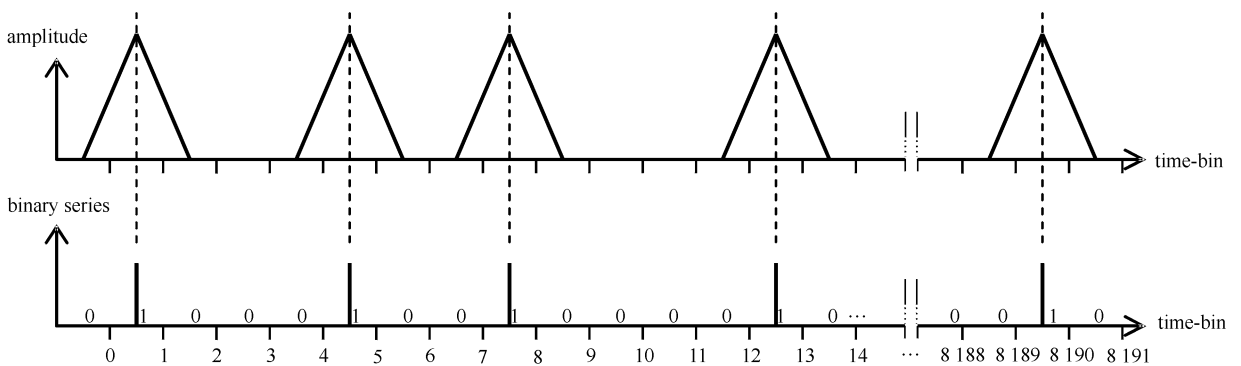


Fig. 1 Tactics of time detection for random pulse sequence

图 1 随机脉冲序列的时间检测策略

* 收稿日期: 2008-11-11; 修订日期: 2009-05-20

基金项目: 重庆市科委自然科学基金项目(CSTC2007BB3174)

作者简介: 任 勇(1966—), 男, 副教授, 研究方向为电子信息、数据采集与处理、嵌入式系统; renyong0801@163.com。

图 1 中时间轴的刻度单位代表时间检测精度,即时间分辨率,本文将其定义为时间仓,时间轴的总长度定义为数据块大小。对于随机事件的检测实际上转化为判断各个时间仓内是否有脉冲发生。当时间仓单位由 ms, μ s 或 s 变为 ns 而且脉冲占位也为 ns 级时,意味着检测难度急剧加大、检测速度要求极高,传统的 TDC 检测方法已无法胜任。本文所要检测的对象正是 ns 级快反应事件经过前端电子学电路转换得到的 ns 级快逻辑窄脉冲序列,其脉冲电特性通常为:半高宽约 5 ns,上升沿约 3 ns,下降沿约 3 ns,脉冲间距最小 10 ns,脉冲幅度峰峰值为 800 mV,同时伴有 mV 级的微弱随机波动。

对于这类脉冲序列的检测,除了需要获得脉冲发生的 ns 级时间间隔,也需要获得其脉冲峰值。目前见诸报道的随机脉冲的 TDC 检测及峰值检测方法主要停留在 μ s 级或 ms 级检测,峰值检测仍需要峰值保持电路,而且以往脉冲时间检测多为前沿估计、模拟数字电路混合设计^[4-6]。德国 ACAM 公司的时间-数据转换专用芯片 TDC-GP1 和 TDC-GP2 虽然时间检测精度可以达到 125 ps^[7],但是它们只能用于 2 个脉冲间的时间间隔检测,不能应对由多个随机脉冲组成的脉冲序列,即无法获取连续时间轴上的多个脉冲时间信息,而且还损失了脉冲峰值信息。本文针对上述随机脉冲序列进行精度为 1 ns 的检测,以获得对快反应随机事件在有限个时间仓轴上的 ns 级 TDC 转换,并且不需要峰值保持电路就可以获得脉冲的峰值。其中,随机脉冲序列的脉冲时间以每个脉冲的峰值位置为基准。

2 随机脉冲序列检测的系统构建

本文所构建的随机脉冲序列的 ns 级时间及峰值检测系统如图 2 所示,其关键组件为外设组件互连标准 (PCI) 插卡形式的、由 PC 主机控制管理的超高速数据采集卡,而采集卡的核心又是 1 GHz 采样率的超高速模数转换 (ADC) 单元和大量、高性能的现场可编程逻辑门阵列 (FPGA) 单元。系统工作的基本过程为:前端电子学电路产生的快逻辑窄脉冲信号经同轴电缆进入采集卡的输入通道后,经过前置滤波电路、衰减电路、可变增益的放大电路,经过 ADC 采样量化转化成 FPGA 可以处理的数字信号缓存到存储器。在 PC 主机应用程序的交互控制管理下,进行模拟通道的阻抗匹配、放大器增益大小、偏置、采样方式、采样频率、每次采样点数、启动 A/D 转换及转换结束的识别等控制,并将采集到的原始数据或处理后数据通过 PC 主机的 PCI 总线接口以 DMA 方式传输到计算机内存,以供 PC 主机对数据信号进行存储、分析、处理、显示及打印输出等工作。

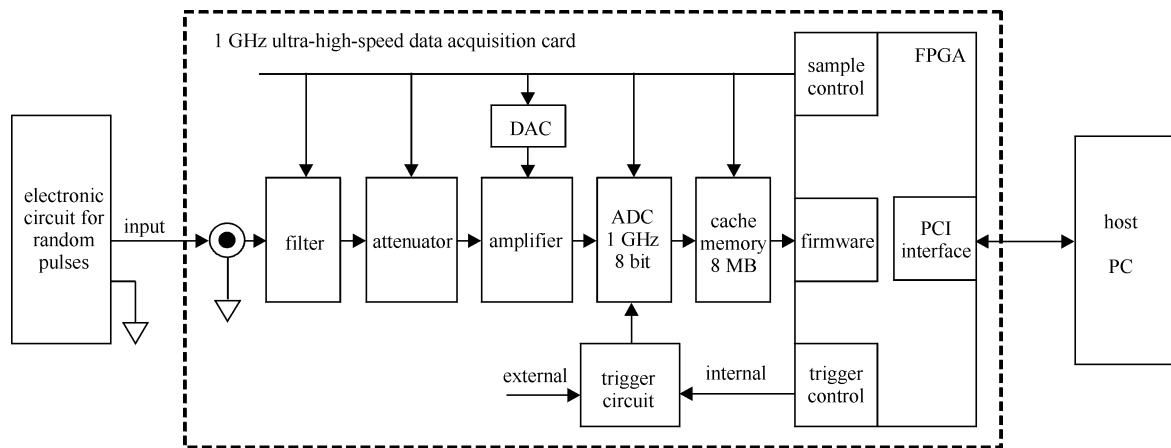


Fig. 2 Block diagram of detecting system

图 2 检测系统原理框图

对于上升沿为 3 ns 的窄脉冲信号,其带宽实际为 167 MHz,工程实际需要 3~5 倍带宽以上的采样率才能获得不失真的高精度信号样本,采集卡采用的 1 GHz 采样率 (1 ns 采样精度)、8 bit 量化精度的 ADC 器件 ADC08D1000^[8] 完全满足要求。这样,8 MB 高速缓存中得到的 A/D 转换结果就为 1 ns 时间间隔、8 388 608 ns 时长的 8 位数字化数据,这组数据对应 time-bin 为 1 ns, block-size 为 8 388 608,为后续峰值检测和时间检测提供了 1 ns 精度的基础保障。

采集卡中 FPGA 器件选用 Xilinx Virtex-4 SX 平台 FPGA^[9],它特别针对高性能实时信号处理需要提供了极高比例的 XtremeDSP 逻辑片与嵌入式块 RAM 资源,能够提供突破性的 DSP 性能。FPGA 单元除了担负采样控制、触发控制和 PCI 接口控制等基本任务外,更重要的是构造一个在线处理固件使得采集卡直接具

有分析处理能力:将采集到的脉冲序列数据进行预定的处理分析,在线检测出各个脉冲的峰值及其时间间隔,同时完成数据简化、过滤等,其输出到 PCI 接口的数据为数据量大为减少的峰值数组和时间数组。这样既利用了 FPGA 的快速处理能力,又可提高有用数据的吞吐量,降低 PCI 总线的负担。

3 脉冲峰值及时间检测算法

本文设计并配置的卡载 FPGA 在线处理固件的算法称为 PeakTDC 滞回峰值检测,其功能就是对一次采样获得的 1 ns 时间间隔的 8 388 608 个量化数据进行实时检测,以获得随机脉冲的峰值数据和峰值时间位置信息。如图 3 所示,其中 P_1 和 P_2 点即为需要检测出的脉冲峰值及其时间位置, Δ_{up} 为预先定义的“上升增量”条件, Δ_{down} 预先定义的“下降增量”条件。该 PeakTDC 滞回峰值检测算法的核心依据是:脉冲峰值点必定是波形中的有一定上升增量以及下降增量的最大点。其基本工作原理如下:首先,为进一步减少处理数据量、提高 FPGA 在线处理速度,设定一个门阈值(V_i)用以摒弃与峰值电压相距较远的低电压波动,也即门阈值以下的电压值直接限定为 0,门阈值以上的电压值予以保留;然后,开始遍历扫描满足门阈值条件的所有数据,具体检测步骤如下:

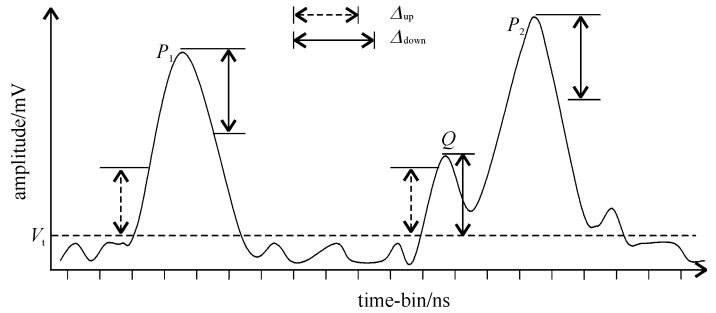


Fig. 3 Sketch of peak detecting algorithm

图 3 随机脉冲的时间及峰值检测算法示意

(1) 从满足门阈值的数据 $V[0]$ 处开始逐点扫描,同时更新数据最小值 $V_{\min} = \min(V[0], V[1], \dots, V[i_s])$, 逐点判断后续数据,找寻到比 V_{\min} 值上升了 Δ_{up} 的数据点,该数据点位置标记为 i_s ,即求取

$$\begin{cases} V_{\min} = \min(V[0], V[1], \dots, V[i_s]) \\ V[i_s] \geq V_{\min} + \Delta_{up} \end{cases} \quad (1)$$

(2) 继续扫描后续数据,同时更新数据最大值 $V_{\max} = \max(V[i_s], V[i_s+1] \dots V[i_M])$, 逐点判断后续数据,找寻到比 V_{\max} 值下降了 Δ_{down} 的数据点,该数据点位置标记为 i_v ,最大值位置标记为 i_M ,即求取

$$\begin{cases} V[i_M] = \max(V[i_s], V[i_s+1], \dots, V[i_v]) \\ V[i_v] \leq V[i_M] - \Delta_{down} \end{cases} \quad (2)$$

(3) 如果存在同时满足步骤 1 和步骤 2 的条件式(1)和式(2)的数据最大值点 $V[i_M]$,则记录其数据值和位置值($V[i_M], i_M$),该记录即确定为 P 对应的峰值数据和峰值位置。

(4) 返回步骤 1,重复处理,但从 $V[i_v+1]$ 点开始继续扫描检测,直到检测出所有的脉冲峰值点。

经过上述 PeakTDC 滞回峰值检测的处理算法(负脉冲时同理,对量化数据取反即可),最终可以检测出图 3 中的 P_1 和 P_2 为真实峰值点,使用这种峰值检测方法,即使脉冲与脉冲之间距离很近,也能正确检出。而波形起伏的高点如 Q 点因不同时满足条件(1)和条件(2)的峰值条件,被判断为脉冲的干扰波动顶而不予记录。这样,8 388 608 个量化数据中的非峰值数据及其位置全部摒弃,单次采样结果就直接转化为包含峰值幅度和峰值位置的若干个 2 维数组($V[i_{M1}], i_{M1}$), ($V[i_{M2}], i_{M2}$), \dots , ($V[i_{Mn}], i_{Mn}$), 形成数据量已减少的供后续 PCI 传输、主机分析的数据流,其中 n 为峰值数。在对单次采样结果的上述处理步骤中,如果所有数据小于门阈值,则表示没有脉冲峰值出现,峰值数记录为 $n=0$;如果仅满足条件式(1)而不满足条件式(2),也表示没有脉冲,峰值数记录为 $n=0$ 。

4 实验测试

为了验证和测试所构建系统的性能,使用高精度脉冲信号发生器生成符合快逻辑窄脉冲特性的高频周期信号序列,输入到系统中进行了实验和测试。在 A/D 转换单元中,前置滤波使用 200 MHz 带限滤波滤除信号中的高频干扰和毛刺。为了维持原脉冲序列的信号特性不变,而且来源信号峰峰值为 800 mV,符合 A/D 转换的电平要求,所以衰减与放大电路实际须设置为不做衰减与放大,A/D 转换时的参考电压设为 1 000 mV。又因为实际的随机脉冲序列的脉冲时间间隔和峰值幅度是随机的,无法预先标定,而信号发生器生成的周期脉冲的脉冲时间间隔和峰值幅度是预先确知的(可通过 4 GHz 以上高级示波器进一步确定),所以使已知脉冲信号序列经过整个系统的采集、检测、传输、解码、显示,最后得到的脉冲时间间隔和峰值相对幅度应与已知预期的

一致。实验针对快逻辑负脉冲, PeakTDC 滞回峰值检测算法条件设置为: $V_t = 0.1 \text{ V}$, $\Delta_{\text{up}} = 0.5 \text{ V}$, $\Delta_{\text{down}} = 0.5 \text{ V}$ 。

系统对脉冲信号发生器输出的 500 ns 周期的脉冲信号进行了 1×10^6 组数据块的脉冲序列时间检测, 检出脉冲的统计结果如表 1 所示, 可以看出, 每个脉冲均能正确检出, 并且检出脉冲的时间间隔大多为 500 ns。而时间轴上间隔为 $(500 \pm 1) \text{ ns}$ 的脉冲数量占总脉冲数量的 8% 左右, 这是因为在检出的脉冲序列中有部分脉冲尚存在 1 ns 的误差。

表 1 周期脉冲检测的结果统计
Table 1 Statistical results of periodic pulse detection

total pulse number	number at 500 ns interval	number at 501 ns interval	number at 499 ns interval	number at other intervals
16 777.00	15 434.84	838.85	503.31	0

图 4 中, 系统针对脉冲信号发生器输出的已知 400 ns 周期的脉冲对信号进行检测并做图形显示, 脉冲对间距已知为 10 ns。图 4(a) 为脉冲对信号的原始波形, 图 4(b) 为检测得到的二值化结果显示的软件截图, 可见如期检出脉冲对序列的时间间隔为 $(400 \pm 1) \text{ ns}$, 脉冲对间距为 10 ns。

经过对不同周期的脉冲信号或脉冲对信号进行反复、多次的实验测试后的数据观察和统计结果表明, 脉冲峰值检测的时间间隔误差最多为 1 ns, 峰值幅度误差最多为 2 个量化单位, 脉冲对最小分辨时间为 10 ns, 且没有发生漏检和误检, 每峰值检测平均耗时约 250 ns, 系统整体达到预期的精度要求和处理速度要求。

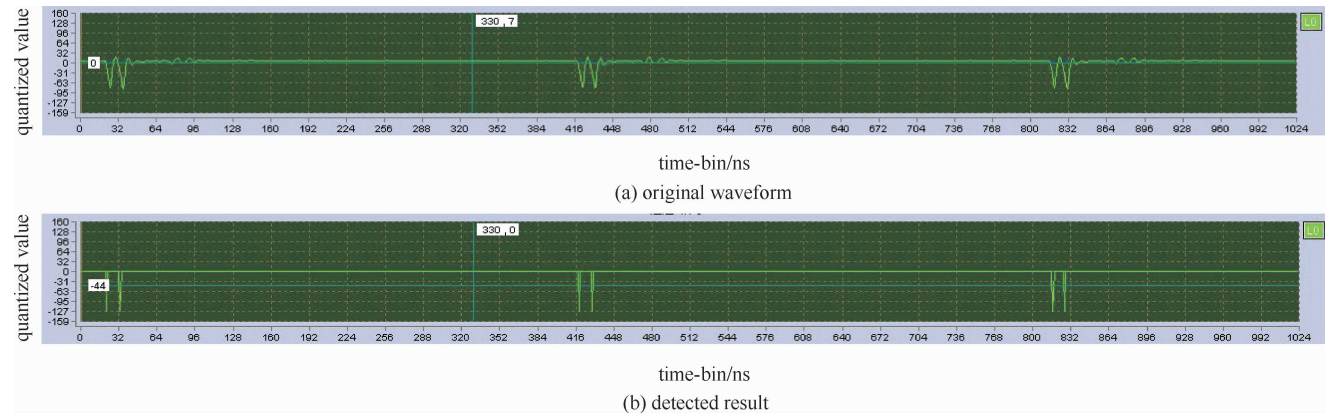


Fig. 4 Illustration of test for periodic paired pulses

图 4 周期脉冲对的测试示例

5 结 论

本文提出和实现了一种利用超高速 A/D 转换单元和 FPGA 高速处理单元快速提取随机脉冲序列脉冲时间和峰值的系统, 其中通过自行设计的 PeakTDC 滞回峰值检测算法在线检测, 时间检测精度达到 1 ns。理论和实际测试证明, 此系统可以获得对快反应随机事件在有限长时间轴上的 ns 级随机脉冲序列的 TDC 转换, 同时可以获得脉冲的峰值。实际上, 本文所述检测方法在适当调整相关参数后, 能够用以检测各类脉冲序列、脉冲对或者堆积脉冲信号, 也适应宽电压范围、正负极性、周期或随机脉冲。如果在 PC 主机端加配相应的软件模块, 可使系统具有多功能、灵活性和可扩展性。比如, 系统除能够在线检测出脉冲序列的时间间隔和峰值幅度外, 还可以用作具有 ns 分辨能力的虚拟示波器, 此功能仅需要关闭在线处理固件的在线处理功能, 直接读取 A/D 转换结果就可以了; 也可方便地实现对已检测到的信号进行概率统计、速率计算、相关计算、功率谱密度估计等后续分析处理。

参考文献:

- [1] 段绍节. 实验核物理测量中的粒子分辨[M]. 北京: 国防工业出版社, 1999. (Duan Shaojie. Particle resolution in measurement of experimental nuclear physics. Beijing: National Defense Industry Press, 1999)
- [2] 纪帆, 隋展, 李锋, 等. 时域延时多脉冲迭加平滑过程的分析[J]. 强激光与粒子束, 2006, 18(3): 579-583. (Ji Fan, Sui Zhan, Li Feng, et al. Analysis of pulse smoothing by multi-pulse interference in time domain. High Power Laser and Particle Beams, 2006, 18(3): 579-583)

- [3] 刘晓波,范晓强,杨成德,等. 脉冲时间序列采集分析器的研制与验证[J]. 核动力工程, 2007, **28**(S2):19-22. (Liu Xiaobo, Fan Xiaoqiang, Yang Chengde, et al. Development and verification of pulse time sequence acquisition equipment. *Nuclear Power Engineering*, 2007, **28**(S2): 19-22)
- [4] 纪圣谋,刘先昆,潘红兵,等. 核脉冲波形甄别[J]. 电子测量技术, 2006, **29**(1):58-59. (Ji Shengmou, Liu Xiankun, Pan Hongbing, et al. Nuclear pulse shape discrimination based on DSP techniques. *Electronic Measurement Technology*, 2006, **29**(1):58-59)
- [5] 陈国杰,曹辉,谢嘉宁. 核脉冲微分峰位检测电路的研究[J]. 核电子学与探测技术, 2007, **27**(5):962-966. (Chen Guojie, Cao Hui, Xie Jianing. Study of differential peak position detection circuit for nuclear pulse. *Nuclear Electronics and Detection Technology*, 2007, **27**(5):962-966)
- [6] Li Xuechu, Gao Qingyun, Qin Shicai. A low-power high-frequency CMOS peak detector[J]. *Chinese Journal of Semiconductors*, 2006, **27**(10):1707-1710.
- [7] Broad Tech. TDC products[EB/OL]. <http://www.acam-china.com/Tdc.htm>.
- [8] National Semiconductor. ADC08D1000 data sheet[EB/OL]. <http://www.national.com>.
- [9] Xilinx. Virtex-4 platform FPGAs data sheet[EB/OL]. <http://www.xilinx.com>.

Time and peak detection for random pulse sequence at ns level

Ren Yong¹, Wei Biao², Feng Peng², Mi Deling²

(1. *College of Communication Engineering, Chongqing University, Chongqing 400044, China;*

2. *Key Laboratory of Opto-electronics Technology and System, Ministry of Education, Chongqing University, Chongqing 400044, China*)

Abstract: To detect the fast logic pulse sequence related to random events, an online detecting system has been realized based on a 1 GHz ultra-high-speed A/D converter and a high-speed FPAG processor. PeakTDC algorithm was designed to seek the peak position of the pulses and therefore demarcate the corresponding pulse time, and then to form the time code and peak amplitude for the pulse sequence. The practical test results of the system show a time interval error of 1 ns, a peak amplitude error of 2 quantization units, and a paired pulse resolution of 10 ns. The algorithm theory and experimental results demonstrate that the system can achieve ns-level time-digital-conversion for random pulse sequences on a limited long time-bin, and simultaneously obtain the peak value of pulses.

Key words: random pulse sequence; time-digital-conversion; time detection; peak detection; fast logic