

MB-OFDM UWB 通信系统维特比解码器的实现

徐卓, 王雪静, 叶凡, 任俊彦

(复旦大学专用集成电路与系统国家重点实验室, 上海 201203)

摘要: 提出一种应用于多波段正交频分复用(MB-OFDM)超宽带通信系统的维特比解码器的设计方案, 分析 MB-OFDM 所采用的卷积/凿孔码及相应的维特比解码算法的性能。为了达到系统要求的最高数据传输率、保持硬件开销的经济性, 结合滑动窗口和折叠 2 种方法设计解码器的硬件结构。在低速工作模式下, 部分处理单元被禁用, 以节省功耗。该设计经 Xilinx Virtex-4 FPGA 验证, 最高译码速率可达 432 Mb/s。

关键词: 维特比解码器; 多波段正交频分复用; 超宽带

Implementation of Viterbi Decoders for MB-OFDM UWB Communication System

XU Zhuo, WANG Xue-jing, YE Fan, REN Jun-yan

(State Key Lab of ASIC & Systems, Fudan University, Shanghai 201203)

【Abstract】 This paper presents the design of Viterbi decoder for Multiband OFDM(MB-OFDM) Ultra-Wideband(UWB) communication system. The convolutional/punctured codes and the performance of corresponding Viterbi algorithm are analyzed. To achieve the highest data rate desired with hardware efficiency, a folded sliding block architecture is utilized. Under lower data rates, some Processing Elements(PE) in the Viterbi decoder are disabled to save power. The design has been implemented on FPGA and the throughput can be up to 432 Mb/s on a Xilinx Virtex-4 device.

【Key words】 Viterbi decoder; Multiband OFDM(MB-OFDM); Ultra-Wideband(UWB)

1 概述

近年来, 超宽带(Ultra-Wideband, UWB)通信系统因其高达 480 Mb/s 的传输速率和良好的商用前景引起了多方兴趣。在众多针对 UWB 系统的标准建议中, 一种基于多波段正交频分复用(Multiband OFDM, MB-OFDM)的系统^[1]因其实现的经济性和可行性而得到了广泛的研究。在该系统中, 信道编码采用码率 $R=1/3$ 的卷积码, 并通过凿孔(puncture)得到更高码率的凿孔码, 以适应系统不同的传输速率和对纠错能力的要求。

卷积码的解码通常采用维特比解码算法。一般实现高速维特比解码器的主要挑战在于算法中加-比-选(ACS)操作的迭代进行产生了速度瓶颈, 这一迭代过程使得流水线无法直接引入到加比选单元中。解决方法主要有超前(基-2ⁿ)^[2]、ACS 比特级流水线^[3]、滑动窗口结构^[4]等。但由于 MB-OFDM UWB 通信系统的速度变化范围大(53.3 Mb/s~480 Mb/s)、维特比解码器状态多(64 个状态), 因此解码器在满足高速率的要求时必须考虑硬件开销的经济性, 并尽可能地减小低速率时的功耗。由此可见, 针对高速设计的上述各个方案^[2-4]不能被直接采用。

本文就此提出一种新的基于块处理的维特比解码器。该解码器充分考虑了 MB-OFDM 系统的多种码率和数据率, 结合了滑动窗口和折叠结构, 经灵活配置可以达到高速率时的硬件经济性和低速率时的低功耗特性。本设计经 Xilinx Virtex-4 FPGA 验证, 最高时钟频率为 108 MHz, 最高译码速率可达 432 Mb/s。对于 ASIC 实现, 采用 0.18 μm 工艺的初步综合结果表明时钟频率可达 132 MHz, 完全满足 MB-OFDM UWB 系统的要求。

2 维特比解码器的滑动窗口结构

一般的维特比解码器结构分为分支度量单元(BMU)、加-比-选单元(ACSU)、回溯单元(TBU)。分支度量单元计算状态 s_i 到 s_j 的分支度量 $\lambda_n^{i,j}$ 。在加-比-选单元中, 状态度量被迭代更新, 更新式为

$$I_{n+1}^j = \min\{I_n^i + \lambda_n^{i,j}\}$$

其中, I_n^S 代表状态 S 在时间 n 的状态度量。回溯单元处理来自 ACS 的幸存路径信息并最终输出解码结果。

滑动窗口结构通过开发维特比算法中的并行性提高解码器的处理速度。该结构基于对数据块的处理, 理论上能够通过成倍增加硬件开销获得相应倍数的速度提高。由文献[4]可知, 卷积码在网格图上的一个重要性质就是从任意时间出发, 假设初始状态度量未知, 经过 S 次 ACS 迭代后, 幸存路径仍然会和初始状态度量已知情况下得到的幸存路径重合。这里 S 称为同步长度(synchronization length), 一般为卷积码约束长度 K 的 5 倍, 即只要在待解码的数据块(解码块)之前保留一段足够长的($5K$)、可使所有分支状态度量充分区分开的数据块(同步块), 整个数据块(同步块加解码块)就可以独立于其他数据序列完成解码。

基金项目: 上海市科委登山计划基金资助项目(670603); 英特尔博士论文基金资助项目(2006071); 上海应用材料研发基金资助项目(06SA15)

作者简介: 徐卓(1982 -), 男, 硕士研究生, 主研方向: 无线通信系统信道编解码及其 VLSI 实现; 王雪静, 博士研究生; 叶凡, 讲师、博士研究生; 任俊彦, 教授、博士生导师

收稿日期: 2007-10-20 **E-mail:** 052021070@fudan.edu.cn

加入反向 ACS 操作能够进一步提高解码速度。如图 1 所示,在输入数据序列中取出一段时间长度为 M 的数据,经过 $M/2$ 次 ACS 迭代后,正向 ACS 操作得到从时间 n 到 $n+M/2-1$ 的路径度量,反向得到从时间 $n+M-1$ 到 $n+M/2$ 的路径度量。显然,整段网格图的幸存路径由正向和反向状态度量之和的最小值决定,由此确定正向和反向回溯操作的初始状态,进而得到解码块的最终译码结果。

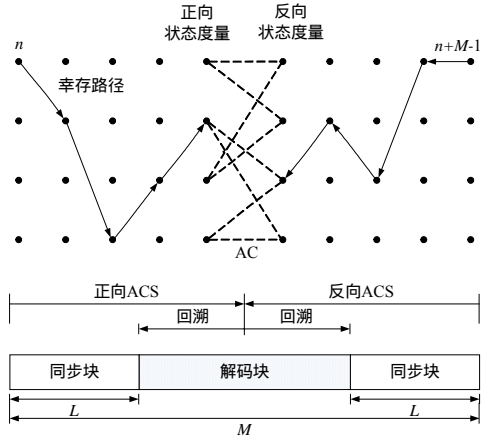


图 1 滑动窗口结构工作原理

可以看出,正/反向同步块的长度 L 对解码器的性能影响至关重要,其大小需要保证幸存路径在回溯操作开始前以很大的可能性合并。确定 L 需要考虑系统所需的编码增益以及卷积码/凿孔码的约束长度和码率,可通过仿真最终确定。

3 凿孔码及其纠错能力

MB-OFDM 采用的卷积码的生成多项式为 $g_0=133_8$, $g_1=165_8$, $g_2=171_8$ 。卷积码 $1/3$ 的码率相对较低,将经卷积码编码后的码字按一定规律去掉某些比特再进行传输就可以提高码率,这种码称为凿孔码。相对原来的卷积码,凿孔码的性能会有损失,因为被去掉的比特在解码器中不能提供任何信息。但在信道条件较好的情况下,采用凿孔码能够提高传输效率^[5]。文献[1]中规定了 MB-OFDM 系统的 8 种速率及其对应的凿孔码,码率和系统速率的关系如下:

码率	1/3	11/32	1/2	5/8	3/4
速率/(Mb·s ⁻¹)	53.3	110	80 160 320	200 400	480

由于凿孔码造成性能的下降,评价同步块长度 L 对维特比解码器性能的影响需要选择最高码率 $3/4$ 作为参照。图 2 是 $L=20, 24, 28, 32, 36$ 、输入信息为 3 bit 量化、信道为高斯白噪声(AWGN)时解码器的误码率-信噪比曲线图。本设计最终选择 $L=28$,它能同时满足编码增益和硬件复杂度的要求。

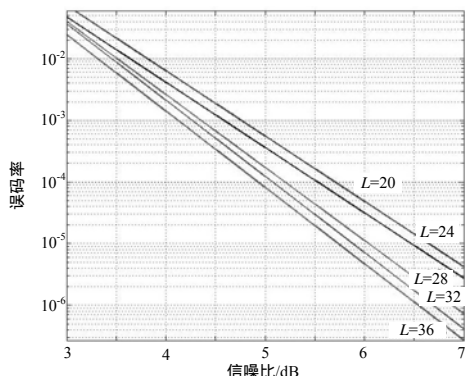


图 2 L 取不同值情况下解码器误码率比较(码率=3/4)

4 用于 MB-OFDM UWB 系统的维特比解码器

采用滑动窗口结构设计用于本系统的维特比解码器需要考虑以下 2 点:

(1)卷积码的约束长度 $K=7$,不能采用文献[4]中完全展开的脉动结构,需要对处理单元进行折叠并用存储器代替文献[4]中寄存器组成的缓冲器。

(2)系统时钟频率为 132 MHz。为满足 480 Mb/s 的速率,应该采用 4 路并行输出,因此,解码块应包含 4 组 64 状态的 ACSU 和 TBU,正向和反向各 2 组。同步块长度 $L=28$,选择的正/反向同步块也为 2 组 64 状态 ACSU,每组 ACSU 均要复用 14 次,则解码块的 ACSU 和 TBU 同样需要复用 14 次。

由此可以得到图 3 所示维特比解码器整体结构,其中一个处理单元(Processing Element, PE)的内部结构如图 4 所示,包含 BMU、正向/反向 ACSU 以及控制迭代次数以完成 14 次复用的 MUX 单元。

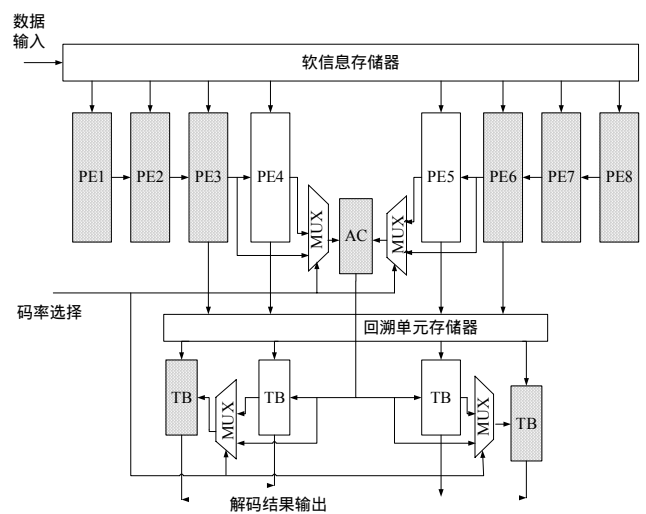


图 3 本设计采用的维特比解码器结构

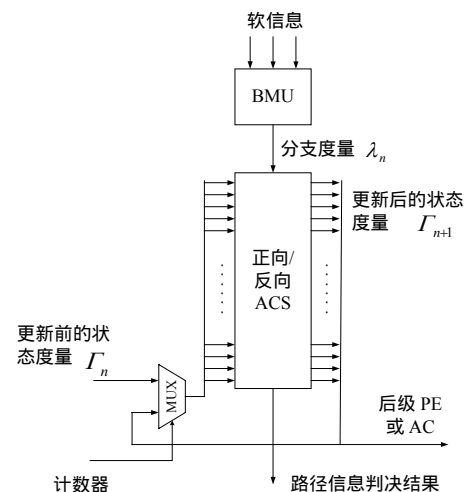


图 4 图 3 中一个 PE 的结构

这一结构的最大优点是可以通过禁用部分模块或重新配置某些 PE 达到低速时低功耗的目的,并且灵活满足各种不同速率码率条件下的系统要求。

(1)320 Mb/s, 400 Mb/s, 480 Mb/s

在这 3 种最高速率工作模式下,所有 PE 均处于工作状态,PE1, PE2, PE7, PE8 是正向/反向的同步块,PE3, PE4, PE5, PE6 是正向/反向的解码块。在时钟频率为 132 MHz 情况下,

4 路并行输出能够达到系统所要求的最高速率 480 Mb/s。

(2)110 Mb/s, 160 Mb/s, 200 Mb/s

在这 3 种中速工作模式下, PE4 和 PE5 处于禁用状态以节省功耗, 因为 2 路并行输出足以满足 200 Mb/s 的要求。4 个同步块仍然工作以确保纠错能力。PE3 和 PE6 的输出通过 MUX 直接进入中间的 AC 模块。所有工作的模块在图 3 中用阴影表示。

(3)55.3 Mb/s, 80 Mb/s

在这 2 种低速工作模式下, 反向工作模块整体禁用(PE5~PE8), 同时 PE3 将被配置为同步块, 使得这一模式下同步块的长度增加到 42。这是因为此时系统只有正向模块工作, 需要比双向 ACS 更多的同步块以保证性能; 另外, 55.3 Mb/s 是 MB-OFDM 必须具备的速度, 帧结构中的一些重要信息(PLCP Header)均以 1/3 码率在速度传输, 因此, 需要保证此工作模式下的纠错能力。又因为 1/3 码率很低, 所以无须附加更多的同步块, 避免了更多的硬件开销。PE4 仍然为解码模块, 而 AC 模块此时只接收正向输入的状态信息。

ACS 单元中的字长(即状态度量的字长)是对关键路径长度和功耗有重大影响的参数。为了降低功耗, 各 PE 中 ACS 单元的字长从 PE1 到 PE4、PE8 到 PE5 渐次增加, 各个 PE 中 ACSU 的字长如下:

PE1, PE8	PE2, PE7	PE3, PE6	PE4, PE5
8 bit	9 bit	10 bit	11 bit

将解码器应用于 MB-OFDM 系统还需要根据系统的整体要求设计控制单元。图 5 为 MB-OFDM 的帧结构。一个 MB-OFDM 的帧除 PLCP Preamble 外, 包含速率固定的 PLCP Header 和速率不定的 Frame Payload。Frame Payload 的速率、长度通过解码 PHY Header 后确定。

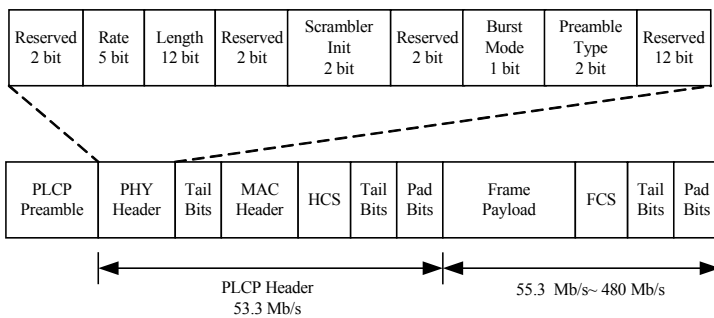


图 5 MB-OFDM 帧结构

本系统在标准规定之外还利用 PHY Header 中 Reserved 12 bit 部分加入 Frame Payload 之后 Pad Bits 的长度, 以便 VD 处理数据流的结束部分。

由帧结构可知, 维特比解码器的控制单元应完成如下工作:

(1)检测到帧的 Header 开始后, 以固定的速度(53.3 Mb/s)解码 PLCP Header。将 PLCP Header 中的信息输出至其他需要的模块, 其中, RATE(码率)、LENGTH(数据长度)需要输

入到解码器本身其他模块。

(2)根据 RATE, 控制解码器工作在 8 种不同的工作模式下, 对长度为 LENGTH 的 Frame Payload 和长度为 32 bit 的 FCS 进行解码。

(3)由于滑动窗口结构的维特比解码器需要在所有数据输入后再输入一定长度的任意数据模拟反向同步块, 才可以将待解码数据的最后一部分解码出来, 因此检测到本帧的数据全部输入解码器后, 控制模块须再向解码器输入一段任意数据。

(4)Frame Payload 和 FCS 全部解出后将解码器复位, 等待下一帧的到来。对解码的输出需要按照后级对数据输入的要求进行一定的调整: 正向 TBU 出来的数据需要反向输出; 每个 PE 数据块的解码结果输出为串行, 根据需要改为并行; 数据块之间的输出顺序也需要调整。

为了验证该维特比解码器, 在 Xilinx Virtex-4 FPGA 上进行了实现。最后综合结果消耗的 FPGA 资源、资源占用率和关键路径长度如表 1 所示。

表 1 FPGA 综合结果

逻辑片 Slices(占用率)	查找表 LUT(占用率)	关键路径长度/ns
22 208 (24%)	33 719 (18%)	9.203

可见, 本设计在 FPGA 上能够实现的时钟频率达 108 MHz, 对应的数据速率为 432 Mb/s。对于 ASIC 实现, 采用 SMIC 0.18 μm 工艺的初步综合结果表明时钟频率可达 132 MHz, 完全满足 MB-OFDM UWB 系统的要求。

5 结束语

本文提出了一种用于 MB-OFDM 超宽带系统的折叠式滑动窗口结构的维特比解码器, 通过灵活配置处理单元使其兼具硬件经济性和低功耗的特性。FPGA 验证了本解码器完全适用于 MB-OFDM 超宽带系统。

参考文献

- [1] Standard ECMA-368(2nd Ed). High Rate Ultra Wideband PHY and MAC Standard[S]. 2007.
- [2] Black P J, Meng T H. A 140-Mb/s, 32-state, Radix-4 Viterbi Decoder[J]. IEEE Journal of Solid-state Circuits, 1992, 27(12): 1877-1885.
- [3] Gierenz V S, Weiß O, Noll T G, et al. A 550-Mb/s Radix-4-bit-level Pipelined 16-state 0.25- μm CMOS Viterbi Decoder[C]//Proc. of ASAP'00. Boston, USA: [s. n.], 2000.
- [4] Black P J, Meng T H. A 1-Gb/s, 4-state, Sliding Block Viterbi Decoder[J]. IEEE Journal of Solid-State Circuits, 1997, 32(6): 797-805.
- [5] Batra A, Balakrishnan J, Aiello G R, et al. Design of A Multiband OFDM System for Realistic UWB Channel Environments[J]. IEEE Transactions on Microwave Theory and Techniques, 2004, 52(9): 2123-2138.