

IC 中多余物缺陷对信号串扰的定量研究

周文 刘红侠 匡潜玮 高博 曹磊

(西安电子科技大学宽禁带半导体材料与器件教育部重点实验室 西安 710071)

摘要: 该文研究了铜互连线中的多余物缺陷对两根相邻的互连线间信号的串扰, 提出了互连线之间的多余物缺陷和互连线之间的互容、互感模型, 用于定量的计算缺陷对串扰的影响。提出了把缺陷部分单独看作一段 RLC 电路模型, 通过提出的模型研究了不同互连线参数条件下的信号串扰, 主要研究了铜互连线的远端串扰和近端串扰, 论文最后提出了一些改进串扰的建议。实验结果证明该文提出的信号串扰模型可用于实际的电路设计中, 能够对设计人员设计满足串扰要求的电路提供指导。

关键词: 集成电路; 多余物缺陷; 信号串扰; 铜互连; 可靠性

中图分类号: TN406

文献标识码: A

文章编号: 1009-5896(2010)01-0210-04

DOI: 10.3724/SP.J.1146.2009.00042

Quantitative Studies Redundant Object Defect in IC for Signal Crosstalk

Zhou Wen Liu Hong-xia Kuang Qian-wei Gao Bo Cao Lei

(Key Lab of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices,
Xidian University, Xi'an 710071, China)

Abstract: This paper studies the signal crosstalk due to redundant object defect of adjacent copper interconnects. The models of coupling capacitance and mutual inductance between redundant defect and interconnects are presented, and it can be used to quantitatively calculate the influence of defect on crosstalk. In the experiment model, defect is regard as a separate section RLC circuit. Signal crosstalk is studied under the conditions that are various parameters of interconnect using the model. The far crosstalk and near crosstalk of the copper interconnects are studied. Finally, some advice improved signal crosstalk is put forward. Experiment results show that the presented model can be used actual circuit design, and can guide designer to design circuit for satisfying crosstalk requirements.

Key words: IC; Redundant object defect; Signal crosstalk; Copper interconnection; Reliability

1 引言

集成电路(Integrated Circuit, IC)技术高速发展, 目前已经进入纳米尺度。金属连线的宽度减少, 连线层数增加, 这些都会增加缺陷的产生。背景中的多余物缺陷就是其中的一种缺陷。所谓背景中的多余物缺陷是指在互连线之间的, 或者和一条互连线相接, 但没有造成短路的多余物缺陷。互连线间距减小, 会增加两根互连线之间的串扰。当一条互连线上传播信号时, 由于线间的互感和互容存在, 这个信号能传递到邻近的导线上, 尤其在高频信号线之间这种影响最大。由于时钟频率的大幅度提高, 高速集成电路中互连线的尺寸已经能与信号的波长

相比拟, 信号线上的传输效应不能忽略, 互连线串扰问题变得越来越严重, 尤其是互容串扰所占的比例越来越大。在这种情况下, 互连线之间多余物缺陷的存在, 可能造成对信号的错误判断。如果电路用在恶劣的环境下, 如军事通信, 以及航天, 航空这种环境下, 串扰就会带来非常严重的问题。有很多文献研究了互连线之间的信号串扰和解决方法^[1-6], 关于定量计算缺陷对相邻互连线信号的串扰, 几乎没有人深入地进行研究。详细、定量地研究缺陷对互连线信号串扰的影响, 可以给 IC 设计和工艺人员提供参考, 使他们能够设计和制造出可以在特殊环境下使用的高可靠性器件。本文研究了互连线中的多余物缺陷对相邻的互连线之间信号的影响, 依据互连线之间电容的提取模型, 提出了缺陷互容的提取模型, 计算了多余物缺陷对于互容的贡献, 同时提取了缺陷对互感的贡献, 定量分析了多余物缺陷对信号串扰的影响。通过定量研究缺陷对串扰的影响, 可以研究缺陷对电路的影响, 设计人

2009-01-12 收到, 2009-07-27 改回

国家自然科学基金(60206006), 教育部科技创新工程重大项目培育资金(708083), 教育部新世纪优秀人才计划(NCET-05-0851)和西安应用材料创新基金(XA-AM-200701)资助课题

通信作者: 周文 www.200503@sohu.com

员预测缺陷的发生, 为了减少缺陷的影响, 工艺人员要在对串扰敏感的数据传输等位置更严格控制工艺参数, 尽可能降低缺陷, 生产更可靠的器件。

2 缺陷部分的互容和互感模型

假设互连线间有多余物缺陷存在, 如图 1 所示。黑色规则线条代表互连线, 互连线之间的黑色半圆形状是一块多余物缺陷。对于图 1(b)中缺陷引起的串扰, 等价于图 1(a)所示缺陷引起串扰的二次串扰, 通过研究图 1(a)中缺陷引起的串扰, 能够对图 1(b)所示的缺陷引起的串扰进行很好的估计。本文重点研究图 1(a)所示的缺陷引起的串扰。图 1 中, w 是互连线宽, l 是互连线长度, s 是互连线之间的距离, y 是缺陷和互连线之间的距离, lq 是缺陷的长度。

由于实际缺陷形状各异, 为了说明缺陷对串扰的影响, 有意把缺陷和互连线之间的距离用最小距离 y 表示, 缺陷部分的有效宽度是缺陷的宽度和互连线宽度之和, 适当放大缺陷对串扰的影响。一条互连线和它周围的电容关系可以通过电容模型表示^[7], 如图 2 所示。

图 2 中 w 是互连线宽, t 是互连线厚度, s 是互连线之间的距离, C_{up} 和 C_{lo} 表示互连线和上、下两个平面之间的电容, C_{ii} 表示互连线之间的电容, h_1 和 h_2 是互连线和上下两层接地平面的距离。对文献[7]的电容计算模型改进后, 提出了多余物缺陷部分和相邻互连线间的单位长度电容 C_{ii} 计算模型, 如式(1)。模型中用缺陷和互连线的距离 y 代替原模型中互连线间距, 用缺陷宽 $w+s-y$ 代替原模型中互连线宽, 这能够很好地计算缺陷处的电容。

$$C_{ii}/\varepsilon = (t/y)\{1 - 1.897 \exp[-(h/0.31y)] - (-t/2.474y) + 1.302 \exp(-h/0.082y) - 0.1292 \exp(-t/1.421y)\} + 1.722[1 - 0.654 \exp(-(w+s-y)/0.3477h)] \times \exp(-y/0.651h) \quad (1)$$

如果 $h_1 = h_2$ 那么 C_{up} 和 C_{lo} 计算表达式相同, 如式(2)。

$$C_{up}/\varepsilon = (w/h_2) + 1.086\{1 + 0.685 \exp(-t/1.343s) - 0.9964 \exp(-s/1.421h_2)\} \times (s/(s+2h_2))^{0.0476} \times (t/h_2)^{0.337} \quad (2)$$

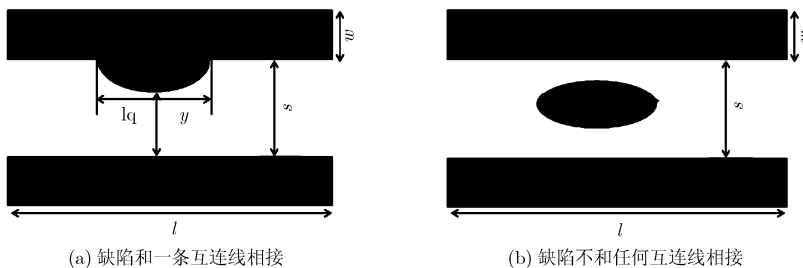


图 1 互连线之间的多余物缺陷

其中 $h = (h_1 + h_2)/2$, $\varepsilon = 3.95\varepsilon_0 = 3.5 \times 10^{-11} \text{F/m}$ 。

互感模型的计算模型^[8], 如式(3)。

$$M = (0.5\mu_0/2\pi) \times (m \ln(4(m+p)/(m+q)/s^2) + p \ln((m+p)/p) + q \ln((m+q)/q) - 2m) \quad (3)$$

在公式(3)基础上, 认为 $m=lq$ (m 是两条相邻互连线中一条短互连线的长度, lq 是缺陷的长度)且很小, $p=q$ (p 和 q 是缺陷两端到互连线两端的距离), 适当放大缺陷和互连线之间的互感, 提出了缺陷和互连线之间的互感模型, 具体的计算如式(4)。

$$L_q = (\mu_0/4\pi) \times lq \times \ln(l^2/y^2) \quad (4)$$

因为互感大小不可能大于自感, 如果计算得出的缺陷的自感小于缺陷处的互感那么就用缺陷自感代替缺陷的互感。互连线的自感计算公式^[8] 如式(5)。

$$L_s = (\mu_0/2\pi) \times (l \times \ln(2l/(w+t)) + 0.5l + 0.2235(w+t)) \quad (5)$$

两根平行互连线的互感计算公式^[8]如式(6)。

$$L_m = (\mu_0 l/2\pi) \times (\ln(2l/s) - 1 + s/l) \quad (6)$$

在式(3)-式(6)中 μ_0 为磁导率, 其值为 $\mu_0 = 4\pi \times 10^{-7} \text{H/m}$ 。

3 实验模型和分析

3.1 实验模型

把互连线看成如下理想电路原件组成, 这是 3 段 RLC 表示的互连线, 如图 3。实验中信号源上升时间 0.05 ns, 幅度为 1 V 的脉冲信号。互连线可以用 n 段 RLC 电路组成, 具体用几段, 可以用式(7)计算。

$$n = 3.5 \times \text{TD} / \text{RT} \quad (7)$$

其中 TD 是信号单位长度时延, RT 是信号上升时间。实验中为了很好测出缺陷对信号的串扰, 防止反射信号的影响, 负载电阻和输入电阻都是互连线的阻抗相同大小, 实验中算出互连线的特征阻抗是 195Ω 。实验中把缺陷部分单独看作一段 RLC 电路单元, 这种模型能够很好地仿真缺陷在互连线之间引起的串扰, 通过缺陷处电容, 电感, 互感模型, 计算缺陷这一段的电路参数。得到互连线各项参数后, 在 HSPICE 环境下仿真互连线之间的串扰, 把有缺陷的互连线之间的串扰和没有缺陷的互连线之

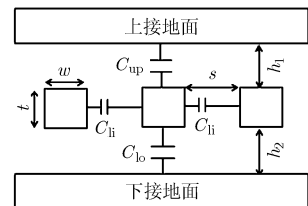


图 2 互连线之间电容示意图

间的串扰进行比较，得到缺陷对串扰的影响。

3.2 实验分析

采用 0.18 μm 工艺中的互连线参数， $w = 0.28 \mu\text{m}$ ， $h = 0.9 \mu\text{m}$ ， $t = 0.56 \mu\text{m}$ ， $s = 0.28 \mu\text{m}$ ，互连线长分别为 $l = 500 \mu\text{m}$ ， $l = 2000 \mu\text{m}$ 。假设缺陷长 $l_q = 1 \mu\text{m}$ ，在不同的距离 y 下，研究不同长度互连线信号串扰的影响。把互连线看成传输线，在输入驱动阻抗和负载阻抗都是特征阻抗，这时候测出的串扰，就是在互连线匹配情况下的串扰，这种串扰没有反射信号的干扰。

图 4 中的互连线长 $l = 500 \mu\text{m}$ ， $y = 0.028 \mu\text{m}$ 。从图 4 看出，没有缺陷时远端串扰峰值为 6 mV，近端串扰峰值为 32 mV；有缺陷时远端串扰峰值为 32 mV，近端串扰峰值为 58 mV，缺陷的存在使得缺陷引起 26 mV 的远端串扰，26mV 的近端串扰。可见缺陷对 500 μm 长的相邻互连线有很大的串扰影响，这种影响不可忽视，会对器件产生信号完整性问题，影响器件的可靠性。

图 5 中的互连线长 $l = 500 \mu\text{m}$ ， $y = 0.014 \mu\text{m}$ 。从图 5 看出，没有缺陷时远端串扰峰值为 6 mV，近端串扰峰值为 32 mV；有缺陷时远端串扰峰值为 32 mV，近端串扰峰值为 59 mV。缺陷和互连线的距离是图 4 中距离的一半，这个缺陷引起 26 mV 的远

端串扰，27 mV 的近端串扰。可见缺陷对 500 μm 长的相邻互连线有很大的串扰影响，这种影响不可忽视，会对器件产生信号完整性问题，影响器件的可靠性。但是距离 y 的减小并没有增加多少串扰电压，远端串扰和图 4 中引起的串扰值相同，近端串扰比图 4 多了 1 mV。

图 6 中的互连线长 $l = 500 \mu\text{m}$ ， $y = 0.0028 \mu\text{m}$ 。从图 6 中看出，没有缺陷时远端串扰峰值为 6 mV，近端串扰峰值为 32 mV；有缺陷时远端串扰峰值为 37 mV，近端串扰峰值为 64 mV，由于信号实际电压加到互连线上是 540 mV，计算出串扰是输入信号幅度的 6.85% 和 11.85%。串扰所占的比例对信号构成威胁，在设计关键路径时要考虑这种影响，使设计的电路有更高的可靠性。比较图 4，图 5，图 6 后可以看出 y 为互连线间距的 1/10 时， y 的继续减小对信号串扰影响变化不大。如在 $y = 0.028 \mu\text{m}$ 和 $y = 0.0028 \mu\text{m}$ ，缺陷对信号的影响，近端串扰从 58 mV 变化到 64 mV，远端串扰从 32 mV 变化到 37 mV。从以上分析得到距离 y 小到一定距离后， y 的进一步减小，串扰值的增加变缓。

图 7 是互连线长 $l = 2000 \mu\text{m}$ ， $y = 0.0028 \mu\text{m}$ 。从图 7 中看出，没有缺陷和有缺陷的远端和近端串

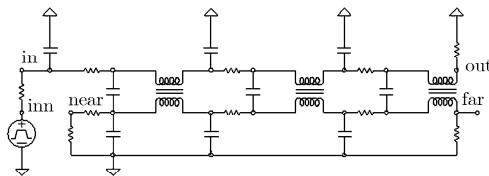


图 3 理想 RLC 电路表示的互连线模型

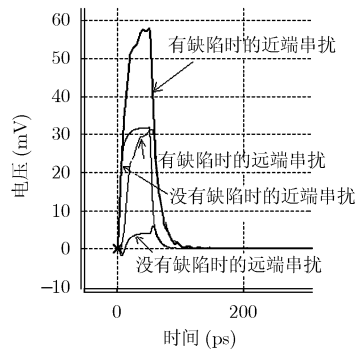


图 4 $l = 500 \mu\text{m}$ ， $y = 0.028 \mu\text{m}$ ，有缺陷和没有缺陷存在，互连线之间的串扰

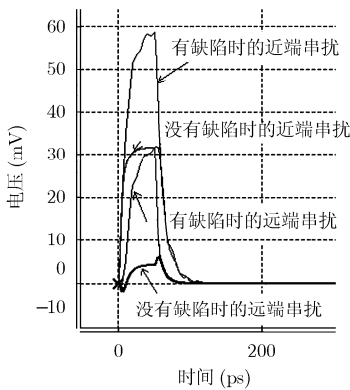


图 5 $l = 500 \mu\text{m}$ ， $y = 0.014 \mu\text{m}$ ，有缺陷和没有缺陷存在，互连线之间的串扰

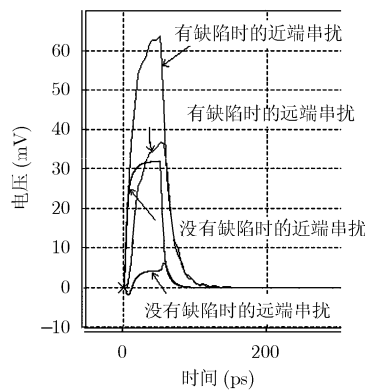


图 6 $l = 500 \mu\text{m}$ ， $y = 0.0028 \mu\text{m}$ ，有缺陷和没有缺陷存在，互连线之间的串扰

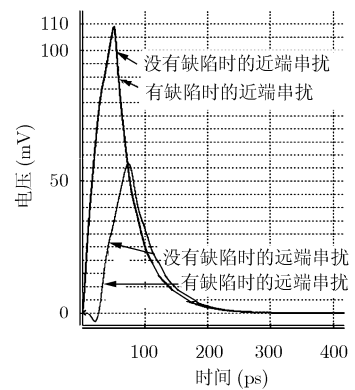


图 7 $l = 2000 \mu\text{m}$ ， $y = 0.0028 \mu\text{m}$ ，有缺陷和没有缺陷存在，互连线之间的串扰

扰值几乎相同。这时缺陷对邻近互连线信号的串扰几乎没有影响, 主要串扰是互连线之间的串扰, 这是因为缺陷引起的附加互容, 互感和互连线自身的互容, 互感相比很小的原因。

从以上仿真结果看出, 如果在比较短的互连线之间出现一个多余物缺陷(假设 $1\ \mu\text{m}$ 长), 并且缺陷距离互连线很近, 这时缺陷对信号串扰的影响就不能忽略, 在图 4, 图 5, 图 6 的情况下, 信号加载到互连线上的电压大约 $540\ \text{mV}$, 这时候近端最大串扰 $64\ \text{mV}$, 占输入电压的 11.85% , 远端最大串扰 $37\ \text{mV}$, 占输入电压的 6.85% 。其中缺陷引起的串扰, 近端是 $32\ \text{mV}$, 远端是 $31\ \text{mV}$, 对器件是一种潜在的可靠性问题。图 7 中互连线比较长时, 缺陷对串扰几乎没有影响, 信号串扰由互连线之间的串扰决定。缺陷比较长时, 也会对互连线信号造成影响。从图 4, 图 5, 图 6 中还可以看出, 当 y 比互连线间距离的 $1/10$ 还小, 缺陷对串扰的影响变化不是很大。从实验模型, 可以定量计算缺陷对互连线信号的串扰, 在设计关键路径时, 如果考虑到缺陷的影响, 可以设计出更高可靠性的器件, 同时这种方法能够对筛选高可靠性器件提供参考标准。

在设计过程中减少信号串扰的方法很多, 可以通过改变驱动电阻来改善串扰^[9], 可是减少驱动电阻, 信号会产生过冲。增加互连线距离, 可以减少信号串扰, 但是这个方法取决与工艺。在互连线之间放置接地金属条, 可有效屏蔽线间的电容耦合, 还有其他方法减少串扰^[10]。没有一种方法可以完全解决串扰问题, 就需要在设计过程中, 综合考虑问题, 进行折衷, 使设计满足要求。设计人员知道缺陷常出现的位置, 提前考虑缺陷对信号串扰的影响, 知道串扰的大小, 可以通过减少串扰的设计方法, 如果设计得当, 即使缺陷在互连线上, 引起的串扰也在控制范围内, 不会影响器件正常工作, 也不会影响器件的可靠性。工艺人员就要在短互连线处, 串扰敏感的数据传输位置, 严格控制工艺参数, 减少缺陷发生, 制备出高可靠性的器件。缺陷对互连线串扰的影响, 也为检测缺陷提供一种方法, 即通过测量互连线的串扰, 就可以知道互连线上是否存在缺陷。

4 结论

通过对互连线之间多余物缺陷的研究, 提出了缺陷处的互容、互感计算模型。在 $0.18\ \mu\text{m}$ 工艺的典型尺寸下, 对不同长度的相邻互连线之间存在 $1\ \mu\text{m}$ 长的缺陷, 不同距离 y , 计算各互连参数, 利用模型仿真了缺陷对信号串扰的影响。对 $l=500\ \mu\text{m}$,

$y=0.0028\ \mu\text{m}$, 缺陷引起的附加串扰电压远端串扰 $26\ \text{mV}$, 近端串扰 $27\ \text{mV}$ 。整个串扰电压是输入信号幅度的 6.85% 和 11.85% 。缺陷引起的附加串扰, 对 $l=2000\ \mu\text{m}$ 的互连线几乎没有影响。本文通过把缺陷单独看作一段 RLC 电路精确的仿真了缺陷对信号的串扰, 可以把这些具体的数据计算和模型应用到实际的设计中, 提高集成电路的可靠性。论文的最后给出了减少串扰的一些方法。

参 考 文 献

- [1] Jinwoo C, Krauter B, and Haridass A, *et al.* Crosstalk analysis between interconnects in high-speed server packages. Proceedings-Electronic Components and Technology Conference, Reno, NV, 2007: 333-338.
- [2] Broyde F and Clavelier E. Crosstalk in balanced interconnections used for differential signal transmission. *IEEE Transactions on Circuits and Systems I*: 2007, 54(7): 1562-1572 .
- [3] Ravindra J V and Srinivas M B. Modeling and analysis of crosstalk for distributed RLC interconnects using difference model approach. 20th Symposium on Integrated Circuits and System Design. Proceedings-SBCCI Copacabana, Rio de Janeiro, 2007: 207-211.
- [4] Zhang T and Sapatnekar S S. Simultaneous shield and buffer insertion for crosstalk noise reduction in global routing. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2007, 15(6): 624-636.
- [5] Hanchate N and Ranganathan N. Simultaneous interconnect delay and crosstalk noise optimization through gate sizing using game theory. *IEEE Transactions on Computers*, 2006, 55(8): 1011-1023.
- [6] Pyoungwoo M, Hyumbean Y, and Jaehoon S, *et al.* Efficient interconnect test patterns for crosstalk and static faults. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, 25(11): 2605-2608.
- [7] Dennis S, William J, and Kurt K. Berkeley advanced chip performance calculator. <http://www.eecs.umich.edu/~dennis/bacpac/models/delay.html>
- [8] Qi X N, Wang G F, and Yu Z P, *et al.* On-chip inductance modeling and RLC extraction of VLSI interconnects for circuit simulation. Proceedings of the IEEE 2000 Custom Integrated Circuits Conference, Orlando, FL, USA, 2000: 486-490.
- [9] Brews J R. Overshoot-controlled RLC interconnections. *IEEE Transactions on Electron Devices*, 1991, 38(1): 76-87.
- [10] Eric B. Signal Integrity-Simplified. Prentice hall PTR. Upper Saddle River, NJ, USA, 2003: 401-469.

周 文: 男, 1979 年生, 博士生, 研究方向为集成电路设计以及可靠性研究。

刘红侠: 女, 1968 年生, 博士生导师, 研究方向为集成电路设计和集成电路可靠性研究。

匡潜玮: 男, 1982 年生, 博士生, 研究方向为集成电路可靠性研究。