

基于 FPGA 内嵌入式处理器的二维脉冲压缩

谢宜壮, 龙 腾

(北京理工大学雷达技术研究所, 北京 100081)

摘 要: 设计一个利用现场可编程门阵列(FPGA)内部 MicroBlaze 嵌入式处理器为核心控制单元的二维脉冲压缩处理系统。根据 FPGA 内部不同的资源配置情况, 提出 2 种脉冲压缩处理模块的实现结构, 利用 FPGA 实现 DDR SDRAM 控制器, 采用矩阵分块线性映射的方法实现高效的数据矩阵转置处理。通过模拟一个简单的合成孔径雷达成像处理过程, 证明该系统的有效性。

关键词: 二维脉冲压缩; 现场可编程门阵列; 嵌入式处理器; DDR SDRAM 控制器; 矩阵转置

Two Dimensional Pulse Compression Based on Embedded Processor in FPGA

XIE Yi-zhuang, LONG Teng

(Radar Research Lab, Beijing Institute of Technology, Beijing 100081)

【Abstract】 This paper designs a two dimensional pulse compression processing system by using the embedded processor MicroBlaze in FPGA as the control kernel. Two realization architectures of pulse compression are presented according to the resource assignment conditions in FPGA. DDR SDRAM controller implemented by FPGA realizes matrix transposition processing efficiently by using matrix partition linear mapping method. A simple SAR imaging processing is simulated, and its result proves the validation of the system.

【Key words】 two dimensional pulse compression; FPGA; embedded processor; DDR SDRAM controller; matrix transposition

1 概述

根据雷达信号理论, 雷达的距离分辨力取决于信号的带宽。在普通脉冲雷达中, 雷达信号的时宽带宽积为一常量(约为 1), 因此, 不能兼顾距离分辨力和速度分辨力 2 项指标。脉冲压缩雷达从雷达体制方面进行改进, 以扩大其作用距离和提高距离分辨力。它采用宽脉冲发射来提高发射的平均功率, 保证足够大的作用距离, 而在接收时采用相应的脉冲压缩方法获得窄脉冲, 以提高距离分辨力, 因此, 能很好地解决作用距离和分辨能力之间的矛盾^[1-2]。脉冲压缩技术是多种高分辨力体制雷达信号处理的基础, 如一维高分辨力的 PD 雷达、二维高分辨力的合成孔径雷达(SAR)。二维高分辨力雷达的信号处理流程有时可以简单地抽象成 2 维脉冲压缩处理的过程(在距离向和方位向上各做一次线性调频信号的脉冲压缩处理), 2 个维的处理流程相似, 但是 2 次处理之间涉及数据矩阵的转置问题。传统的线性调频信号的脉冲压缩处理都是采用频域中的快速相关法, 由数字信号处理(DSP)来实现。随着现场可编程门阵列(FPGA)技术的迅猛发展, FPGA 内部已经集成了 DSP 模块、FFT 模块和性能优越的嵌入式处理器如 NiosII^[3], MicroBlaze。其中, MicroBlaze 是针对 FPGA 器件而优化的功能强大的标准 32 bit RISC 处理器, 采用哈佛体系结构, 具有独立的指令总线 and 数据总线^[4]。这些嵌入式处理器的出现为 FPGA 实现复杂的算法流程控制和调试提供了有效的手段, 使得在 FPGA 内部利用 C 语言就可以实现灵活的处理和控制, 便于系统的升级与维护。因此, 可以用 FPGA 取代 DSP 处理线性调频信号的脉冲压缩。

2 二维脉冲压缩处理系统

本文使用 Xilinx 公司的 XC2V6000FPGA 为信号处理平

台搭建系统, 利用 FPGA 内部的 MicroBlaze 嵌入式处理器作为核心控制单元, 实现了一个高效的二维脉冲压缩处理系统。

2.1 系统整体结构设计

FPGA 系统的整体结构如图 1 所示。整个系统采用模块化的设计, 以 MicroBlaze 为核心控制单元, 通过 MicroBlaze 的高速数据总线 OPB(On-chip Peripheral Bus)进行总线型结构的扩展, 将脉冲压缩处理模块、DDR 控制器模块、数据输入模块等都外挂 MicroBlaze 的总线上。模块与总线之间的接口采用标准化的设计, 用双口 RAM 作为数据的缓冲与总线进行隔离。这样既不会影响总线的传输带宽, 又简化了模块与总线的接口设计, 避免了复杂的总线接口时序。

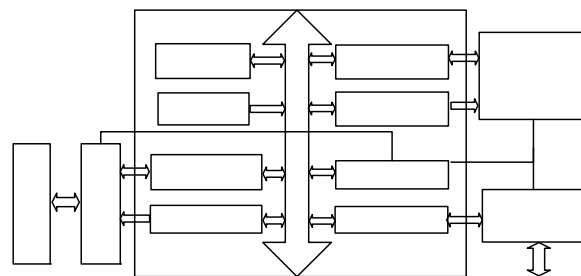


图 1 FPGA 系统结构

系统采用 512 MB 的 DDR SDRAM 作为系统缓存, DDR SDRAM 控制器由 MicroBlaze 控制, 可以灵活地产生读写的地址索引, 实现高效的二维数据读写。模块之间的批量数据

作者简介: 谢宜壮(1980—), 男, 博士研究生, 主研方向: 实时数字信号处理; 龙 腾, 教授、博士、博士生导师

收稿日期: 2009-07-14 **E-mail:** xyz551_bit@bit.edu.cn

传输由 DMA 控制器实现,保证了数据传输的带宽,DMA 控制器可以由 MicroBlaze 实现灵活的控制。利用 MicroBlaze 的 GPIO(General Purpose IO)可以对各个模块工作状态进行监控,灵活地分配和调度任务,GPIO 还可以实现 MicroBlaze 与 PC 的串口通信,远程实时地监控 FPGA 内部的工作状态。

2.2 系统工作流程

MicroBlaze 是整个系统的控制中枢,负责数据流向的控制、任务的启动与调度、状态的监控以及与 PC 的信息交互等。原始数据先载入系统的缓存 DDR SDRAM 中,然后 MicroBlaze 启动和控制整个二维脉冲压缩的处理流程。

原始数据载入时,先通过数据输入输出模块请求 MicroBlaze 启动 DMA 控制器,DMA 控制器自动将输入输出模块缓存中的数据读到 DDR SDRAM 控制器的缓存中,通过 DDR SDRAM 控制器将原始数据顺序地存放到 DDR SDRAM 中。二维脉冲压缩启动后, MicroBlaze 启动 DMA 控制器,先将数据顺序地从 DDR SDRAM 中读入脉冲压缩处理模块的缓存中,然后将脉压的参考函数读入脉压模块的缓存中,随后启动一次脉冲压缩处理,脉压模块完成后,通过 GPIO 通知 MicroBlaze 再次启动 DMA 控制器,将脉压之后的数据放回 DDR SDRAM 中。由于二维脉压存在数据转置读写的问题,因此为了提高第 2 维脉压数据读写的速度,需要采用特殊的存储方案提高读写 DDR SDRAM 的效率。本文采用矩阵分块线性映射的方法,由 MicroBlaze 产生分块线性映射的地址,然后写入 DDR SDRAM 控制器的地址产生器中,DDR SDRAM 控制器根据该地址表将一维处理的结果映射到 DDR SDRAM 中。待一维处理全部完成后,开始第 2 维的脉冲压缩处理,处理流程与第 1 维的处理相似,只是从 DDR SDRAM 读取数据时要按照分块线性映射的方案取出数据。

3 脉冲压缩处理模块设计

3.1 设计原则

脉冲压缩处理模块是整个系统数据处理的核心,也是占用 FPGA 内部资源最集中的模块。在以 FPGA 为核心的系统设计中,面积和速度是需要特别注意的 2 个特殊问题。一般情况下,面积节约和速度提高不可能兼得。处理速度的提升是以提高 FPGA 内部的并行性为前提的,同时面积消耗加大。所以,脉冲压缩模块的设计有 2 种选择:速度优先型和面积优先型。两者的差别在于是否时分复用了 FPGA 片内的 FFT 和 RAM 资源。

3.2 实现结构

如果对脉冲压缩的处理速度有严格要求而且 FPGA 内的 RAM、乘法器等硬件资源充足,那么可以最大限度地使用这些资源来换取脉冲压缩处理速度的提高。用 FPGA 内部的 RAM 为数据流提供一个缓存空间,FFT 和 IFFT 同时进行而非分时进行,FFT 和 IFFT 均采用 StreamIO 的 Pipeline 处理,如果数据输入输出的带宽与处理速度相匹配,那么整个处理是一个动态的流水过程,不存在数据的等待与阻塞。本文的设计采用了这种结构,如图 2 所示。

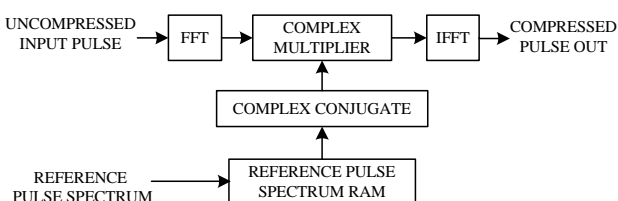


图 2 速度优先型脉冲压缩模块结构

在 FPGA 内部没有足够的资源可以利用而且脉冲压缩处理速度要求不是很高的情况下,可以考虑实现一种牺牲速度达到面积最优的结构,即面积优先型脉冲压缩结构,如图 3 所示。在这种结构下,脉冲压缩处理模块只占用 FPGA 内部的一个 FFT 资源,相当于节省了大量的片内 RAM 资源和乘法器资源。并且这种结构不再具有流水处理的能力。FFT 与 IFFT 是分时进行的,通过一个单刀双至开关分时复用,存在数据等待的过程,即在一次脉压数据处理完成之前不能输入下一次待处理的数据。

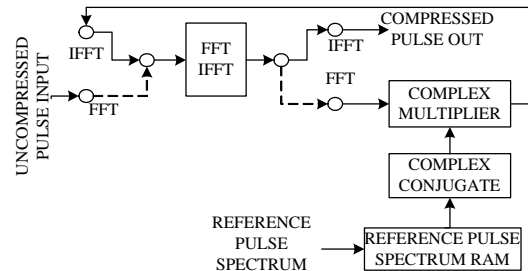


图 3 面积优先型脉冲压缩模块结构

4 DDR SDRAM 控制器的设计及二维数据访问

DDR SDRAM 控制器是系统与外部缓存之间交换数据的高速通道,根据脉冲压缩数据读写的特性将控制器设计成“非透明型”结构。这里“透明型”是指 MicroBlaze 需要访问 DDR SDRAM 时只需提供读写命令,将 SDRAM 空间简单地虚拟成 FIFO 空间,但是这种结构不能灵活实现地址跳变的访问,随机访问的带宽很低。“非透明型”是指访问 SDRAM 时除了给出读写等控制命令外,还要给出访问的详细地址信息,从而灵活地实现 MicroBlaze 对 SDRAM 空间的随机访问。DDR SDRAM 控制器的总体结构如图 4 所示。

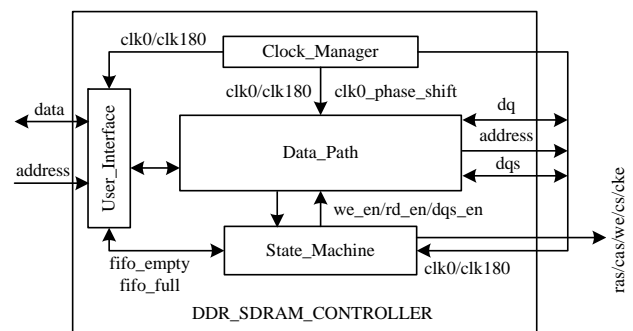


图 4 DDR SDRAM 控制器结构

二维脉冲压缩在 2 次一维的处理之间存在对数据矩阵的转置操作,SDRAM 的存储特性导致了大量数据的随机访问从而大大降低了 SDRAM 的访问效率。设计中采用矩阵分块线性映射的存储方法提高对数据矩阵的转置效率。这种方法利用 SDRAM 页内操作的流水能力,把数据矩阵中分布在二维空间的一个子数据块划分出来,将其重新线性排列映射到 SDRAM 的一个页内,这样对 SDRAM 的一个页内数据连续访问就可以达到二维数据访问的目的。

5 实例

利用如下参数构造了一个 SAR 的点目标数据,并对其进行一个简单的 SAR 成像处理,即一个二维脉冲压缩的处理:测绘带宽度为 50 m;测绘带长度为 1 000 m;载体飞行速度为 100 m/s;载体飞行高度为 5 000 m;天线的方位向口径为

(下转第 252 页)