

用 RLC 互连线模型实现时钟电路的动态优化*

魏敬和,陈军宁,柯导明

(安徽大学电子科学与技术学院,安徽合肥 230039)

摘要:根据 RLC 互连线的二极点模型,得到一个简单的估算信号延迟和上升沿的解析表达式,并利用其实现对高速时钟电路动态优化设计,以保证信号在传输过程中不失真;同时设计了一个模拟器来验证时钟电路的性能.模拟结果表明,我们的算法降低了计算的复杂度,缩短了时钟电路优化的时间.

关键词:信号完整性;互连线;深亚微米;缓冲器

中图分类号:TN454 **文献标识码:**A

Exploiting clock circuit dynamical optimization using RLC interconnect model

WEI Jing-he, CHEN Jun-ning, KE Dao-ming

(School of Electronic Engineering and Information Science, Anhui University, Hefei 230039, China)

Abstract: A simple analytical expression was obtained based on a two-pole model to evaluate the signal delay and rising time, which was then used to optimize the high speed clock circuit and to ensure signal non-distortion in transmission. Simultaneously a simulator was designed to verify the performance of the clock circuit. Simulation results show that our algorithm can reduce the computation complexity and shorten optimization time of the clock circuit.

Key words: signal integrity; interconnect; deep sub-micrometer; buffer

0 引言

快速而准确地估算信号在互连线网上的传输特性是目前 VLSI (very large scale integration) 设计中一个十分重要的问题. 早先的大部分关于时钟树优化使用了不同的互连线模型工作, 包括电路拓扑结构的优化^[1,2], 连线尺寸的优化^[3,4]. 这些模型从线长模型到 Elmore 模型, 都没有考虑到电感的影响. 在时钟频率小于几百兆, VLSI 互连线上的波效应不显著的情况下, 是可行的, 因此在过去的实践中

得到广泛的应用.

随着 VLSI 特征尺寸减少, 时钟工作频率的提高, 互连线已经成为影响芯片性能的最关键的因素. 由于互连线电感的作用, 传输的信号呈现波动特征, 所以不仅有延迟, 还会有振荡的产生. 一阶矩 (即 Elmore 延迟) 无法描述传输线网的特性, 而高阶矩可以对传输延迟、阻尼状态甚至振荡的幅度做出合理的估算. 通过矩对电路传输信号的质量进行快速评估, 已经成为 VLSI 互连线设计的基本方法, 在性能驱动的自动布图设计中起着重要的作用.

* 收稿日期:2004-01-13;修回日期:2005-03-10

基金项目:国家自然科学基金(60276042),安徽省自然科学基金(01042104)资助.

作者简介:魏敬和,男,1970年生,博士.研究方向:SoC设计,VLSI设计自动化. E-mail:pume1975@sina.com

通讯作者:陈军宁,博士/教授. E-mail:jnchen@mars.ahu.edu.cn

我们根据RLC互连线的二极点模型得到一个简单的估算信号延迟和上升沿的解析表达式,能够满足对互连线网的快速评估,适合用于指导高速时钟电路的优化设计.本文利用该表达式对高速时钟电路进行动态优化设计,同时设计了一个模拟器来验证时钟电路的性能.

1 基本理论

1.1 时钟树结构互连网络的矩

一个互连线网一般有无穷个极点,要得到其精确解是不可能的.控制理论告诉我们高阶系统可用主导极点决定的系统 $\hat{H}(s)$ 近似.假定它有 q 个极点 p_1, \dots, p_q 及 $q-1$ 个零点,同时它的矩可以表示为

$$m_i = \frac{\hat{H}^{(i)}(s)}{i!} \Big|_{s=0}.$$

这种条件下,传输函数与矩之间的关系^[5]:

$$\hat{H}(s) = \frac{1 + b_1 s + b_2 s^2 + \dots + b_{q-1} s^{q-1}}{1 + a_1 s + a_2 s^2 + \dots + a_q s^q} = \sum_{j=1}^q \frac{k_j}{s - p_j} \approx m_0 + m_1 s + m_2 s^2 + \dots + m_{2q-1} s^{2q-1}. \quad (1)$$

其中, p_j 是极点, k_j 是留数,所有这些变量的值由匹配初始化的边界条件惟一确定.矩、极点和传输函数也可以由下列等式给出:

$$m_j = \sum_{i=1}^q \frac{k_i}{b_i^j}, \quad \begin{cases} m_1 = b_1 - a_1, \\ m_2 = b_2 - a_2 - a_1 b_1 + a_1^2, \\ \dots \end{cases}$$

事实上,低阶矩包含系统所有极点的信息,而对于高阶矩,主要受低频极点的影响,高频极点对它的影响较小.因此低阶矩对研究稳定的高阶系统的瞬态响应十分重要^[6].

在下面的讨论中,我们利用二阶的传输函数来近似计算信号的传输延迟和转换时间.

1.2 单根RLC互连线

信号源的幅度为 V_g 、内阻为 Z_g 、负载为 C_l 的单根RLC互连线(如图1所示)的传输函数可以近似表达为

$$H(s) \approx \frac{1}{1 + b_1 s + b_2 s^2}. \quad (2)$$

其中,

$$b_1 = Z_g(C + C_l) + R(C/2 + C_l),$$

$$b_2 = Z_g R C(C/6 + C_l/2) + R^2 C(C/4 + C_l)/6 + L(C/2 + C_l).$$

传输函数的二阶矩 m_1, m_2 可以从系数 b_1, b_2 得到,根据 $b_1^2 - 4b_2$ 的符号的不同,传输函数的极点可能是实极点,也可能是复极点.

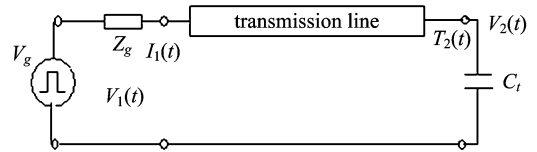


图1 传输线模型

Fig. 1 Transmission line model

(I) 实极点

对于实极点,很容易得到信号的输出响应为

$$V_2(t) = V_g \left(1 - \frac{s_2}{s_2 - s_1} \exp(s_1 t) + \frac{s_1}{s_2 - s_1} \exp(s_2 t) \right), \quad (3)$$

$$\left. \begin{aligned} s_1 &= \frac{2}{-m_1 + \sqrt{4m_2 - 3m_1^2}}, \\ s_2 &= \frac{2}{-m_1 - \sqrt{4m_2 - 3m_1^2}}. \end{aligned} \right\} \quad (4)$$

当 $4m_2 - 3m_1^2 = b_1^2 - 4b_2 \geq 0$ 时,传输函数是实极点,由于 $|s_2|$ 的幅度远大于 $|s_1|$ 的幅度,信号在时域的输出响应的第三项比第二项下降得更快,所以式(3)又可以简化为

$$V_2(t) = V_g \left(1 - \frac{s_2}{s_2 - s_2} \exp(s_1 t) \right). \quad (5)$$

输出信号延迟估算公式为

$$\tau_r = K_r \frac{m_1 + \sqrt{4m_2 - 3m_1^2}}{2} = \frac{K_r}{|s_1|}, \quad (6)$$

$$K_r = \ln \left(\frac{1 + \frac{b_1}{\sqrt{b_1^2 - 4b_2}}}{2(1 - V_{th})} \right). \quad (7)$$

其中, V_{th} 是门限电压.从式(7)可以看出, K_r 是系数 b_1, b_2 的函数.对信号源、负载以及传输线参数的值在比较大的范围内作Spice仿真,发现当 K_r 近似为一个常数时,就能保证对电路延迟的估算在10%以内,时钟上升沿时间的估算在15%以内,比Elmore延迟模型更精确,能够满足设计的设计电路的要求.仿真结果如图2和图3所示(图中的new model就是本文采用式(8)和式(9)的仿真结果).文中所有仿真的工艺参数为: $R=1.5e+4 \Omega/m, L=2.46e-7 H/m, C=1.76e-10 F/m$.

对于输出信号为50% V_g 延迟值的估算为

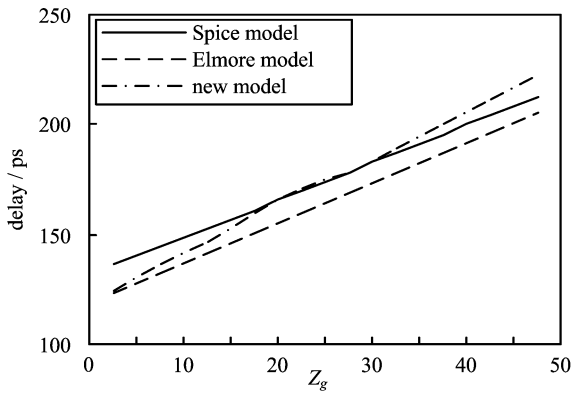


图 2 不同内阻输出信号 50% V_g 延迟

Fig. 2 Output signal delay of 50% V_g with different signal source resistance

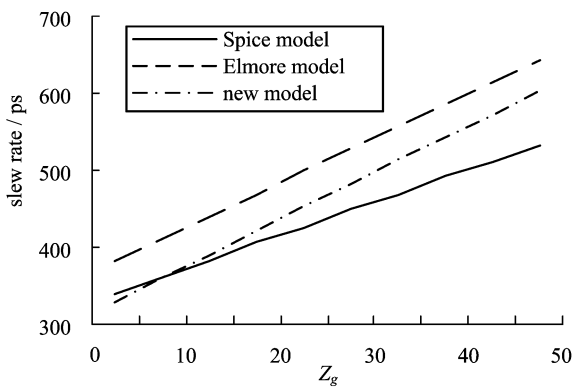


图 3 不同内阻输出信号上升沿时间

Fig. 3 Output signal rising time with different source resistance

$$\tau_{05} = 0.85 \times 2b_2 / (b_1 - \sqrt{b_1^2 - 4b_2}). \quad (8)$$

信号上升沿变化所需要的时间定义为信号幅度从 10% V_g 变化到 90% V_g 所需要的时间:

$$\tau_r = 2.25 \times 2b_2 / (b_1 - \sqrt{b_1^2 - 4b_2}). \quad (9)$$

(II) 复极点

当 $4m_2 - 3m_1^2 - b_1^2 - 4b_2 \leq 0$ 时, 式(2)有复极点存在, 此时输出信号的时域响应为

$$V_2(t) = V_g \left(1 - \frac{\sqrt{\alpha^2 + \beta^2} \exp(-\alpha t) \sin(\beta t + \rho)}{\beta} \right). \quad (10)$$

其中,

$$\alpha = \frac{m_1}{2(m_1^2 - m_2)}, \quad \beta = \frac{\sqrt{3m_1^2 - 4m_2}}{2(m_1^2 - m_2)},$$

$$\rho = \tan^{-1}(\beta/\alpha).$$

从式(10)得到

$$\exp(-\alpha t) \cdot \sin(\beta t + \rho) = \frac{(1 - V_{th})}{\sqrt{1 + (\alpha/\beta)^2}},$$

对给定的门限电压 V_{th} , 延迟可以由该式求得. 该式还可以由 Elmore 延迟作进一步的近似, 对指数项展开, 取其中的前两项:

$$\exp(-\alpha t) \cdot \sin(\beta t + \rho) \approx \frac{(1 - V_{th})}{\sqrt{1 + (\alpha/\beta)^2}}, \quad (11)$$

$$\tau_d = \left(\frac{(1 - V_{th}) \exp(\alpha \tau_{ed})}{\sqrt{1 + (\alpha/\beta)^2}} - \rho \right) \cdot \frac{2b_2}{\sqrt{4b_2 - b_{21}}}. \quad (12)$$

τ_{ed} 为 Elmore 延迟, 这样 50% V_g 的延迟时间

$$\tau_{05} = 0.87 \times 2b_2 / \sqrt{4b_2 - b_1^2}. \quad (13)$$

信号幅度 10% V_g 上升到 90% V_g 时所需要的时间

$$\tau_r = 1.7 \times 2b_2 / \sqrt{4b_2 - b_1^2}. \quad (14)$$

从图 4 和图 5 可以看出欠阻尼情况下的输出信号, 采用本文的结果得到的延迟和上升沿的值与 Spice 仿真的结果比较符合一致, 明显优于 Elmore 模型得到的值.

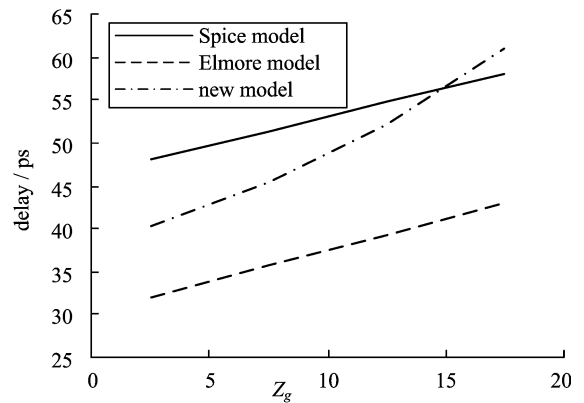


图 4 不同内阻输出信号 50% V_g 延迟

Fig. 4 Output signal delay of 50% V_g with different signal source resistance

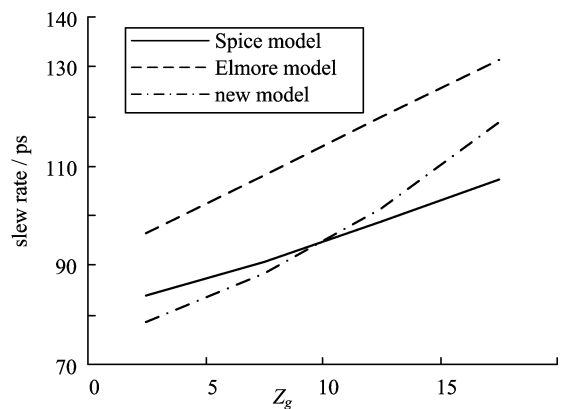


图 5 不同内阻输出信号上升沿时间

Fig. 5 Output signal rising time with different source resistance

1.3 RLC 树状互连结构

一个多个接受端的时钟互连网络,如图 6 所示.

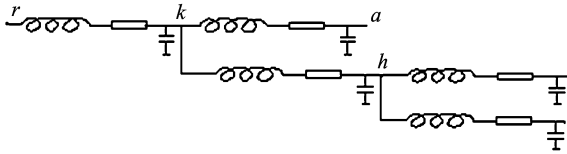


图 6 一棵 RLC 树
Fig. 6 A RLC tree

如果求从信号源到任意一个叶节点的传输函数,即为了计算到某个指定的叶节点 s 的 b_1, b_2 的值,可以用下面的方法:连接源点 r 到叶节点 s 的一条唯一路径称为主路径,沿着主路径可以由若干条节点位于主路径的子树,位于节点 k 的子树用 $T(k)$ 表示, $T(k)$ 的等效导纳

$$\left. \begin{aligned} Y_{T(k)}(s) &= Y_{T(k,0)} + Y_{T(k,1)}s + Y_{T(k,2)}s^2 + \dots \\ &\approx Y_{T(k,0)} + Y_{T(k,1)}s + Y_{T(k,2)}s^2, \\ T_{T(k,0)} &= 0, \\ Y_{T(k,1)} &= \sum_{j \in M_{T(k)}} C_j, \\ Y_{T(k,2)} &= -(C_{kl}^2 + C_k^2/3 + C_{kl} \cdot C_k). \end{aligned} \right\} \quad (15)$$

这里 $M_{T(k)}$ 表示子树 $T(k)$ 节点的集合, C_{kl} 是节点为 k 支路互连线的负载, C_k 是该支路互连线的总电容. 用位于主路径上节点 k 的等效导纳

$$Y_i = A_i s + B_i s^2 + \dots \approx A_i s + B_i s^2$$

取代该节点的电容,得到一棵等效的 RLY 线,如图 7 所示. 传输函数的前几个系数可用类似于单根线

的方法得到.

$$h(s) = \frac{V_2(s)}{V_g(s)} \approx \frac{1}{1 + b_1 s + b_2 s^2}, \quad (16)$$

$$b_1 = \sum_{i=1}^N A_i \sum_{j=1}^N R_j, \quad (17)$$

$$b_2 = \sum_{i=1}^N A_i \sum_{j=i}^N L_j + \sum_{i=1}^N B_i \sum_{j=i}^N R_j + \sum_{i=2}^N A_i \sum_{j=i}^n R_j \sum_{k=1}^{i-1} A_k \sum_{l=k}^{i-1} R_l. \quad (18)$$

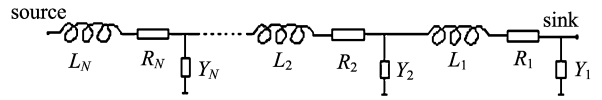


图 7 RLC 树的等效 RLY 线
Fig. 7 Equivalent RLY line of RLC tree

在上述等式中出现了 N 的二次方和三次方,不过可以在程序中用线性的办法计算时钟树中各点的传输函数 b_1 和 b_2 的值. 计算过程分为两步:第一步是计算时钟树中各分支节点 i 的等效导纳 $Y = A_i s + B_i s^2$;对于多端口网络各分支点导纳的计算只需要从叶节点回溯到源点一次就能够计算完成.

下面我们就用上面的理论分析一棵时钟网络电路的延迟和信号的完整性. 假设一棵时钟树(如图 8 所示)网络中所有互连线都是有耗传输线. V_1 是唯一的信号源, $\{s_4, s_5, s_7, s_8, s_9\}$ 都是信号的终端(叶节点),互连线长度如表 1 所示. 考虑其中一个接受端的信号波形,则从信号源到该节点上所有有分支点的支路都用前面讨论过的电路等效参数表示,这

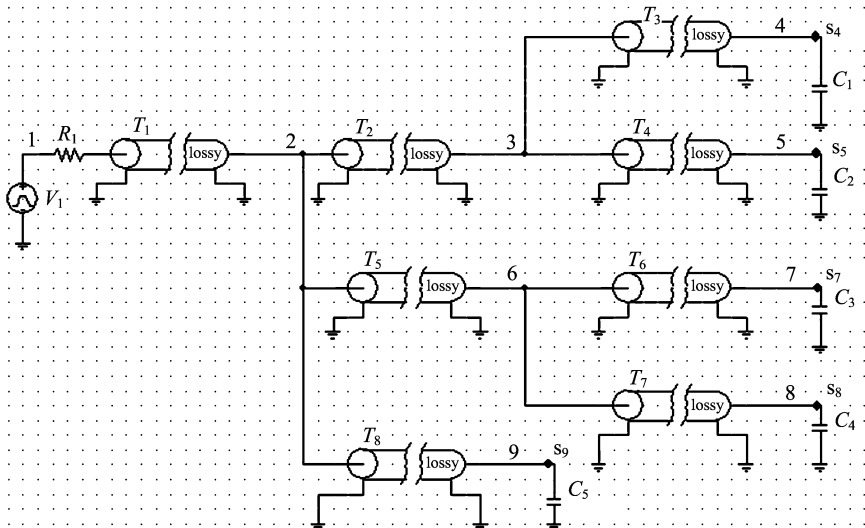


图 8 一棵简单的时钟树
Fig. 8 A simple clock tree

样的时钟树就简化为一个简单的“RLY”线。

表 1 互连线长度(单位:m)

Tab. 1 Length of interconnect(unit:m)

len1	len2	len3	len4
1.00e-4	2.00e-3	1.00e-3	1.00e-3
len5	len6	len7	len8
1.00e-3	1.00e-3	1.00e-3	1.00e-3

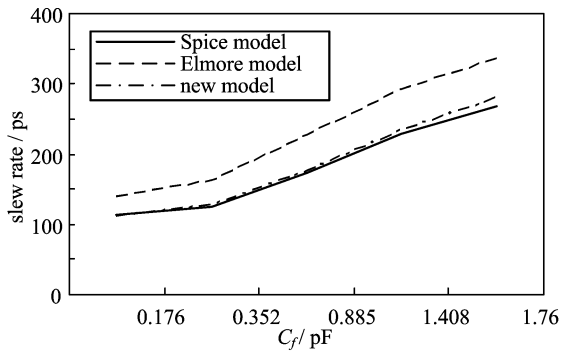


图 9 不同负载的输出端 s_1 上升沿时间

Fig. 9 Output signal rising time of s_1 with different load

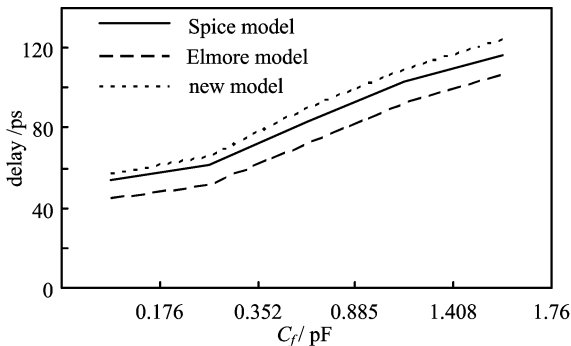


图 10 不同负载的输出端 s_1 延迟值

Fig. 10 Output signal delay of s_1 with different load

限于篇幅,文中仅给出部分分析数据.仿真结果如图 9,图 10 所示,从图中可以看出本文的算法结果与 Spice 接近.

从上面的分析,可知:

本文提出的解析模型能够处理延迟和信号完整性的问题,而且也有较高的精度,适合于深亚微米电路设计.在实际设计时钟电路时,我们要认识到互连线电感对信号的双重作用.它一方面可以使得输出响应产生较大的过冲或低冲,导致电路的误触发;另一个方面能够使输出信号有比较快的转换时间,即欠阻尼信号通常有比较快的转换时间.所以在优化时钟树电路过程中,判断插入缓冲器的条件就应该是 $b_1^2 - 4b_2$ 在零附近的一个负数,即系统处于的临

界阻尼情况,而不是过阻尼状态.

2 时钟电路的优化算法

对一组给定的时钟的源点和叶节点利用下面的方法来构件一棵平面布局的时钟树.

在布局区域每个汇点就是相应的叶节点,每条分割线分层对应着树的内部节点.第二阶段是自底向上的融合.自底向上的融合程序是迭代将每两个节点(叶节点或分支点)连接,构建一个新的子树,直到最后将源点也连接起来.可以用指定的指标(信号的延迟大小和上升沿时间)来判断模拟的缓冲器插入的最后具体位置,如果不满足,将执行缓冲器插入.

由自底层到顶层的融合算法伪代码为

Algorithm

1. Initialize.
2. Repeat step 2.1 through 2.4 until current-num-of-node=1.
 - 2.1 In the working-node-set, choose two nodes u_1 and u_2 . The scheduled arriving time at nodes u_1 and u_2 are τ_1 and τ_2 , respectively;
 - 2.2 Make connection between v_1 and v_2 and find the tapping point t ;
 - 2.3 Test if a buffer needs to be inserted below t for the given criterion;
 - 2.4 working-node-set := working-node-set - $\{u_1, u_2\}$ + $\{t\}$;
working-sum-of-node := current-num-of-node - 1;
3. Connect source node s_0 and the last node.

3 模拟结果

根据上面的理论,我们在 PC 机上用 Visual C++ 进行了模拟,几个被测试电路的汇点随机分布在 2000×2000 的布局区域(单位长度是 $\lambda = 5 \mu\text{m}$).仿真的工艺参数 R, L, C 如前所述, $C_l = 1e-13 \text{ F}$, 仿真电路的面积是 $1 \text{ cm} \times 1 \text{ cm}$.表 2 是模拟的结果,可以看到本文的方法可以节省几倍的时间,具有很大的优越性,同时也可以看出本文的方法插入缓冲器的个数与傅立叶逆变换的几乎相同,即不影响电路的功耗.图 11 是利用上述算法得到的插入缓冲器后的 8 个汇点的波形.图 11 中最左边的是激励信号源,右边的是 8 个叶节点的信号,中间是插入的缓冲器的信号波形.从图中可以看出插入缓冲器后保

证输出信号没有失真. 图 12 表示出了采用本文方法处理后得到的时钟电路布局.

表 2 不同算法的比较结果

Tab. 2 Comparison of different algorithms

电路	汇点	插入缓冲器个数		时钟树层数		仿真时间/s	
		*	#	*	#	*	#
1	4	4	4	3	3	8	37
2	5	4	5	3	3	9	38
3	8	8	7	4	4	14	97

注: *, 本文结果

#, 采用傅立叶逆变换得到的结果

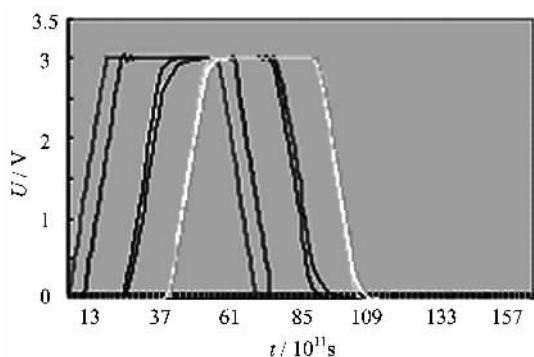


图 11 8 个汇点的时钟电路的仿真结果

Fig. 11 Simulation results with 8 leaf clock circuit

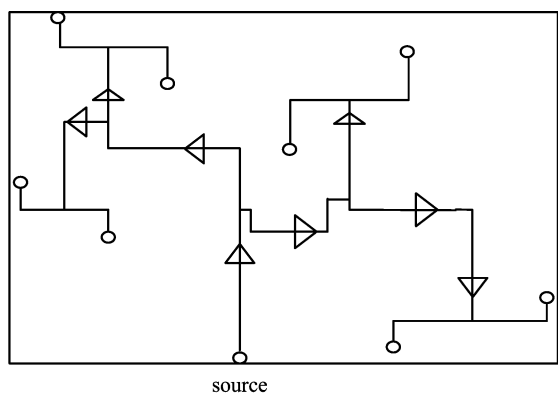


图 12 插入缓冲器后时钟电路布局

Fig. 12 Layout of clock circuit after inserting buffer

4 结论

本文通过一个解析表达式, 分析不同条件下的信号延迟和上升沿变化的情况, 提出针对深亚微米条件下优化时钟电路的有效方法. 利用本文的表达式可以对时钟电路进行快速、有效的信号完整性分析, 实现对时钟电路进行优化, 并设计一个模拟仿真器进行验证; 与传统的方法相比较, 在保证设计精度的同时, 节约仿真时间, 这在 CAD 工具中将会有很大的应用. 本文的工作主要是针对单层时钟电路布线进行优化, 多层布线电路的信号完整性分析是下一步工作的内容.

参考文献 (References)

- [1] Cong J, Leung K S, Zhou D. Performance driven interconnect design based on distributed RC delay model [C] // Proceedings of the 30th International Conference on Design Automation. NY: ACM Press, 1993: 606-611.
- [2] Boese K D, Kahng A B, McCoy B A, et al. Near-optimal critical sink routing tree constructions [J]. IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, 1995, 14(12):1 417-1 436.
- [3] Cong J, Leung K S. Optimal wiresizing under the distributed Elmore delay model[J]. IEEE Trans. on Computer Aided Design of Integrated Circuits and Systems, 1995, 14(3):321-336.
- [4] Chen C P, Chen Y P, Wong D F. Optimal wire-sizing formula under the Elmore delay model [C]// Proceedings of the 33rd Annual Conference on Design Automation. NY: ACM Press, 1996: 487- 490.
- [5] Yu Q, Kuh E S. Exact moment matching model of transmission lines and application to interconnect delay estimation[J]. IEEE Trans. on Very Large Scale Integration (VLSI) Systems, 1995, 3(2): 311-322.
- [6] HU Xi-heng. FF-Pade method of model reduction in frequency domain [J]. IEEE Trans. on Automatic Control, 1987, 32(3):243-246.