

## 基于单驱动和多驱动通道形式组合的 FPGA 互连结构研究

李 威<sup>①②</sup> 杨海钢<sup>①</sup> 黄 娟<sup>①②</sup>

<sup>①</sup>(中国科学院电子学研究所 北京 100190)

<sup>②</sup>(中国科学院研究生院 北京 100049)

**摘 要:** 单驱动实现和多驱动实现是 FPGA 中单向互连通道的两种实现形式。该文讨论了二者在版图面积、延时等方面的差异, 以及它们各自对通道结构的限制。提出在互连结构中将两种实现形式进行组合。并给出一种有效的结构设计方法, 通过两级优化得到了面积延时积最优情况下对应的互连线段长度组合方式以及互连实现形式组合方式。与其他结构相比, 使用该文方法得到的 50% 长度为 6 的单驱动电路, 25% 长度为 8 的多驱动电路和 25% 长度为 8 的单驱动电路的组合结构, 改进了 57%~86% 的面积延时积。

**关键词:** FPGA; 互连结构; 单驱动实现; 多驱动实现; 面积延时积

中图分类号: TN402

文献标识码: A

文章编号: 1009-5896(2010)08-2023-05

DOI: 10.3724/SP.J.1146.2009.01007

## Optimal Design for FPGA Interconnect Based on Combinations of Single-driver and Multi-driver Wires

Li Wei<sup>①②</sup> Yang Hai-gang<sup>①</sup> Huang Juan<sup>①②</sup>

<sup>①</sup>(Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China)

<sup>②</sup>(Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** Single-driver directional wires and multi-driver directional wires can both be used for FPGA interconnect. This paper compares them in area, performance, and their effect on topology of the routing architecture. Then a new type of FPGA routing architecture is proposed that utilizes a mixture of single-driver and multi-driver wires combined with various wire lengths and a two-stage optimization method is used to obtain the best routing architecture. Extensive experiments show that the best architecture optimized by area-delay product is 50% length 6 wires with single-driver, 25% length 8 wires with multi-driver and 25% length 8 wires with single-driver. This results in FPGA with 57%~86% gain in area-delay product.

**Key words:** FPGA; Interconnect; Single-driver; Multi-driver; Area-delay product

### 1 引言

FPGA 芯片中的可编程互连资源主要由连线连接盒(Connection Box, CB)、连线开关盒(Switch Box, SB), 及水平和垂直方向的互连通道组成。通常情况下, 互连通道为双向结构<sup>[1]</sup>, 并由几种不同长度的互连线段以一定数量比例组成<sup>[2]</sup>。近几年来, 越来越多的研究开始采用单向的互连通道结构<sup>[3-5]</sup>。文献[3]指出单向通道比双向通道有更高的面积利用率, 并提出单向通道的两种电路实现形式: 单驱动实现和多驱动实现。不同的实现形式对应了不同的结构设计约束。文献[4]采用单驱动单向通道结构, 提出互连线段长度全部为 4 的结构较优。文献[5]采用多驱动单向通道结构, 提出互连线段长度为 2,4

的等比例混合结构较优。

本文以单向通道中的单驱动实现和改进后的多驱动实现为研究对象, 分析了不同的互连线段长度下由这两种实现形式所定义的通道结构在面积、延时、布通率等方面的差异。在此基础上提出将两种实现形式进行组合, 并提出了一种新的结构设计方法, 通过实验的手段得到面积延时积最优的互连长度组合方式以及互连实现形式组合方式。

### 2 本文中使用的 FPGA 结构参数的定义

在 FPGA 中, 可编程逻辑阵列块(Configurable Logic Block, CLB)实现逻辑功能。每个 CLB 均由  $N$  个基本逻辑单元组成。在由 CLB 组成的 2 维阵列之间分布着互连资源。其中, CB 将 CLB 的输入/输出引脚连接到互连通道上, 而 SB 则将水平和垂直通道中的互连线段连接起来, 所有连接均通过可编程开关实现。由于互连线段没有固定的方向, 因此,

SB 中可编程开关的结构决定了整个芯片中的互连通道是单向还是双向。

在一个 SB 中, 每个互连线段通过可编程开关所能连接的互连线段数  $F_s$  定义为该 SB 的灵活度。单向通道中一个互连线段从其起点到终点所经的 CLB 的个数  $L$ , 定义为该互连线段的长度。CLB 的  $N$  个输出均匀分布在 CLB 的 4 个边上, 和与之相邻的互连通道相连。CLB 输出引脚的灵活度  $F_{c_{out}}$ , 定义为输出引脚通过可编程开关所能连通的互连线段的个数。

为了综合评估某一结构参数的改变对 FPGA 芯片整体性能的影响, 通常的做法是将一些测试电路在 FPGA 上实现, 比较不同结构下得到的面积延时积。其值越小, 说明结构越优。其中延时指被测电路的关键路径延时<sup>[6]</sup>。在本文中, 为了精确的评估互连参数对实际芯片的影响, 采用一个 CLB 对应的 SB 实际的版图面积作为面积评估量, 其值为一个互连线段在一个 CLB 长度下的版图面积与布通该测试电路需要使用的通道数的乘积。

### 3 单向通道的两种实现形式

根据 SB 中的不同电路结构, 单向通道有两种实现形式: 单驱动实现和多驱动实现<sup>[3]</sup>, 分别如图 1, 图 2 所示。下面以长度为 2 的互连线段为例进行说明。

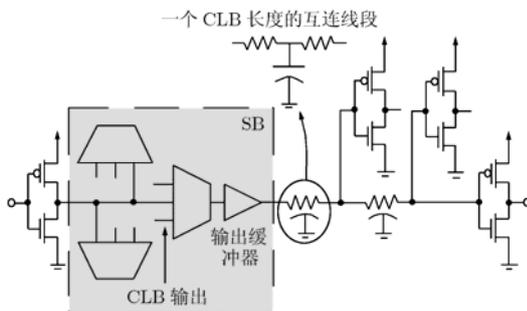


图 1 单驱动实现

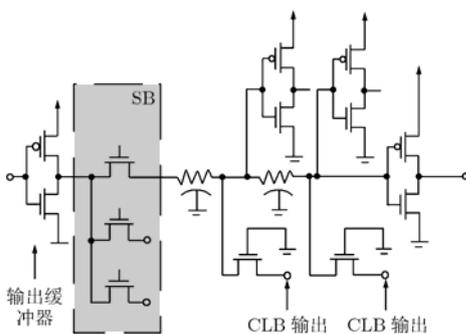


图 2 多驱动实现

### 3.1 单驱动实现

单驱动电路实现如图 1 所示。信号在 SB 中经过多路开关选择后通过缓冲器输出到互连线段的起点。无论可编程开关是否打开, 互连线段上都有信号输出。因此, 从缓冲器输出直到该互连线段的终点这一部分, 其他的信号都无法再接入该互连线段。在这种互连结构中, CLB 的输出只能在输出缓冲器之前通过多路选择器接入到互连线段上。

由于 CLB 的输出仅能从互连线段的起点接入, 因此距离互连线段起点较远的 CLB 的输出就无法连接到该互连线段上。为尽可能提高输出引脚的灵活度, 假设一个 CLB 的输出可以连接到起点为其所在位置以及其相邻位置的所有互连线段上<sup>[3]</sup>, 即有

$$F_{c_{out}} = \sum_L 2W_L / L \quad (1)$$

其中  $W_L$  表示互连通道中长度为  $L$  的互连线段的个数。

### 3.2 改进的多驱动实现

改进的多驱动通道结构如图 2 所示。在文献[3, 7]中,  $F_s$  个进入到 SB 中的互连线段可以通过可编程开关在它们的终点处连接到另一个互连线段的起点。本文中, 我们使一个进入 SB 的互连线段可以在其终点处通过可编程开关连接到另外  $F_s$  个互连线段的起点。这样, 所有  $F_s$  个可编程开关可以共享一个输出缓冲器。与文献[7]相比, 改进后的多驱动通道结构可以在仅使用  $1/F_s$  个缓冲器的条件下, 实现相同的 SB 灵活度, 减少了 SB 的版图面积。图 2 中, 由于使用可编程开关管引入了电压降低, 在互连线段的终点处增加了电平恢复电路<sup>[7]</sup>。

由于 SB 中的可编程开关关断时互连线段上为高阻态, 此时该互连线段所经的  $L$  个 CLB 的输出均可以通过类似的开关接入到互连线段上。本文中, 假定每一个互连线段在每一个 CLB 位置都至少与一个 CLB 的输出相连, 即有

$$F_{c_{out}} = \sum_L [4W_L / N] \quad (2)$$

通过比较式(1), 式(2)可以看出, 单驱动实现和多驱动实现对互连结构的影响主要体现在 CLB 输出引脚与通道连接的灵活度上。当互连线段长度  $L < [N/2]$  时, 单驱动实现的  $F_{c_{out}}$  较大, 表示 CLB 输出引脚可以连接的通道数较多, 布通相同测试电路所需的通道数较少; 当  $L > [N/2]$  时, 多驱动实现的互连结构较灵活, 布通相同测试电路所需通道数较少。

### 3.3 两种互连形式的电路实现结果

本文中用传输门开关来代替图 2 中的 NMOS 管

开关。在对互连线段的驱动能力近似相同的情况下比较两种实现在不同互连线段长度下的延时及版图面积结果。采用的  $L$  值均取自商用芯片中使用过的互连线段长度<sup>[8]</sup>, 即 1, 2, 4, 6, 8。为方便比较及后续的 VPR<sup>[9]</sup>实验, 此处面积的结果换算成一个互连线段在一个 CLB 长度上的版图面积。实验使用的工艺为 chartered 公司  $0.13\ \mu\text{m}$  低功耗工艺, 仿真工具 HSpice。仿真结果如图 3 所示。实验中假设每个 CLB 的边长为  $100\ \mu\text{m}$ <sup>[3]</sup>,  $N = 8$ <sup>[10]</sup>, 除长度为 8 的互连线可以在线段中点连接到与其垂直的互连线上, 其他长度的所有互连线段均只在其终点处连接到另一互连线段的起点。

由图 3 可知, 当  $L < 4$  时, 单驱动通道结构的延时性能较好, 且 CLB 输出引脚灵活性较高, 实现测试电路所用的互连通道数较少, 但每一个互连线段的实现面积较大; 当  $L > 4$  时, 多驱动实现的延时性能较好, 且互连结构灵活性较高, 需要的互连通道数目较少, 但每一个互连线段的实现面积较大。

#### 4 基于单驱动和多驱动形式组合的互连结构设计方法

为充分利用两种实现方法在不同互连长度下的优势, 并避免二者的不足, 本文提出将两种实现以一定比例进行组合, 从而获得最优的结构。

利用 VPR<sup>[9]</sup>将 MCNC 中最大的 20 个电路在包含了不同通道结构的 FPGA 中实现, 结果如图 4, 图 5 所示。不同互连线段长度下两种实现形式的面积、延时信息使用第 3.3 节中的实现结果。图 4, 图 5 中每个数据点均为 MCNC 中 20 个最大电路的布线结果的算数平均值。

##### 4.1 单一长度下两种实现的组合

首先讨论单一长度下的情况。分别在不同互连线段长度下, 改变两种实现在通道中的数量比例, 分别采用通道数、面积延时积作为评估结构优劣的依据, 结果如图 4 所示。

图 4 中, 横坐标表示通道中使用的多驱动实现

形式的比例, 其值为 0 表示通道全部采用单驱动形式实现。由图 4(a)所示, 所有组合中使用通道数最少的情況是长度为 1 的单驱动结构, 因为此结构有最高的灵活性。与前面的分析一致, 当  $L > 4$  时, 多驱动实现的灵活度高于单驱动实现, 因此其实现测试电路所需的通道数较少; 而当  $L < 4$  时, 单驱动实现的灵活度高于多驱动实现, 其实现测试电路所需的通道数较少。由于 SB 的面积为一个 CLB 对应的一个互连线段的版图面积与使用通道数的乘积, 因此, 采用面积作为评估量可以公平地体现两种互连实现形式在版图面积、布通率方面的结果。

图 4(b)中, 面积延时积结果随互连线段长度增加而降低。我们在每个互连线段长度上均得到一个最优结果。即: 对互连线段长度为 1, 2 的情况, 通道中全部使用多驱动电路的结构最优; 对长度为 4, 6 的情况, 通道中全部使用单驱动电路的结构最优; 当互连线段长度等于 8 时, 50%多驱动实现和 50%单驱动实现的组合有最优的结果。

##### 4.2 不同长度组合下的互连结构

第 4.1 节中给出了面积延时积优化目标下每一种互连线段长度对应的最优通道结构。在此基础上, 本节中讨论不同互连线段长度组合的情况。

在目前已知的商用芯片的互连结构中, 除了与芯片同样长度的全局互连线段<sup>[10]</sup>之外, 大部分芯片中的互连线段长度都不超过两种<sup>[8]</sup>。因此, 本文将结构的选择范围限定为长度 1, 2, 4, 6, 8 以及它们之间的两两等比例组合。对每一种互连线段长度采用第 4.1 节中得到的该长度下对应的最优结构, 即: 对互连长度 1, 2, 全部采用多驱动实现; 对互连长度 4, 6, 全部采用单驱动实现; 对互连长度 8, 单驱动和多驱动实现以等数量进行组合。实验结果如图 5 所示。图中  $L_x$  &  $L_y$  表示互连线段长度  $x$  和  $y$  的等比例组合。

由图 5 可知, 从面积延时积的角度来看,  $L_6$  和  $L_8$  的等比例组合, 即 50%长度为 6 的单驱动电路、

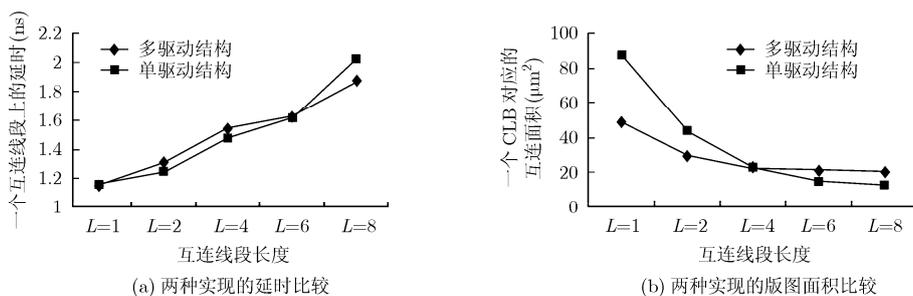


图 3 两种电路结构的延时、面积结果

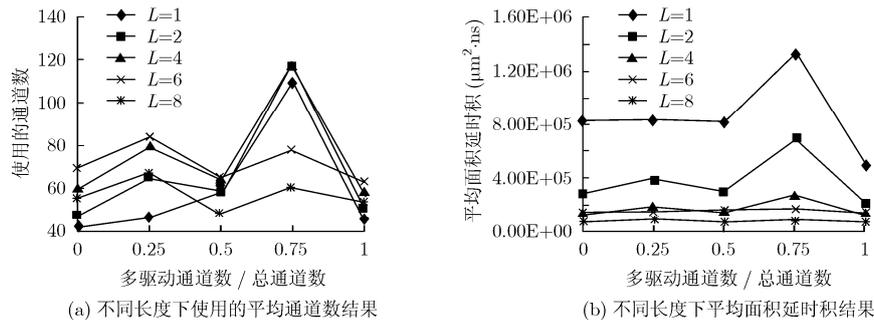


图4 单一长度下两种实现形式组合的结果

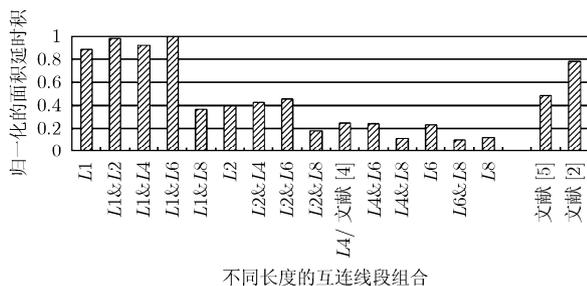


图5 不同长度互连线段组合的结果及比较

25%长度为8的多驱动电路和25%长度为8的单驱动电路的组合最好， $L_1$ 和 $L_6$ 的等比例组合，即50%长度为1的多驱动电路和50%长度为6的单驱动电路的组合最差。

### 4.3 与其他结构的比较

分别选择双向通道结构<sup>[2]</sup>、单向单驱动结构<sup>[4]</sup>、单向多驱动结构<sup>[5]</sup>与本文所得结构进行比较，结果如图5所示。其中，文献[4]中所述结构即为单驱动长度为4的结构。具体的数值如表1所示。

由表1可知，单向通道结构在延时、面积等方面均优于双向通道结构，基于单向单驱动互连进行优化的结构<sup>[4]</sup>要好于基于单向多驱动互连优化的结

构。这与文献[3]的结论一致。而使用本文方法得到的50%长度为6的单驱动电路，25%长度为8的多驱动电路和25%长度为8的单驱动电路的组合则均优于这3种结构。这主要是由于本文所提设计方法将单驱动和多驱动实现进行了有效的数量，长度组合，既避免了在互连线段较长时单驱动实现灵活度较差，以及多驱动实现面积较大的缺点，又充分利用了两种实现各自在面积、延时、布通率等方面的优势。相比文献[2, 4, 5]，本文结构在面积延时积上分别有86.55%，57.44%，78.37%的改善。

## 5 结束语

本文在FPGA芯片中的单向互连通道结构的基础上，分析了单驱动实现和多驱动实现形式分别对芯片布通率、面积、延时等的影响。提出将两种互连形式有效的组合在一起，并给出一种互连结构设计方法，通过从单一互连长度到两种长度组合的大量实验，得到了面积延时积最优目标下的互连线段长度组合方式及各长度下两种实现的最佳比例。实验结果表明，运用本文方法得到的结构相比其他结构，有更好的面积、延时特性。

表1 本文结构与其他结构的面积、延时特性比较结果

各项平均值	本文结构	文献[2]	文献[4]	文献[5]	本文结构好于其他结构的比例(%)		
					文献[2]	文献[4]	文献[5]
面积( $\mu\text{m}^2$ )	0.8474e+3	2.7738e+3	1.3199e+3	2.0363e+3	69.45	35.8	58.39
延时(ns)	70.14	151.34	100.12	128.55	53.65	29.94	45.44
面积延时积( $\mu\text{m}^2 \cdot \text{ns}$ )	0.5937e+5	4.4125e+5	1.3949e+5	2.7452e+5	86.55	57.44	78.37

## 参考文献

[1] Zhu Yi, Hu Yuan-fang, and Michael B T, *et al.* Energy and switch area optimizations for FPGA global routing architectures[J]. *ACM Transactions on Design Automation of Electronic Systems*, 2009, 14(1): 1-25.

[2] Siozios K and Soudris D. Wire segment length and switch box co-optimization for FPGA architectures[C]. *Proceedings of the 2006 International Conference on Field Programmable Logic and Applications*. Spain, 2006: 1-4.

[3] Lemieux G and Lee E, *et al.* Directional and single-driver

- wires in FPGA interconnect [C]. Proceedings of the 2004 IEEE International Conference on Field-Programmable Technology, Australia, 2004: 41-48.
- [4] Leventis P, Chan M, and Chan Mi, *et al.*. Cyclone: a low-cost, high-performance FPGA[C]. Proceedings of the 25th IEEE Custom Integrated Circuits Conference, USA, 2003: 49-52.
- [5] 李兴政. 现场可编程门阵列芯片系统结构的研究[D]. [博士论文]. 中国科学院电子学研究所, 2007.
- Li Xing-zheng. Research into system architecture of field programmable gate array chip[D]. [Ph.D. dissertation]. Institute of Electronics, Chinese Academy of Sciences, 2007.
- [6] Kuon I and Rose J. Area and delay trade-offs in the circuit and architecture design of FPGAs[C]. Proceedings of the 16th International ACM/SIGDA Symposium on FPGA, USA, 2008: 149-158.
- [7] 李兴政, 杨海钢. FPGA 芯片中的交叉开关设计[J]. 微电子学, 2007, 37(4): 606-609.
- Li Xing-zheng and Yang Hai-gang. Design of intercross switch in FPGA chip[J]. *Microelectronics*, 2007, 37(4): 606-609.
- [8] Lemieux G. Efficient interconnection network components for programmable logic device[D]. [Ph.D. dissertation]. University of Toronto, 2003.
- [9] Luu J and Kuon I, *et al.*. VPR 5.0: FPGA CAD and architecture exploration tools with single-driver routing, heterogeneity and process scaling[C]. Proceedings of the 2009 International Symposium on FPGA, USA, 2009: 133-142.
- [10] Altera Inc. Flex 10k embedded programmable logic device family data sheet(V4.2). <http://www.altera.com>, 2009.
- 李 威: 女, 1983 年生, 博士生, 研究方向为高速可编程逻辑芯片结构设计技术.
- 杨海钢: 男, 1960 年生, 研究员, 博士生导师, 研究方向为高速可编程逻辑芯片设计技术、数模混合信号 SOC 设计技术.
- 黄 娟: 女, 1983 年生, 博士生, 研究方向为大规模集成电路设计自动化技术.