

基于二维查找表的 SET 耦合注入方法

赵雯, 郭红霞, 罗尹虹, 丁李利, 张科营

(西北核技术研究所, 陕西 西安 710024)

摘要: 随着器件特征尺寸的减小, 利用独立电流源进行单粒子瞬态 (Single Event Transient, SET) 注入的方法与实际脉冲存在很大误差, 器件/电路混合模拟能与实际较好符合, 但在大规模组合逻辑的软错误率分析中使用器件/电路混合模拟非常耗时, 急需电路级快速的 SET 注入方法。针对 0.18 μm CMOS 反相器构建了基于二维查找表的 SET 耦合注入方法, 并与器件/电路混合模拟的结果进行比较。结果发现: 基于二维查找表的 SET 耦合注入方法与器件/电路混合模拟方法的结果比较符合, 而仿真速度比器件/电路混合模拟快 3 个数量级。

关键词: 单粒子瞬态; 二维查找表; 混合模拟

中图分类号: TN99 文献标志码: A 文章编号: 1000-6931 (2010) S0-0522-06

Coupled SET Pulse Injection Method Based on 2D Look-up Table

ZHAO Wen, GUO Hong-xia, LUO Yin-hong, DING Li-li, ZHANG Ke-ying

(Northwest Institute of Nuclear Technology, Xi'an 710024, China)

Abstract: With technology feature sizes decreasing, dependent current source method is checked to induce great difference from practical SET pulses. Results consistent with experiments can be obtained by mixed-mode simulation. However, mixed-mode simulation is proved to be time-consuming in soft errors analysis of large scale combinational logic circuits. Accordingly, circuit-level fast SET pulse injection method is needed. This paper implemented coupled SET pulse injection method based on 2D look-up table for 0.18 μm CMOS inverter. It is proved that coupled SET pulse injection results comply with mixed-mode simulation results well. Moreover, coupled SET pulse injection is three orders faster than mixed-mode simulation.

Key words: SET; 2D look-up table; mixed-mode simulation

电路特征尺寸较大时, 时钟频率较低, 组合电路中的单粒子瞬态 (Single Event Transient, SET) 脉冲宽度远小于时序单元的时钟周期, SET被时序单元俘获的概率很低; 但在超深亚微米工艺下, 某些数字集成电路的时钟周期为300~500 ps, 组合电路中的SET脉冲宽度可达数百ps, SET被时序单元俘获的概

率很高, 很可能使存储器发生单粒子翻转, 对电路造成很大影响。文献[1]预测到2011年, SET引起的软错误率将超过SEU (Single Event Upset) 成为软错误的主要来源; 文献[2]称0.13 μm 工艺下, 100 MHz以上频率的电路中, SET已经成为软错误的主要来源。

为研究SET对电路的影响, 进行准确的SET

收稿日期: 2010-06-18; 修回日期: 2010-09-06

作者简介: 赵雯 (1987—), 女, 山东新泰人, 硕士研究生, 辐射效应专业

注入很重要。实验能实现SET的准确注入，但花费大量的资金和人力；仿真进行SET注入的传统方法有独立电流源法和器件/电路混合模拟法。独立电流源的方法被证明与实际脉冲有很大的误差^[3]。器件/电路混合模拟虽能得到与实验吻合的结果^[4]，但其耗时长的缺点决定了它难以应用于大规模组合逻辑的软错误率分析。近年来有学者开展了电路级的SET脉冲耦合注入方法的研究。Mavis等^[5]使用SPICE内建电路单元构造了一种耦合电流源，但此方法仅能构造简单形式的电流，无法引入实验数据。Daisuke等^[6-7]提出一种基于作图的耦合电流引入方法，但存在精度较差、无法与现有EDA工具集成等问题。刘必慰等^[8]提出超深亚微米工艺下的SET耦合注入，该方法与器件/电路混合模拟的结果吻合较好，但存在模拟器难以实现兼容和编程复杂的问题。本文针对0.18 μm CMOS反相器构建基于二维查找表的SET耦合注入方法，并与器件/电路混合模拟的结果进行比较。

1 独立电流源法和器件/电路混合模拟法 SET 的传播示于图 1。

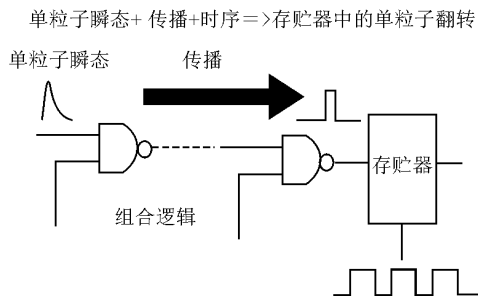


图 1 SET 的传播

Fig. 1 SET propagation

单粒子效应示意图示于图 2。粒子撞击反偏的 N⁺/P 结，沿着粒子入射轨迹会产生大量的电子-空穴对，当粒子穿过 N⁺/P 结耗尽区时就会被结电场迅速收集而产生瞬态电流。单粒子效应最显著的特征是使 N⁺/P 结耗尽区电势呈现漏斗状，称为漏斗效应。漏斗效应将耗尽区电场推进到衬底从而增强了漂移电荷的收集效率；漏斗的形状与衬底浓度有关，在相同的粒子入射条件下，衬底浓度越小，漏斗效应

越明显^[9]。远离 PN 结的过剩载流子会通过扩散过程被收集，扩散过程比漂移过程慢得多。因此，SET 注入在电路模拟时可用一电流源来表征（图 3）。

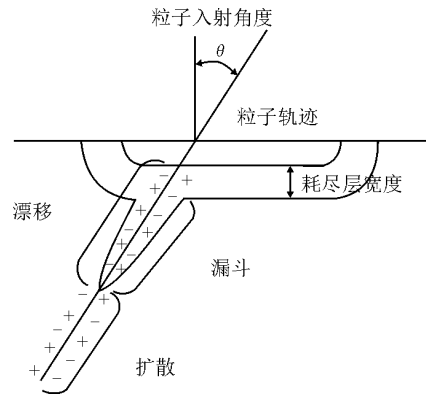


图 2 单粒子效应示意图

Fig. 2 Single event effects sketch map

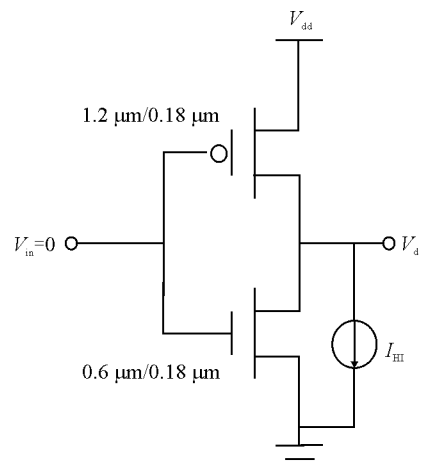


图 3 SET 注入原理图

Fig. 3 SET injection scheme

传统的 SET 注入方法有独立电流源法和器件/电路混合模拟法。

1.1 独立电流源法

1) 双指数电流源^[10]

双指数电流源中电流 $I(t)$ 为：

$$I(t) = I_0 (e^{-\alpha t} - e^{-\beta t})$$

其中： $1/\alpha$ 为 PN 结的收集时间常数； $1/\beta$ 为粒子径迹初始建立时间常数； I_0 为载流子迁移率、LET 值、电场等的函数。典型的双指数电流源形状如图 4 所示。

2) PWL (Piece-Wise Linear) 电流源

使用器件模拟或实验测量得到单个器件的重离子响应电流, 再将这一电流以PWL电流源的方式引入SPICE模拟器, 器件模拟原理图示于图5。

独立电流源法使用预先定义好的电流波形在 SPICE 中进行注入, 由于未考虑电路响应对 SET 电流波形的影响, 与实际脉冲有很大误差。

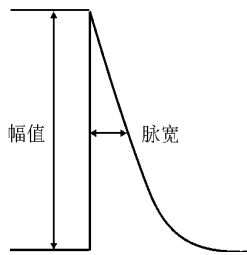


图4 双指数电流源

Fig. 4 Double exponential source

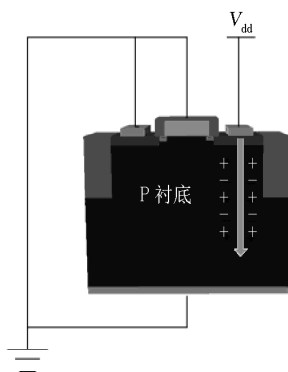


图5 器件模拟原理图

Fig. 5 Device simulation scheme

1.2 器件/电路混合模拟法

器件/电路混合模拟法根据电路的响应动态地改变器件模型的边界条件, 器件模型计算出瞬时电流的大小注入到电路模型中, 电路模型计算出节点电压的变化, 反过来改变器件模型的电极电压, 减弱粒子轨迹上的电场强度, 减小电荷收集效率。器件/电路混合模拟正确地反映了这种耦合效应, 因此, 在超深亚微米工艺下能得到比较准确的 SET 脉冲形状, 器件/电路混合模拟图示于图6。图7显示了固定漏极偏压的器件模拟与器件/电路混合模拟的结果差别。从图7可看出, 器件/电路混合模拟能得到比较准确的 SET 脉冲形状, 但这种方法非常耗时,

难以应用于大规模组合逻辑的软错误率分析。

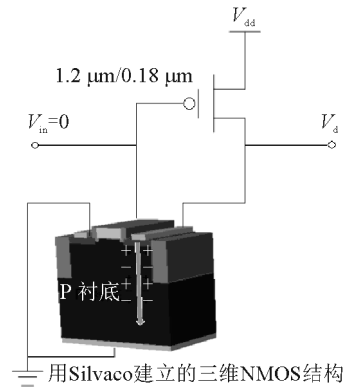


图6 器件/电路混合模拟

Fig. 6 Mixed-mode simulation

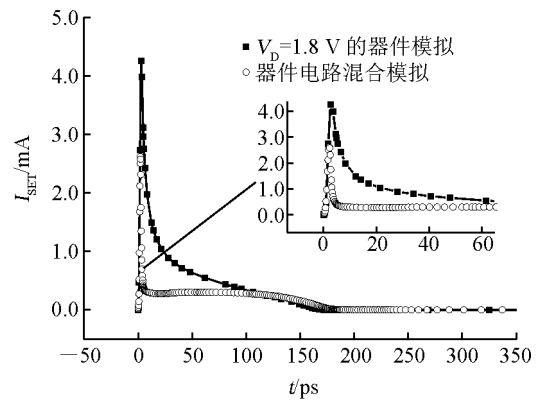


图7 器件模拟与混合模拟的比较

Fig. 7 Compare device simulation with mixed-mode simulation

2 基于二维查找表的 SET 耦合注入

2.1 二维查找表的建立

考虑到 NMOS 管与周围电路的耦合效应, 随着粒子撞击产生的电荷被漏极收集, 漏极电压不断降低, 电荷收集效率下降。因此, 在 NMOS 管的漏极加不同的偏压, 在每一种偏压下通过器件模拟得到 I_{SET} 曲线 (图8), 这些 I_{SET} 电流值就构成了一个基于时间 t 与偏压 V_d 的二维查找表。本文针对 $0.18 \mu\text{m}$ NMOS 管进行器件模拟, 入射粒子的 LET 值为 $80 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, 入射粒子轨迹的半径为 $0.05 \mu\text{m}$, 粒子入射时间为 2 ps , 特征延迟时间为 1 ps 。模拟得到的二维查找表的文本形式如图9所示, 时间 t 与偏压 V_d 是两个自变量, I_{SET} 是因变量, 由于有两个自变量, 所以叫二维查找表。

值得注意的是，漏极偏压的选择范围应为一 $\Phi_0 \sim (V_{dd} + \Phi_0)$ 。其中： Φ_0 是 PN 结的内建电势（本文 NMOS 管的 $\Phi_0 \approx 0.98$ V）。因为即使没有外加偏压，漏/衬底的内建电势也会产生电荷收集，所选择的电压范围须覆盖到完全抵消内建电势的影响。当 NMOS 管的漏极偏置电压小于 0 时，由于漏/衬底结变为正偏，有了明显的静态电流 I_{static} ，这时，辐射诱导的瞬时电流 I_{SET} 并不直接等于漏极电流 I_d ，它们之间的关系为 $I_{SET} = I_d - I_{static}$ 。

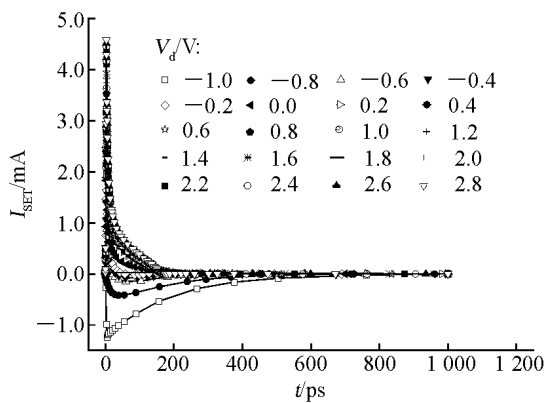


图 8 不同漏极偏压下的 I_{SET} 曲线

Fig. 8 I_{SET} curves under different voltage bias

V_d/V	t/s	I_{SET}/A
-1.00	1.000 000E-14	-7.280 340E-08
-1.00	3.000 000E-14	-3.885 252E-07
.....
-0.80	1.500 000E-13	-7.117 968E-07
-0.80	3.100 000E-13	-3.020 550E-06
.....
.....
0.00	1.923 583E-12	1.831 952E-03
0.00	2.694 755E-12	2.474 643E-03
.....
.....
0.20	1.015 309E-11	1.359 817E-03
0.20	1.329 555E-11	1.157 291E-03
.....
.....
1.80	2.803 683E-11	8.898 363E-04
1.80	3.398 795E-11	7.956 180E-04
.....
.....
2.60	3.048 501E-10	1.004 521E-10
2.60	3.469 057E-10	9.216 985E-11
.....
.....
2.80	6.716 105E-10	1.599 491E-10
2.80	1.000 000E-09	1.599 549E-10

图 9 二维查找表

Fig. 9 2D look-up table

2.2 建立二维查找表的 Verilog-A 模块

Verilog-AMS HDL 提供 1 个多维插值与查

找函数 $\$stable_model$ ，其函数形式是 $\$stable_model$ (table_inputs, table_data_source, table_control_string)，其中，table_inputs 是函数的自变量名，自变量可为 1 个也可为多个；table_data_source 用于指定二维查找表数据的来源，它可为文本也可为一组矩阵。table_control_string 用于指定函数内插和外推所采用的方法。在本文中， V_d 与 t 是 table_inputs，图 9 所示的二维查找表矩阵或其所在的文本文件即为 table_data_source。table_control_string 的选择可参考文献[11]，用 Verilog-AMS HDL 建立关于 $\$stable_model$ 的 Verilog-A 模块也可参考文献[11]。

2.3 SET 耦合注入

Hspice2008 支持 Verilog-A^[12]，建立了二维查找表的 Verilog-A 模块后，可在 Hspice 中对其实现调用。调用的具体原理如图 10 所示，Hspice 读取电路的漏极电压 V_d 和当前时间 t ，然后通过 Verilog-A module 在二维查找表中采用内插或外推法得到相应的 I_{SET} ，将 I_{SET} 代入电路中获取新的漏极电压 V_d 和时间 t ，如此反复计算，最终得到完整的 I_{SET} ，如图 11 所示。在负载电容 C 为 0 的情况下，将器件模拟、器件/电路混合模拟和基于 LUT 的耦合注入方法进行比较，比较结果如图 12 所示。从图 12 可看出，基于二维查找表的耦合注入方法和器件/电路混合模拟方法的结果近乎一致，器件模拟由于忽略了与器件周围电路的耦合效应而与其它两种方法的结果差别很大。此外，基于二维查找表的耦合注入方法比器件/电路混合模拟方法快 3 个数量级。

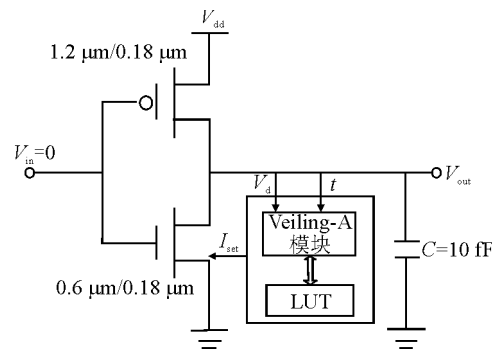


图 10 SET 耦合注入原理图

Fig. 10 Coupled SET injection scheme

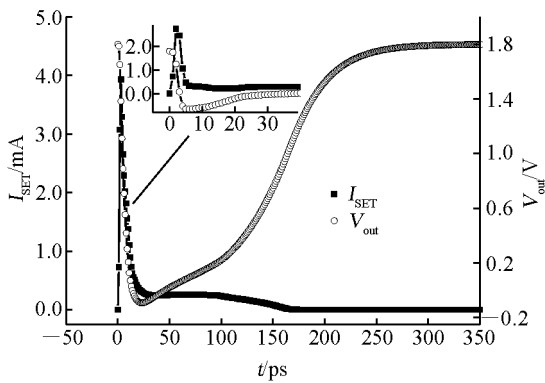


图 11 I_{SET} 和 V_{out} 曲线

Fig. 11 I_{SET} and V_{out} curves

2.4 负载电容对 SET 注入的影响

改变图 10 中负载电容 C 的值, 得到不同负载电容下 SET 电流脉冲和电压脉冲, 结果示于图 13。从图 13 可看出: 随着负载电容的逐渐增加, 瞬态电流脉宽增大, 台阶区持续时间减小, 而当电容增大到一定程度时, 台阶区消

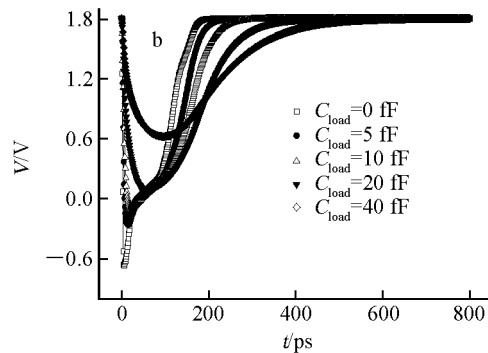
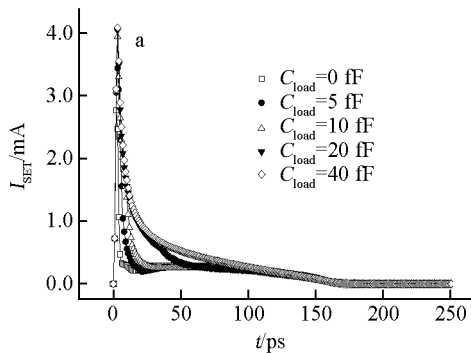


图 13 不同负载电容下的 SET 电流 (a) 和电压 (b) 脉冲

Fig. 13 SET current (a) and voltage (b) pulses under different load capacitances

3 结论

文章针对 $0.18 \mu\text{m}$ CMOS 反相器构建基于二维查找表的 SET 耦合注入方法, 并与器件/电路混合模拟的结果进行比较。结果发现, 基于二维查找表的 SET 耦合注入方法与器件/电路混合模拟方法的结果符合比较一致, 仿真速度比器件/电路混合模拟快 3 个数量级。此外, 通过仿真发现电路的负载电容对 SET 的注入有影响, 负载电容越大, 产生的 SET 电压脉冲幅值越小, 脉宽越大。今后的工作将着眼于对较复杂的组合逻辑进行 SET 耦合注入, 研究

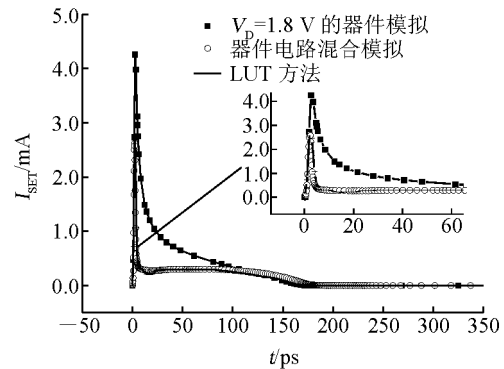


图 12 SET 注入方法的比较

Fig. 12 Comparison of SET injection methods

失; 负载电容的增加也会导致电压脉冲宽度增大, 幅度减小。粒子撞击 NMOS 管的漏极产生的电流有:

$$I_{HI} = I_P + I_C$$

其中: I_P 为流过 PMOS 管的电流; I_C 为电容的充放电电流。负载电容的大小影响到 I_C , 因此最终造成 I_{HI} 的改变。

SET 对电路的影响。

参考文献:

[1] SHIVAKUMAR P, KISTLER M, KECKLER S W, et al. Modeling the effect of technology trends on the soft error rate of combinational logic[J]. IEEE CS, 2002: 389-398.

[2] EATON P, BENEDETTO J, MAVIS D, et al. Single event transient pulse width measurements using a variable temporal latch technique[J]. IEEE Transactions on Nuclear Science, 2004, 51: 3 365-3 368.

- [3] BENEDETTO J M, EATON P H, MAVIS D G, et al. Variation of digital SET pulse widths and the implications for single event hardening of advanced CMOS processes[J]. IEEE Transactions on Nuclear Science, 2005, 52: 2 114-2 119.
- [4] TUROWSKI M, RAMAN A, JABLONSKI G. Mixed-mode simulation and analysis of digital single event transients in fast CMOSICs[C]//14th International Conference on Mixed Design of Integrated Circuits and Systems. [S. l.]: [s. n.], 2007: 433-438.
- [5] MAVIS D G, EATON P H. SEU and SET modeling and mitigation in deep submicron technologies[C]//IEEE 45th Annual International Reliability Physics Symposium. Phoenix: [s.n.], 2007: 298-299.
- [6] DAISUKE K, HIROBUMI S, KAZUYUKI H, et al. Estimation of single event transient voltage pulses in VLSI circuits from heavy-ion-induced transient currents measured in a single MOSFET[J]. IEEE Transactions on Nuclear Science, 2007, 54(4): 1 037-1 041.
- [7] DAISUKE K, KAZUYUKI H, TAKAHIRO M, et al. Feasibility study of a table-based SET-pulse estimation in logic cells from heavy-ion-induced transient currents measured in a single MOSFET[J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2 347-2 354.
- [8] LIU Biwei, CHEN Shuming, LIANG Bin, et al. Coupled SET pulse injection in a circuit simulator in ultra-deep submicron technology[J]. Chinese Journal of Semiconductor, 2008, 29(9): 1 819-1 822.
- [9] IEEE. NSREC short course notebook[M]. Section II. [S. l.]: [s. n.], 2005: 22.
- [10] MESSENGER G C. Collection of charge on junction nodes from ion tracks[J]. IEEE Transactions on Nuclear Science, 1982, 29(6): 2 024-2 031.
- [11] Verilog-AMS language reference manual[M]. USA: Accellera Organization, 2008.
- [12] HSPICE Simulation and analysis user guide[M]. USA: Synopsys Inc., 2007.