

# 高速 JTAG 在线仿真器设计

余 骏, 党云飞

(复旦大学微电子研究院, 上海 200433)

**摘 要:** 给出联合测试行为组织(JTAG)边界扫描技术的概念, 说明 JTAG 关键组件及相关的指令, 介绍实际开发的通用 JTAG 在线仿真器。该仿真器在基于计算机并口的 JTAG 在线仿真器基础上进行改进, 加入现场可编程门阵列, 利用并行传输的优势, 克服传统 JTAG 在线仿真器的速度局限性。通过自定义的通信协议, 提高通信的可靠性和安全性, 同时达到比传统 JTAG 在线仿真器更优的性能。

**关键词:** 联合测试行为组织; 边界扫描单元; 现场可编程门阵列; 并行; 仿真器

## Design of High Speed JTAG On-line Simulator

YU Jun, DANG Yun-fei

(Research Institute of Microelectronics, Fudan University, Shanghai 200433, China)

**【Abstract】** A concept of Joint Test Action Group(JTAG) boundary scan technology is proposed. The key components and related commands are introduced. A universal Flash simulator focusing on the engineering application is introduced. Based on the traditional JTAG on-line simulator, it adds the use of FPGA. It makes full use of the advantage of parallel transmission of parallel port and break through the speed bottleneck of the traditional JTAG on-line simulator. With self-identified communication protocol, it not only improves the reliability and security of the communication, but also realizes a higher performance than the traditional JTAG on-line simulator.

**【Key words】** Joint Test Action Group(JTAG); boundary scan cell; Field Programmable Gate Array(FPGA); parallel port; simulator

DOI: 10.3969/j.issn.1000-3428.2011.24.076

### 1 概述

随着嵌入式技术的发展, 在一些高端的掌上设备中, 大多使用了 Flash 芯片, 但对于研发人员来说, 在开发阶段需要大量的程序调试, 而在某些情况下, Flash 是直接焊接在开发板上的, 这种情况下无法将 Flash 取下, 因此, 如何对 Flash 进行在线编程是问题的关键所在。

传统的 Flash 在线仿真器使用并行与 JTAG 接口通过简单的缓冲器进行相连, 通过运行在计算机上的程序并行来控制 JTAG 扫描链, 从而达到在线操作 Flash 的目的, 但是由于受到并行性能的制约, 该解决方案的速度很不理想, 此外, 通信过程中的差错也很难得到检测。本文在传统 Flash 在线仿真器的基础上提出了一种改进方法, 提高了仿真器对 Flash 操作的速度, 同时使用自定义的通信协议保证了数据传输的可靠性和安全性。

### 2 对传统仿真器的改进

#### 2.1 JTAG<sup>[1]</sup>在线仿真器的性能分析

影响 JTAG 对 Flash 操作的速度因素有以下 2 种<sup>[2]</sup>:

(1)边界扫描链的长度

边界扫描链越长, 意味着每次通过 JTAG TDI 引脚移位的数据越长, 所需的时间也就越长, 可以通过选择扫描链较短的 JTAG 器件来解决这个问题, JTAG 器件一般由系统设计人员选取, JTAG 仿真器无法对这一因素进行影响。

(2)TCK 频率

由于 JTAG TDI 引脚移位数据的时钟由 TCK 引脚进行控制, 因此 TCK 引脚的频率直接影响到移位的速度, 传统的基于并口的 JTAG 仿真器使用并行的一根输出引脚作为 TCK<sup>[3-4]</sup>, 即使工作在增强型(Enhanced Parallel Port, EPP)模式下, 并口的理论速度也仅有 2 MB/s, 而实际速度要比这个值小得多, 以 2 MB/s 计算, TCK 的数据输出速率为 2 Mb/s,

由于数据只在 TCK 的上升沿移入 TDI, 因此其频率相当于 1 MHz, 由此可见, TCK 频率受到了并口的性能制约。

以本文项目的测试主板为例, 选用的 JTAG 器件为 Intel386EX CPU, 该芯片的 101 个引脚串联成边界扫描链<sup>[5]</sup>, 每个引脚分别对应数据方向和值 2 个扫描单元, 所以共有 202 个扫描单元, 因而一次移位操作需要的时间为:

$$202 \times 1\ 000\ ns = 202\ \mu s$$

#### 2.2 设计及改进

本文设计加入一块 FPGA 负责对 JTAG 接口进行控制, PC 机并行口将需要移位的 202 位数据流以 8 位一组的方式传输给 FPGA, 即完成一次移位操作, 并行口需要向 FPGA 传输 26 次数据, FPGA 的时钟由外置的 50 MHz 晶振提供, 因而一次移位操作需要的时间为:

$$26 \times 500\ ns + 202 \times 20\ ns + T_{FPGA} = 17.04\ \mu s + T_{FPGA}$$

其中,  $T_{FPGA}$  为 FPGA 解析从并行口收到的数据所需的时间, 通过对比可以看到改进后的电路, 其数据的移位速度大致比传统的 JTAG 仿真器提升了 11 倍。

图 1、图 2 给出了传统的基于并口的 JTAG 仿真器和本文改进后的 JTAG 仿真器的逻辑框图。

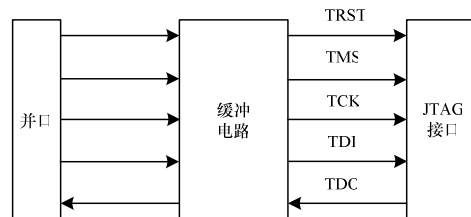


图 1 传统的基于并口的 JTAG 仿真器

**作者简介:** 余 骏(1987—), 男, 硕士研究生, 主研方向: 嵌入式技术; 党云飞, 学士

**收稿日期:** 2011-05-20 **E-mail:** yujun1987211@gmail.com

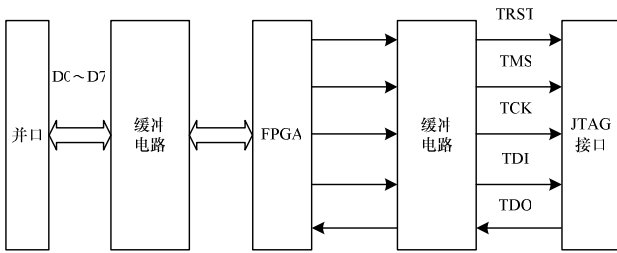


图2 改进的仿真器电路逻辑框图

2.3 实验结果

表1给出了传统仿真器与改进后的仿真器实际的性能比较, 限于篇幅, 仅选取 AM29LV641 的比较结果

表1 改进前后仿真器在 AM29LV641 型 Flash 读写时性能比较

性能比较	Flash 写入(64 KB)	Flash 读取(64 KB)
传统仿真器	5 min41 s	1 min19 s
改进后仿真器	20.4 s	5.2 s
性能提升	16.7 倍	15.2 倍

3 通信协议

为了保证并口与 FPGA 数据传输的可靠性, 本文项目自定义了通信协议, 数据流分为数据帧和命令帧, 数据帧即是需要移入移出 JTAG 边界扫描链的 202 位数据, 而命令帧则实现对 Flash 控制引脚的设置功能, 命令帧的使用是为了进一步提高仿真器的效率, 举例来说, 对 Flash 的读写过程需要经常对 Flash 芯片的片选引脚及读写使能信号进行操作, 此时只需要改变 202 位边界扫描链中的 1 位或某几位, 此时如使用数据帧将 202 位数据传输给 FPGA 显得没有必要, 因而此时选用开销更少的命令帧来实现。

3.1 数据帧格式介绍

数据流方向: PC→FPGA 数据帧格式如表2所示。

表2 PC→FPGA 数据帧格式

帧头	命令	数据	校验和	帧尾
01	01	XX XX XX...(26 Byte)	XX	02

数据栏内容为发送 202 位 BSR 数据(26 Byte, 不足用 0 补充)。

校验和为: 帧头+命令+数据。

数据流方向: FPGA→PC。

返回 FPGA 的操作结果, 如接收数据成功、接收帧头错误、校验和错误等, 下面是返回值对应的状态:

- 0x88: FPGA 接收数据成功
- 0x51: FPGA 接收帧头错误
- 0x52: FPGA 接收到错误命令代码
- 0x53: FPGA 校验和错误
- 0x54: FPGA 接收帧尾错误
- 0x55: FPGA 接收数据字节数错误

3.2 命令帧格式介绍

数据流方向 PC→FPGA 命令帧格式如表3所示。

表3 PC→FPGA 命令帧格式

帧头	命令	校验和	帧尾
01	XX	XX	02

其中, 命令字段定义如下:

- 0x02: 测试与 FPGA 通信是否正常
  - 0x03: 片选信号置为“1”
  - 0x04: 片选信号置为“0”
  - 0x05: 写使能信号置为“1”
  - 0x06: 写使能信号置为“0”
  - 0x07: 读使能信号置为“1”
  - 0x08: 读使能置为“0”
  - 0x09: FLASH 地址加 1
  - 0x0A: 片选信号和写使能信号同时置为“1”
  - 0x0B: 片选信号和写使能信号同时置为“0”
  - 0x0C: 片选信号和读使能信号同时变“1”
  - 0x0D: 读取 Flash 当前地址中的数据
- 数据流方向: FPGA→PC

返回 FPGA 的操作结果, 如接收数据成功、接收帧头错误、校验和错误等, 下面是返回值对应的状态。

命令 0x02~0x0C 的返回格式为:

- 0x88: FPGA 操作成功
- 0x51: FPGA 接收帧头错误
- 0x52: FPGA 接收到错误命令代码
- 0x53: FPGA 校验和错误
- 0x54: FPGA 接收帧尾错误

同时, 对于命令 0x0D, 当返回 0x88 后, 还需返回相应的数据帧(即读到的 Flash 数据), 格式如表4所示。

表4 FPGA→PC 读取 Flash 命令的返回帧格式

帧头	数据	校验和	帧尾
01	XX XX(16 bit)	XX	02

4 结束语

JTAG 边界扫描技术在嵌入式系统开发中起着十分重要的作用, 本文首先对 JTAG 在线仿真器的性能进行了分析, 得出了传统 JTAG 在线仿真器的性能受限于计算机并口的速度, 然后在 JTAG 在线仿真器的传统结构上, 通过增加 FPGA 和自定义的通信协议, 不但提升了 JTAG 在线仿真器的可靠性, 同时也突破了传统 JTAG 在线仿真器的性能瓶颈, 通过对 AM29LV641 型 Flash 的读写测试, 实测的性能提升了 15 倍。

参考文献

- [1] IEEE. IEEE Std 1149.1-2001 IEEE Standard Test Access Port and Boundary-scan Architecture[S]. 2001.
- [2] 郑先刚, 张学斌. 基于 JTAG 技术的 Flash 加载[J]. 现代电子技术, 2004, 27(11): 5-7.
- [3] 杜海涛. 基于 JTAG 的 flash 在线编程[J]. 科技信息, 2008, 22(23): 399.
- [4] 谢志迅. 利用 JTAG 口的 flash 在板加载技术[J]. 电子技术应用, 1999, 25(7): 19-20.
- [5] Intel Company. Intel386TM EX Embedded Microprocessor[Z]. 1998.