

占空比优化的 1.25GHz CMOS 锁相环*

1.25GHz CMOS PLL With the Duty Optimizing Technique

马卓, 郭阳, 谢伦国

MA Zhuo, GUO Yang, XIE Lun-guo

(国防科学技术大学计算机学院, 湖南长沙 410073)

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

摘要:半速率高速串行接口同时使用时钟的正/负边沿作为发送数据的定时基准,数据码元的定时长度直接由时钟的占空比决定,因此锁相环的输出时钟的占空比显得尤为重要。本文基于 $0.13\mu\text{m}$ CMOS 工艺设计实现了一款 1.25GHz 的高频锁相环。该锁相环基于环形振荡器结构,使用互补相位调节技术实现输出时钟的占空比平衡。流片测试结果表明,该锁相环能够稳定输出 1.25GHz 的高频时钟,实测输出时钟的占空比能够稳定在 $49.86\% \sim 52.89\%$ 的范围内,平均占空比为 51.21% 。

Abstract: In high-speed SerDes with the half rate structure, the duty of the clock is seriously important, which is the decisive factor for unit intervals. In this article, a 1.25GHz ring oscillator PLL is established on the $0.13\mu\text{m}$ CMOS process, in which a duty balance circuit is integrated. The result of testing shows the stable output clock is 1.25GHz, and the duty is within the range of $49.86\% \sim 51.21\%$, and the mean duty is 51.21% .

关键词:半速率;高速串行接口;锁相环;占空比平衡;互补相位调节

Key words: half-rate; SerDes; PLL; duty balance; coupling phase adjustment

doi:10.3969/j.issn.1007-130X.2012.02.012

中图分类号: TN742

文献标识码: A

1 引言

在高速串行接口中,串行数据的定时问题显得尤为重要,为了保证每一个码元(Unit Interval,简称 UI)具有相等的信号宽度和幅度,在“并行-串行”的转换中,必须使用精确的定时电路来对每一个 UI 进行定时。锁相环(Phase Locked Loop,简称 PLL)因其具有稳定的振荡特性而被广泛应用于数据串行接口中。图 1 表示了一种常见的数据串行器的结构,其中就是采用了 PLL 作为“并行-串行”转换过程中的定时电路。

使用 PLL 作为高速串行链路的定时部件,可

以采用全速率和半速率两种结构。全速率结构中,PLL 产生等于 UI 速率的高频振荡,“并行-串行”的转换发生在每个 PLL 时钟节拍的 正或负沿处。在半速率结构中,PLL 产生的时钟频率为 UI 速率的一半,在时钟的正沿和负沿均进行“并行-串行”转换。一般来讲,全速率结构对 PLL 输出时钟的占空比要求较低,但 PLL 电路必须以 $1/t_{UI}$ 的频率工作,使得 PLL 电路的工作频率较高,功耗增加;而半速率结构中,PLL 只需要产生 $1/2t_{UI}$ 频率的输出,具有较低的电路功耗,但半速率结构对 PLL 输出时钟的占空比提出了很高的要求,时钟占空比的优劣直接决定了输出串行数据的 UI 性能。

本文的主要工作是设计实现一款占空比优化

* 收稿日期:2009-12-21;修订日期:2010-03-25

基金项目:新世纪优秀人才支持计划资助项目

通讯地址:410073 湖南省长沙市国防科学技术大学计算机学院

Address: School of Computer Science, National University of Defense Technology, Changsha, Hunan 410073, P. R. China

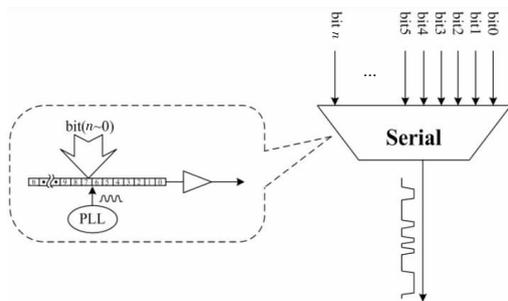


图 1 PLL 在数据串行器中的应用

的锁相环 PLL 电路,用于 2.5Gbps 的高速串行接口中,输出振荡频率 1.25GHz,输入参考频率 125MHz,工作电压 1.2V,输出占空比 $50\% \pm 2\%$ 。

2 PLL 的结构

电荷泵式 PLL 是当前被广泛应用的一种电荷泵式锁相环结构,图 2 是该结构的基本构成框图。

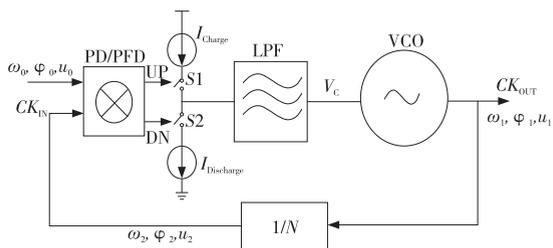


图 2 基本电荷泵 PLL 的结构

在图 2 给出的这种结构中,压控振荡器(Voltage Controlled Oscillator,简称 VCO)在控制电压 V_c 的作用下产生振荡:

$$u_1 = U_1 \sin(\omega_1 t + \varphi_1) \quad (1)$$

振荡 u_1 经过环路分频器进行 $1/N$ 后,在频率和相位上均发生了变化,得到反馈后的振荡:

$$u_2 = U_2 \sin(\omega_2 t + \varphi_2) \quad (2)$$

数字鉴相器(Phase Detector,简称 PD)将输入振荡 u_0 与反馈振荡 u_2 进行比较,即可得到振荡的鉴相信息,其中:

$$u_0 = U_0 \sin(\omega_0 t + \varphi_0) \quad (3)$$

数字鉴相器的输出经过电荷泵(Charge Pump,简称 CP)和环路滤波器(Low Pass Filter,简称 LPF)后形成了 VCO 的控制信号,PLL 的闭环控制环路已经形成。本文研究的重点在于输出振荡信号的占空比优化,对于 PLL 环路的参数推导前人已有大量的文献进行分析,这里不做赘述。

3 振荡环路

采用前文所述的电荷泵式结构,结合应用指

标,本文设计了一款电荷泵结构的差分 PLL 电路。对于电荷泵式 PLL 而言,VCO、PD/PFD、CP 和 LPF 是其四大核心部件,为了说明本文采用的占空比调节技术,首先有必要对该 PLL 的这四个部件进行介绍。

图 3 是该 PLL 的环形振荡器 VCO 的三级结构及其对称负载结构的延迟单元电路^[1]。对于高频 PLL 而言,三级差分 VCO 是常用的一种结构,每级 VCO 延迟单元产生 60° 的相差,从而使得振荡器整体满足巴克豪森判据。

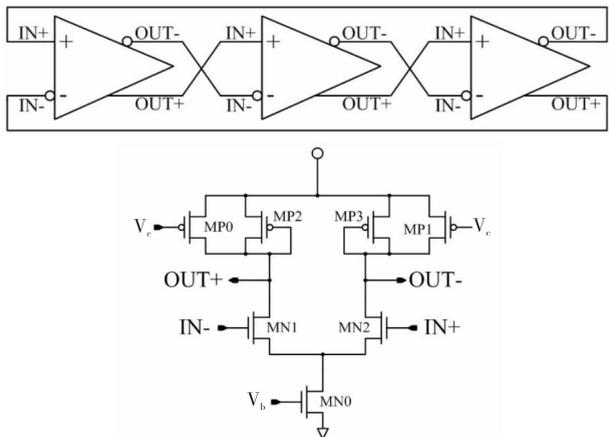


图 3 VCO 环振及其对称负载延迟单元的电路结构

对于图 3 给出的 VCO 延迟单元而言,尾电流管 MN0 的偏置电压 V_b 的稳定性对于 VCO 环振的性能影响十分显著,图 4 给出了利用互锁电流镜产生电压偏置的电路,文献[2]的结论,由 MN3~4 和 MP4~5 组成的互锁电流镜电路产生稳态确定的电压偏置并经过电流源 MP6 驱动输出,MP7 管作为电流源 MP6 的负载。

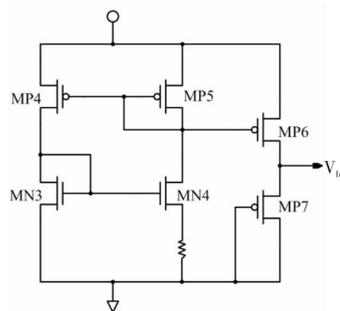


图 4 VCO 偏置电压产生电路图

图 5 和图 6 分别表示了鉴相器 PD、电荷泵 CP 和滤波器 LPF 的电路结构。根据文献[2]的结论,图 5 鉴相器 PD 的结构具有工作频率高、鉴相死区小的特点。

鉴相器的输出的 UP 和 DN 信号送达图 6 表示的电荷泵 CP 电路,电阻和 MN17 管构成了一个基础的电流偏置回路,根据电流镜原理,MN18~

19 和 MP20~21 管构成了对等电流镜结构, 在开关管 MP22 和 MN20 的控制下, 在环路滤波器 LPF 上形成控制电压 V_c 。值得注意的是, 为了保证控制线 V_c 在电荷泵 CP 充放电时具有较小的过冲, 必须使用电压跟随器来形成反馈。

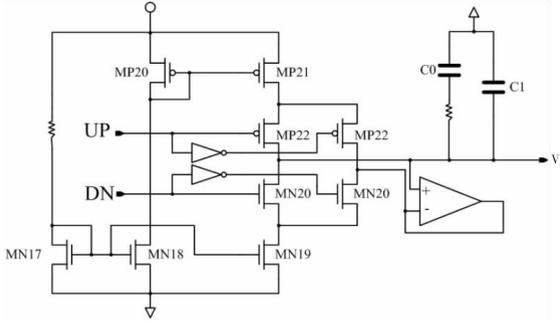


图6 电荷泵 CP 与环路滤波器 LPF 的电路结构

通过上述这些电路结构, 构成了 PLL 的核心环路, 在分频器的作用下, 完成图 1 中 PLL 环路的完整功能。

4 占空比平衡

从前文的分析中也可以得知, 由于鉴相器 PD/

PFD 电路仅仅关心 VCO 输出时钟分频后的某一种边沿, 换言之, 在上述的结构中并不存在闭环回路来保证 VCO 输出时钟的占空比。事实上, 从上述 PLL 环路的 Hspice 仿真结果中也可以发现, 随着 PVT (Process Voltage Temperature, 简称 PVT) 条件的不同, 输出时钟的占空比可能在 40%~60% 的范围内发生变化。很显然, 这样的时钟占空比性能是无法在半速率高速串行接口中使用的, 因此必须在 PLL 的时钟输出路径上增加专门的占空比平衡结构。

文献[3]中给出了一种具有大范围占空比调节能力的电路形式, 在本文所涉及的半速率高速串行接口中, 由于需要的是占空比 50% 稳定的振荡信号, 因此可以将占空比调节电路简化成图 7 的形式。

图 7 给出的电路中, IN+ 和 IN- 是从 VCO 输出的差分时钟信号, 差分 VCO 的特性可以保证 IN+ 和 IN- 具有互补的特性。在这个电路中, 关键之处在于对管 MP14~15、MP16~17、MN11~12 和 MN13~14 具有不同的尺寸, 即具有不同的驱动能力, 常开状态的 MP15、MP16、MN12 和 MN13 具有相对较小的上下拉能力, 这也就是在保

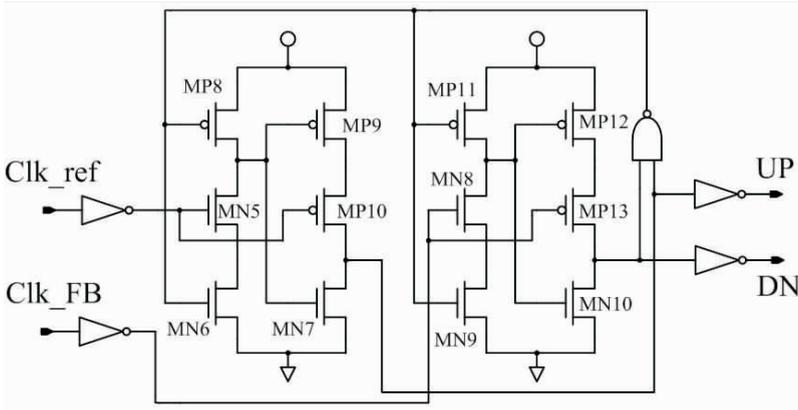


图5 鉴相器 PD 电路结构

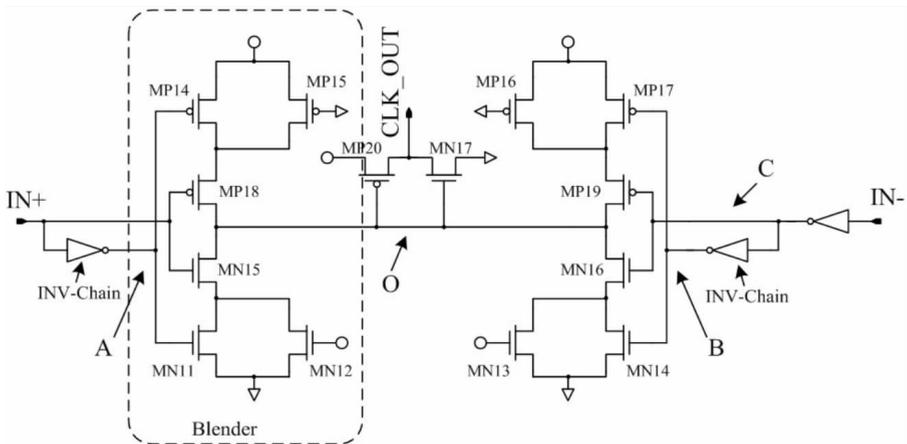


图7 占空比平衡电路

证 MP14、MP17、MN11 和 MN14 管作为上下拉主要器件的同时,提供一个额外的电流通路。利用对称的两个混合器(Blender)的输出阻抗的变化,缩小 IN+和 IN-信号的相位偏差。图 8 给出了占空比调节电路的版图 Hspice 仿真效果。对于 40%~60%占空比输入的 1.25GHz 时钟信号,图 7 所示电路的输出占空比可以稳定在 51.8%。

5 电路版图与测试结果

为了验证前文提出的占空比平衡电路的效果,本文基于 $0.13\mu\text{m}$ CMOS 工艺设计实现了一种 1.25GHz 具有占空比平衡能力的锁相环 PLL 测试芯片,输入 125MHz 的参考时钟,10 倍频后输出 1.25GHz 的高频振荡。

一般来说,由于普通 IO 电路的低通特性,1.25GHz 的高频振荡信号无法直接从片内驱动到片外,为此需要用专门的 IO 缓冲器将信号送达板级电路。图 9 是该测试芯片的管芯显微照片,白色虚线框中为该 PLL 电路,核心电路面积为 $220 \times 120\mu\text{m}^2$ 。测试芯片中包含了一个伪差分驱动器

(Pesudo Low Voltage Differential Signal, 简称 P-LVDS),用于将 PLL 产生的 1.25GHz 时钟信号以差分的方式送达片外。

图 10 是该 PLL 芯片的测试输出波形,在 P-LVDS 接口的作用下,1.25GHz 的高频振荡信号被完整地送达片外,输出信号的占空比在 49.86%~52.89%之间,均值为 51.21%,达到了设计要求。

6 结束语

占空比平衡的锁相环 PLL 是半速率高速串行接口中的重要电路,本文基于 $0.13\mu\text{m}$ CMOS 工艺实现了一种 1.25GHz 的高频 PLL,并且利用简化的互补相位调节器实现了平衡占空比的时钟输出,能够精确地平衡 VCO 输出时钟信号的占空比。芯片测试结果表明,输出时钟的占空比被稳定在 49.86%~52.89%之间,均值为 51.21%,能够满足半速率高速串行接口的应用需求。

参考文献:

- [1] Maneatis J G, Horowitz M A. Precise Delay Generation U-

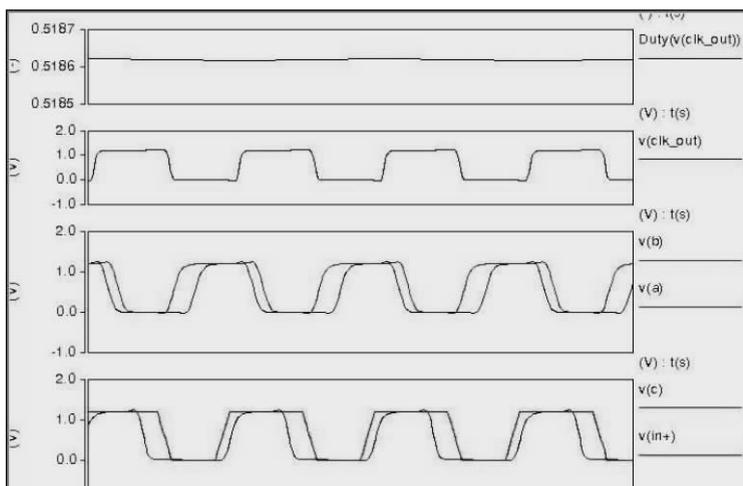


图 8 占空比平衡电路的仿真效果

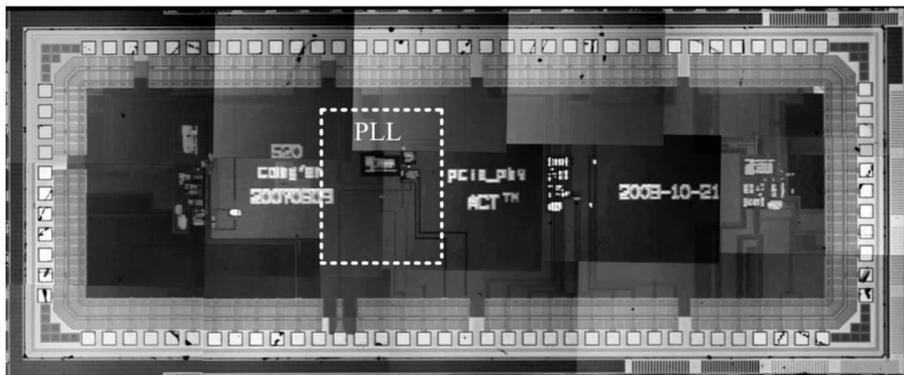


图 9 PLL 电路的版图照片

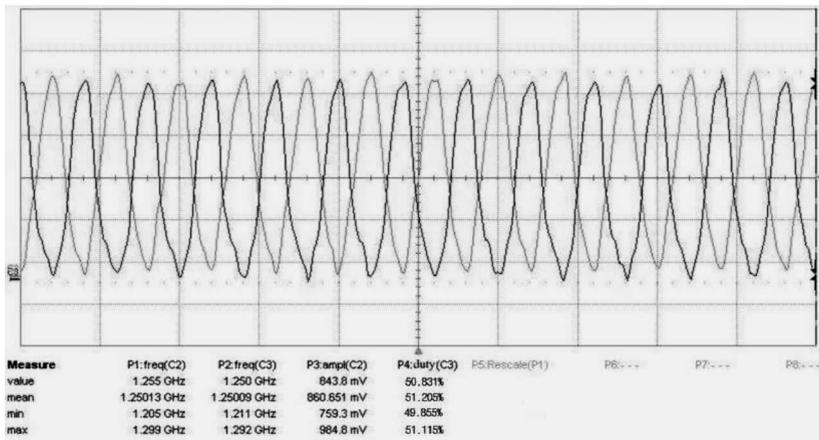


图 10 测试芯片输出的 1.25GHz 时钟

sing Coupled Oscillators[J]. IEEE Journal of Solid-State Circuits, 1993, 28(12):1273-1282.

- [2] Razavi B. Design of Analog CMOS Integrated Circuits[M]. Columbus, Ohio: The McGraw-Hill Companies, 2002.
- [3] Huang Hong-Yi, Liang Chia-Ming, Chiu Wei-Ming. 1-99% Input Duty 50% Output Duty Cycle Corrector[C]// Proc of the 2006 IEEE International Symposium on Circuits and Systems, 2006:4175-4178.



马卓(1981-),男,湖北鄂州人,博士生,讲师,研究方向为高速模拟集成电路技术。**E-mail:**ouhizam@nudt.edu.cn

MA Zhuo, born in 1981, PhD candidate, lecturer, his research interests include high-speed interface circuit.



郭阳(1971-),男,浙江东阳人,博士,研究员,研究方向为高性能集成电路技术。

E-mail:guoyang@nudt.edu.cn

GUO Yang, born in 1971, PhD, research fellow, his research interests include high-performance integrated circuit technology.



谢伦国(1947-),男,湖北隆回人,研究员,博士生导师,研究方向为高性能计算机和微处理器体系结构。**E-mail:**xielunguo@nudt.edu.cn

XIE Lun-guo, born in 1947, research fellow, PhD supervisor, his research interests include high-performance computer, and micro-processor architecture.