

文章编号: 1000-6893(2001) 03-0212-05

高速矢量处理机的设计与实现

王 俊, 毛士艺, 刘祥林

(北京航空航天大学 电子工程系, 北京 100083)

DESIGN AND ACCOMPLISHMENT IN A HIGH SPEED VECTOR PROCESSOR

WANG Jun, MAO Shi-yi, LIU Xiang-lin

(Department of Electronic Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100083, China)

摘 要: 为了满足海量实时处理需求, 利用 Butterfly DSP 公司的 BDSP9124/9320 矢量数字信号处理(Digital Signal Processing, DSP) 芯片组, 设计和实现了一种高速矢量处理机, 并给出了该矢量处理机的设计思想和性能指标。最后说明该处理机在合成孔径雷达(Synthetic Aperture Radar, SAR) 脉冲压缩和其它领域的应用。

关键词: 实时; 矢量处理; DSP; FFT; SAR

中图分类号: V 243 文献标识码: A

Abstract: This paper studied and accomplished a high speed vector processor. The main component of the processor is a special Digital Signal Processing (DSP) chip set BDSP9124/9320, which is produced by Butterfly DSP Inc. The processor could be applied to Synthetic Aperture Radar (SAR) and other fields which require real-time calculating FFT, correlation, convolution, and other vector processing.

Key words: real-time; vector processing; DSP; FFT; SAR

在预测模型的构造和模拟、工程设计和自动化、能源探测、医学、军事和基础研究等涉及到大量科学信号处理领域, 人们总是希望在尽可能短的时期内得到尽可能精确的结果, 这就要求信号处理系统具有非常强大的处理功能, 例如合成孔径雷达进行处理时: 内存需要 20GB、运算能力要求 10GFLOPS^[1,2]。为了满足这种需求, 人们不断开发高性能信号处理系统——实时并行信号处理系统, 这就推动了信号处理科学的发展。

信号处理中往往涉及对大量同类型数据进行相同操作的运算(如 FFT、相关、卷积等宽带信号检测和分析等信号处理中最常见处理内容), 为了提高这类运算的处理速度和效率, 提出了矢量处理的概念。本文介绍了一种高速矢量处理芯片组(BDSP9124/9320)的性能特点, 并利用该芯片组设计实现了一种可扩展的高速矢量处理机, 最后给出了该处理机的应用举例。

1 矢量处理机设计

矢量信号处理要求每次操作完成一组同类型数据的运算。在处理结构上可采用单指令多数据

流(SIMD)或流水线结构。采用 SIMD 结构时各个数据同时进入不同的处理单元, 在各自单元内同时完成运算处理。而流水线结构, 各数据依次进入同一处理单元, 顺次完成运算处理。其中 SIMD 结构需要大量硬件资源, 所以一般多采用流水线结构。

1.1 数字信号处理芯片选择

矢量 DSP 每个时钟周期输出一个计算结果, 因此其处理速度和效率远大于标量 DSP。

BDSP9124 为流水线结构的块浮点矢量处理芯片, 其峰值处理能力可达 680MIPS^[3]; TM66 为流水线结构的浮点矢量处理芯片, 其处理能力和 BDSP9124 相当; DSP24 和 BDSP9124 结构基本相同, 处理能力和时钟频率比 BDSP9124 高得多; 其他 2 种矢量 DSP 为实验室研究的芯片。TMS320C6X 为超长指令结构的标量处理芯片, 内部有 8 个并行处理单元, 1 个主机接口和外部存储器接口, 是标量处理器中性能最强的一种^[4]; ADSP2106X 属于超级哈佛结构, 内部有 3 个并行处理单元, 6 个 LINK 和 1 个外部接口, 适合组成多处理机结构^[5]。

以完成 1024 点复数 FFT 为例, 比较各芯片

完成矢量运算时的性能指标(见表 1)。可见在时钟周期相同的情况下, 矢量 DSP 的处理能力远大于标量 DSP。但标量 DSP 可完成的运算种类较多, 编程也比较方便; 矢量 DSP 只能完成矢量运算, 一般为微码控制。

表 1 各芯片完成 1024 点复数 FFT 所需时间及数据格式

Table 1 Performance and data formation of each chip completing 1024 points FFT

类型	芯片名	数据格式	主频 / MHz	时间 / μ s
矢量	Cobra*	23 bits -	40	9.5
	DSP-24*	24bits 块浮点	100	21
	Spiffec 1*	20bits 定点	173	30
	TM-66	32bits 浮点	40	80
	BDSP9124/9320	24bits 块浮点	40	80
标量	TMS320C67	浮点	167	125
	TMS320C6201	定点	200	74
	TMS320C40	浮点	60	1298
	ADSP21060	浮点	40	460
	DSP32C	32bits 浮点	80	2110

注: * 为目前尚不能得到的 DSP。

虽然标量处理芯片功能丰富, 且 TMS320C6X 系列也具有较快的处理速度, 但其数据吞吐率不如矢量处理芯片, 同时考虑到其他因素, 选用 BDSP9124/9320。

1.2 矢量处理机结构

BDSP9124 是 Butterfly DSP 公司开发的一种面向算法和阵列处理的高性能块浮点矢量数字信号处理芯片。内部流水线结构提高了处理能力(时钟为 40MHz 时, 峰值处理能力 680MIPS); 4 个 48bits 双向数据接口, 提高了数据吞吐率(时钟为 40MHz 时, 数据吞吐率可达 5.76Gbits/s); 26 个紧簇型、宏级函数码, 既可以满足大部分数字信号处理的要求, 又简化了设计和编程; 块浮点机制保证 BDSP9124 在进行 DSP 运算时不至于溢出, 提高了动态范围和信噪比; 功能强大的地址发生器 BDSP9320 可以产生 BDSP9124 需要的 150 多种地址方式, 其最大寻址能力为 $1M \times 48bits$ 。

信号处理中, 处理数据往往需要多次经过处理单元, 才能完成相应处理。为此可以采用单片递归结构, 使处理数据能够多次经过该片 BDSP9124; 也可采用多片级联结构, 数据依次经过各片 BDSP9124。各种结构的硬件资源和性能指标不尽相同。级联结构要求较多的硬件资源, 同时也具有较高的处理能力; 单片结构具有较少的

硬件资源, 相应处理能力较低, 但经过多机扩展, 也可以达到更高的处理能力。如: Valley Technologies 公司 UltraDSP 处理板为 6U VME 总线的单片递归结构。Catalina Research 公司的 CR-CFV1M40 为 265mm \times 390mm Futurebus 总线并具有 VME 总线接口的 4 片级联结构, GEMINI 为 6U VME 总线的 2 片并联结构。

提出并最终实现的处理机采用 C 尺寸 VXI 电路板, 结构如图 1 所示, 属于多存储器单片递归结构。这种结构具有: (1) 单片递归结构中处理能力最强的一种处理结构; (2) 便于多机扩展; (3) 2 个高速数据 I/O 口可在不中断数据处理的情况下卸加载数据, 也可经主机接口进行数据交换, 增加了系统的数据吞吐率(其峰值传输能力 1.92Gbits/s), 可以满足海量数据计算和传输的要求; (4) 可以完成 1M 点以内的数据处理, 256K \times 16bits 的程序存储器可以存储多种算法和应用代码; (5) 接口部分由 FPGA 控制可以方便地完成数据传输; (6) 386EX 作为中心控制器可以方便地控制处理机的各部分, 增加了处理机的灵活性和数据处理能力。

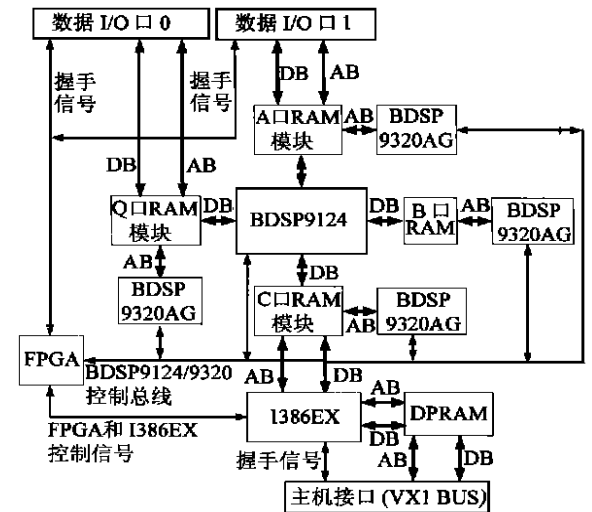


图 1 矢量处理机构

Fig. 1 The vector processor architecture

1386EX 是矢量处理机的控制中心。它通过 FPGA 编译码, 控制矢量处理机上的一切操作, 包括 BDSP9124/9320 运行、数据交换、握手信号、与主机通信等等。1386EX 通过 DPRAM 接收主机指令, 进行相应操作, 还可以通过 RS232 和 RS422 接口与主机进行通信。

BDSP9124/9320 是本处理机的核心, 其控制指令具有猝发式特征, 在每组数据运算前, 由 1386EX 发送指令和起始信号并检测处理结束信

号,以便进行下一次操作。主机发送来的指令首先存放在 I386EX 的 RAM 里,由 I386EX 对指令进行译码,并控制 BDSP9124/9320 完成相应操作。这样可在数据处理过程中由主机加载下一条指令,而无需中断数据处理。待处理的原始数据由高速数据接口加载输入,在 I386EX 管理下,数据在 A、Q、B 或 C 存储器之间递归传输,并进行相应的函数运算,处理结果送回 Q 或 A 存储器模块,经高速数据口卸加载。对于不需要高速传输的数据,也可以经主机接口进行卸加载。

本处理机除了可以在 VXI 机箱内与中心控制机联合使用外,也可以单独使用。在提供 5V/10A 直流电源的情况下,可由 PC 机下加载数据和指令进行运算,并将处理结果送回 PC 机进行后处理和显示。从而扩展了应用范围。

2 多处理机扩展

本矢量处理机还可以方便地完成多机扩展以提高处理性能。扩展方式有并行和级联两种。

(1) 并行扩展方式 如图 2 所示,将高速数据接口和主机接口分别并连起来组成 MIMD 的多计算机结构。这种扩展方式每个处理机完成数据处理的所有运算。假设单处理机处理完一组数据需要 Δt 时间,则每隔 $\Delta t/N$ (N 为处理机个数) 时间输入一组数据。第 1 组数据输入 1# 处理机,第 2 组数据输入 2# 处理机,……第 N 组数据输入 N # 处理机。输入数据经 Δt 时间延迟后,每隔 $\Delta t/N$ 时间输出一组数据。虽然每组数据仍有 Δt 的处理时延,但处理能力提高了,是单处理机的 N 倍。

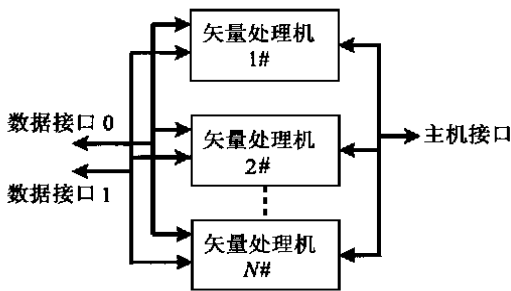


图 2 并行多处理机结构

Fig. 2 Parallel multi-processor architecture

(2) 级联扩展方式 如图 3 所示,将每个处理机的高速数据口分为输入和输出口,处理机的输入口和上个处理机的输出口相连,输出口和下一个处理机的输入口相连。但下列 2 个接口除外,第 1 个处理机的输入口为扩展后系统的数据输入口,最后 1 个处理机的输出口为扩展后系统的数

据输出口,并将主机接口并接起来组成流水线结构的多处理机。

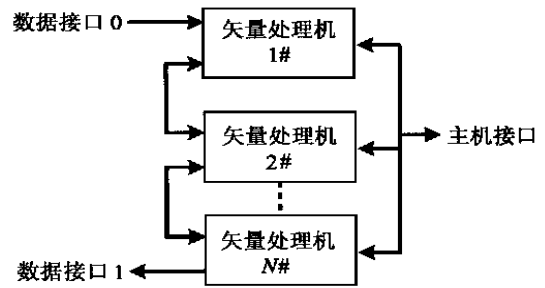


图 3 级联多处理机结构

Fig. 3 Cascaded multi-processor architecture

级联扩展后,数据经系统输入口依次通过所有处理机,每个处理机完成不同运算,最终数据由系统输出口输出。这种扩展方式要求每个处理机的处理负担大致相当,否则就会引起流水线堵塞。2 种扩展方式的处理延迟和处理能力相同。但整个系统的高速数据接口形式不同,并联方式有两个高速数据 I/O 口,而级联方式只有一个高速数据输入口和一个高速数据输出口。考虑到处理要求,采用并联方式以满足系统多 I/O 口的要求。

3 处理机性能

3.1 处理精度

本矢量处理机具有强大的矢量处理能力,可以执行 BDSP9124/9320 的所有指令,从而完成一维及多维 FFT/IFFT、复乘、FIR、快速 COS 变换、快速卷积、功率谱运算和一些常见的矢量运算等。以二维 FFT 为例说明处理机的工作过程。计算二维 FFT 的方法有直接运算、行列分解和矢量 FFT 等^[6,7]。考虑到处理机的特性和功能,利用行列分解法完成二维 FFT。在处理更高维数的 FFT 时,也可用类似的方法。

首先将算法分解成 BDSP9124 可以执行的指令;由 I386EX 控制 BDSP9124/9320 完成一系列操作。32×32 点二维 FFT 的控制代码如表 2 所示。首先由 RAX2, RAX16 代码完成列向的 FFT,然后利用相同的代码完成行向的 FFT。

下面给出处理机的运算结果,输入是一个实部相同的 9×9 二维矩形窗时域信号(如图 4 所示)。经处理后输出的频域信号如图 5 所示,其中第一旁瓣峰值比为-12.935 dB,和 Matlab 双精度运算结果相同。

表 2 完成 32×32 点二维复数 FFT 时的控制代码

Table 2 The control code during the processing of 32* 32 points 2D FFT

对应功能		列向 FFT		行向 FFT	
		1	2	3	4
BDSP9124	代码	BFLY2	BFLY16	BFLY2	BFLY16
输入	RAM	A	B	A	B
RAM	代码	RBF0	MXB2160	BF25	MXB4161
输出	RAM	B	A	B	A
RAM	代码	BF20	MXB2160	BF25	MXB4161
参数	RAM	C	C	C	C
RAM	代码	TF20	MXT2160	TF20	MXT2160

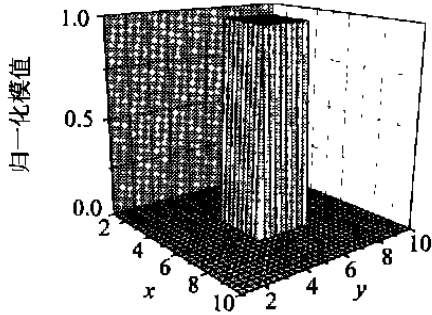


图 4 时域信号(模值)

Fig. 4 Time domain signal (absolute value)

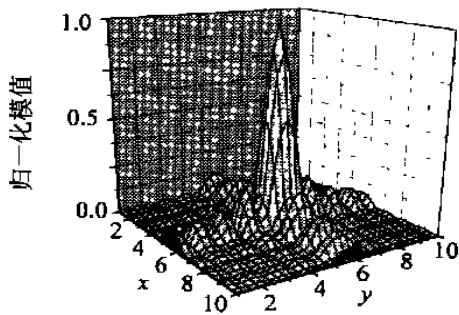


图 5 频域信号(模值)

Fig. 5 Frequency domain signal (absolute value)

3. 2 处理速度

为了能够达到处理机的设计能力采取了下列措施: (1) 系统结构上充分利用 BDSP9124/ 9320 的资源, 从而保证处理机的整机性能; (2) 由于处理机的各器件均为高速器件, 在 PCB 布局布线时采取一些措施, 尽量减少线间干扰, 增强电路板的电磁兼容性; (3) 调整读写、时钟等重要信号的波形, 保证正常的时序; (4) 在编程时减少冗余操作。通过以上措施, 最终提高处理机的性能指标。

表 3 是处理机完成一维 FFT、二维 FFT 和快速卷积等处理的时间。其中: 理论性能是按照 BDSP9124 的工作流程和延迟计算的工作时

间。实测性能指标是用逻辑分析仪对矢量处理机实际运算的测量结果。由于 SRAM 和 BDSP9124 之间通信延迟的限制, 采用 36. 864MHz 的系统时钟。

表 3 处理机性能指标

Table 3 Performance of the vector processor

功能	序列长度(点)	理论性能 (36. 864MHz)	实测性能 (36. 864MHz)
一维 FFT	64	5. 8 μs	5. 8 μs
	512	45. 8 μs	45. 8 μs
	1K	87. 5 μs	87. 3 μs
	64K	7. 12 ms	7. 10 ms
	512K	85. 34 ms	85. 17 ms
	1M	142. 2 ms	141. 9 ms
二维 FFT	32 × 32	115. 8 μs	115. 5 μs
	64 × 64	449. 1 μs	448. 2 μs
	128 × 128	2. 67 ms	2. 67 ms
	256 × 256	7. 12 ms	7. 10 ms
	512 × 512	42. 68 ms	42. 59 ms
	1024 × 1024	170. 7 ms	170. 3 ms
快速 卷积	64	11. 66 μs	11. 64 μs
	512	91. 74 μs	91. 56 μs
	1K	175. 1 μs	174. 7 μs
	64K	16. 02 ms	15. 98 ms
	512K	170. 7 ms	170. 3 ms
	1M	312. 9 ms	312. 3 ms

实测性能指标与理论性能基本相同(数据不一致者可能是测量误差造成的), 基本达到了预想的设计要求和性能指标。与表 1 对照可知, 该处理机是一种高性能的处理机。

4 在 SAR 和脉冲压缩中的应用

合成孔径雷达是一种高分辨率成像雷达, 其作用过程可以看作一个具有脉冲压缩作用的二维滤波器。常见的成像算法有波数域算法、Range Doppler (RD) 算法、Chirp Scaling (CS) 算法等。其中涉及大量 FFT/IFFT 等适合矢量处理机完成的运算^[8]。

以 CS 算法为例说明该矢量处理机完成脉冲压缩的过程。例如载机飞行速度为 125m/s, 距离向和方位向分辨率均为 3m, 一帧数据为方位向 512 点、距离向 2048 点, 数据积累时间为 7. 4s, 处理机只有在这段时间内完成处理才能达到实时处理要求。

算法流程如图 6 所示, 首先完成 2048 个长度为 512 点的方位向 FFT; 第 2 步完成 512 个长度为 2048 点的距离向 FFT 和加窗运算; 第 3 步完成 2048 个长度为 512 点的方位向 IFFT 和加窗运算; 第 4 步完成 512 个长度为 2048 点的距离向 IFFT 运算和加窗运算。处理机完成以上操作需

要 0.398s, 加上 3 个校正参数和其它数据的传输时间 0.128s, 共需 0.526s。这远远小于 7.4s, 满足 3m 分辨率合成孔径雷达实时成像要求。在改变成像参数的情况下, 该处理机可以满足 $0.2\text{m} \times 0.2\text{m}$ 分辨率实时成像的要求。而最适合并行处理的 ADSP21060 处理器在完成相同分辨率时, 需要 6~7 个处理器并行处理。由此可见该矢量处理机的强大功能。

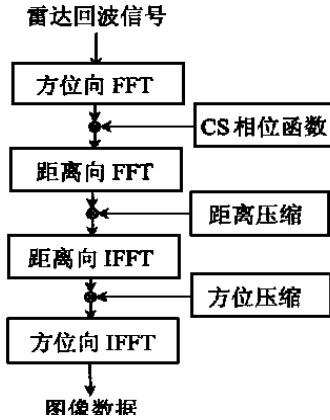


图 6 CS 算法

Fig. 6 The CS processing algorithm diagram

参 考 文 献

- [1] 陈国良. 并行计算——结构、算法、编程[M]. 北京: 高等教育出版社, 1999. 1~9.
- [2] Einstein T. Realtime SAR processing on the RACE multi-computer[Z]. USA: Mercury Computer Systems Inc, 1995. 49~50.
- [3] BDS P9124/BDSP932 User's Guide[Z]. USA: Butterfly

DSP Electronics Corporation, 1997. 11~15.

- [4] TM S320C6X Databook[Z]. USA: Texas Instruments, 1998. 14~16.
- [5] ADSP21060 User's Manual[Z]. USA: Analog Device Inc, 1998. 11~13.
- [6] 达吉恩 D E, 默塞里奥 R M. 多维数字信号处理[M]. 北京: 科学出版社, 1991. 58~68.
- [7] 胡广书. 数字信号处理理论、算法与实现[M]. 北京: 清华大学出版社, 1997. 133~142.
- [8] 张澄波. 合成孔径雷达原理、系统分析与应用[M]. 北京: 科学出版社, 1989.

作者简介:



王俊 (1972~), 陕西省渭南市人, 北京航空航天大学电子工程系, 博士生, 1995 年获西北工业大学电子工程系学士学位, 1998 年获北京航空航天大学电子工程系硕士学位, 同年开始攻读博士学位, 主要从事实时信号处理方面的研究. 联系电话: 010-82317203.



毛士艺 (1935~), 北京航空航天大学电子工程系教授, 博士生导师, 中国电子学会信号处理专业副主任委员, 中国电子学会会士, 主要研究领域为: 高分辨率雷达成像、信号建模与谱分析、信号检测与分类、多目标跟踪、数据融合和实时处理等。



刘祥林 (1943~), 中国航空工业第二集团公司机载设备部研究员、美国德克萨斯大学访问学者、总装备部科技委兼职委员、中国航空学会常务理事、北京航空航天大学、西北工业大学兼职教授, 主要研究领域为: 机载合成孔径雷达、导弹末制导、航空电子综合、信号与信息处理等。

第 23 届国际航空科学大会开始征文

由国际航空科学理事会(ICAS)主办的第 23 届国际航空科学大会(ICAS2002) 将于 2002 年 9 月 8 日至 13 日在加拿大多伦多市举行, 由加拿大航空宇航学会承办。会议注册费预计约 550 美元。

ICAS 秘书处最近已发出征文通知, 要求投稿者于 2001 年 6 月 15 日前提交不超过 2 页(含图表)的英文摘要。摘要应注明申请口头宣读或墙报展示。学生投稿必须由本人撰写和宣读。ICAS 程序委员会将参考各国家学会的推荐意见作出最终选择, 于 2001 年 10 月发出录用通知。

征文范围详细信息请查询 ICAS 网站(www.icas.org) 和中国航空学会网站(www.csa.org.cn)。

(俞敏)