

## 基于新型极性转换技术的 XNOR/OR 电路面积优化

张会红 汪鹏君\* 俞海珍  
(宁波大学电路与系统研究所 宁波 315211)

**摘要:** 极性转换是 Reed-Muller(RM)逻辑电路优化的基本环节, 该操作的具体数量随电路规模增长而增加, 其速度直接影响整体优化算法的效率。针对 RM 电路的 XNOR/OR 实现形式, 推导电路面积优化的数学模型; 结合当前极性转换算法的优势, 提出一种新型极性转换技术; 根据新型极性转换的特点, 构建适用于较大规模 XNOR/OR 电路的面积优化算法。实验结果表明, 与已有极性转换方法相比, 所提新型极性转换技术能明显改善 XNOR/OR 电路面积优化的效率。

**关键词:** XNOR/OR 电路; 极性转换; 面积优化

中图分类号: TN79+1; TP391.72

文献标识码: A

文章编号: 1009-5896(2012)07-1767-06

DOI: 10.3724/SP.J.1146.2011.01298

## Area Optimization of XNOR/OR Circuits Based on Novel Polarity Conversion Technique

Zhang Hui-hong Wang Peng-jun Yu Hai-zhen  
(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

**Abstract:** As a kind of basic operation, polarity conversion is largely involved in the polarity optimization of Reed-Muller (RM) logic circuits, especially for large-scale circuits. The rate of polarity conversion has a direct impact on efficiency of the polarity optimization. A mathematical model is established for area optimization of XNOR/OR circuits, which is a kind of basic realization of RM logic circuits. A novel polarity conversion technique is proposed by combining the superiorities of the existing ones. Based on the features of the novel conversion technique, an area optimization is proposed for large-scale XNOR/OR circuits. Experimental results show that compared to other conversion algorithms, the proposed polarity conversion technique can significantly improve the area optimization of XNOR/OR circuits.

**Key words:** XNOR/OR circuits; Polarity conversion; Area optimization

### 1 引言

任意逻辑函数均有基于 AND/OR/NOT 的 Boolean 逻辑和基于 XNOR/OR 或 XOR/AND 的 Reed-Muller(RM)逻辑两种表达方式<sup>[1,2]</sup>。优化的 RM 电路通常具有比对应的 Boolean 电路更紧凑的结构、更小的功耗以及更好的可测试性。RM 逻辑电路的综合优化正在引起越来越多研究者的兴趣<sup>[3,4]</sup>。

极性优化是 RM 电路优化的重要途径之一。就固定极性 RM(FPRM)逻辑而言,  $n$  变量的 FPRM 逻辑函数具有  $2^n$  个固定极性, 对应  $2^n$  个繁简不同的 FPRM 展开式。FPRM 电路极性优化即在极性空间搜索一个最佳极性, 使其目标函数值最优。要检

测某一极性的优劣, 需要借助极性转换技术由已知的 Boolean 展开式或另一极性下的 FPRM 展开式得到待评估极性对应的展开式, 再用设定的目标函数对其评估。

小规模电路一般采用穷尽搜索策略<sup>[5-7]</sup>, 通过对电路全部极性的评估和比较获得最佳极性; 较大规模电路的极性优化往往采用智能优化算法<sup>[8,9]</sup>, 以便在有效时间内获得问题的优化解。随着电路规模的增长, 极性优化包含的极性转换次数以及单次极性转换和评估所需要的时间都急剧增长, 极性转换的快慢直接影响优化算法的效率。

本文针对 RM 电路的 XNOR/OR 实现形式, 根据电路面积优化的基本概念建立固定极性 XNOR/OR 电路面积优化的数学模型; 综合当前极性转换技术的优势, 提出一种新型极性转换技术以获得更高电路极性转换效率; 针对较大规模 XNOR/OR 电路, 应用新型极性转换技术构建电路面积优化算法。

2011-12-09 收到, 2012-03-22 改回

国家自然科学基金(61076032), 浙江省重点科技创新团队项目(2011R09021-04)和浙江省自然科学基金(Y1101078)资助课题

\*通信作者: 汪鹏君 wangpengjun@nbu.edu.cn

最后通过实验验证本文所提转换技术和面积优化算法的有效性和效率。

## 2 XNOR/OR 电路面积优化的数学模型

任意逻辑函数极性  $i$  对应的 XNOR/OR 展开式可表示如下:

$$f_i(x_1, x_2, \dots, x_n) = \odot \prod_{j=0}^{2^n-1} (d_j + s_j) \quad (1)$$

其中, 下标  $j$  的二进制形式可表示为  $j_1 j_2 \dots j_n$ ;  $\odot \Pi$  表示同或操作;  $s_j$  是 OR 项, 可表示为

$$S_j = (\dot{x}_1 + \dot{x}_2 + \dots + \dot{x}_n), \quad \dot{x}_k = \begin{cases} \dot{x}_k, & j_k = 0 \\ 0, & j_k = 1 \end{cases} \quad (2)$$

$k \in \{0, 1, \dots, n-1\}$ ;  $d_j \in \{0, 1\}$ ,  $d_j = 0$  表示  $s_j$  项在表达式中出现,  $d_j = 1$  表示该项不在表达式中出现。 $\dot{x}_k$  为变量  $x_k$  的具体取值, 定义如下:

$$\dot{x}_k = x_k \oplus \delta_k = \begin{cases} x_k, & \delta_k = 0, \text{称 } x_k \text{ 取正极性} \\ \bar{x}_k, & \delta_k = 1, \text{称 } x_k \text{ 取负极性} \end{cases} \quad (3)$$

函数所有变量组成函数的输入向量, 各变量的一组具体取值称为该函数的一个极性向量, 简称极性。可以二进制串形式表示某函数的极性  $i: i = i_{n-1} i_{n-2} \dots i_0$ ,  $i_k$  为 0 对应变量的取正极性, 反之取负极性。在函数的固定极性 XNOR/OR 展开式中, 每个变量只能以正极性或负极性之一出现, 同一变量的两种极性取值不能在一个表达式中同时出现。这样, 一个  $n$  变量的函数有  $2^n$  个固定极性, 每个极性对应一个固定极性 XNOR/OR 表达式。

由式(1)可知, XNOR/OR 电路由多输入 XNOR 门和多输入 OR 构成, 电路面积可由两种逻辑门的数量表示。由于多输入门的输入输出关系繁简不一, 故在面积估算之前先将多输入逻辑门分解为二输入门, 再以两种二输入门数量之和表示电路的面积。

设式(2)中的多输入 OR 门  $s_j$  可分解为  $m_j$  个二输入 OR 门, 则

$$m_j = \sum_{k=1}^n \bar{j}_k - 1 \quad (4)$$

式(1)分解后二输入 OR 门和二输入 XNOR 门的数目可分别按式(5)和式(6)计算:

$$\text{num\_or} = \sum_{j=0}^{2^n-1} \left[ \bar{d}_j \cdot \left( \sum_{k=1}^n \bar{j}_k - 1 \right) \right] \quad (5)$$

$$\text{num\_xnor} = \sum_{j=0}^{2^n-1} \bar{d}_j - 1 \quad (6)$$

式(1)所示 XNOR/OR 电路的面积  $J_i$  可表示如下:

$$J_i = \text{num\_or} + \text{num\_xnor} = \sum_{j=0}^{2^n-1} \bar{d}_j \cdot \sum_{k=1}^n \bar{j}_k - 1 \quad (7)$$

XNOR/OR 电路面积优化问题可重新表述为: 在极性空间搜索极性  $i$  使  $J_i$  的值最小。 $n$  输入的 XNOR/OR 电路面积优化问题可用如下的数学模型表示:

$$\min_i J_i \quad (8a)$$

$$\text{s.t. } g(i) \leq \lambda \quad (8b)$$

$$i = 0, 1, 2, \dots, 2^n - 1 \quad (8c)$$

式(8a)为优化目标; 式(8b)表示电路设计的约束条件, 如电路的延时约束, 可以映射后二输入门构成的二叉树高度小于整数  $\lambda$  表示; 式(8c)表明问题的优化空间。

## 3 固定极性 XNOR/OR 电路面积优化算法

固定极性 XNOR/OR 电路极性优化是典型的“组合爆炸”问题。小规模电路极性优化可采用穷举策略实现; 当电路输入节点数量  $n > 14$  时, 采用穷举搜索策略将难以在较短时间内获得问题的满意解。本节首先在现有极性转换方法基础上给出一种效率更高的极性转换方法; 然后结合该极性转换技术的特点, 采用遗传算法构建适用于较大规模 XNOR/OR 电路的面积优化算法。

### 3.1 新型 XNOR/OR 电路极性转换技术

当前优秀的极性转换算法包括系数表映射法、系数矩阵法、列表法等。列表转换方法<sup>[10]</sup>来源于图形转换法(或称图折叠法), 因其具有较高的极性转换效率且便于计算机实现, 故较为常见。基于列表技术的极性转换算法有两类: (1) Boolean 逻辑和固定极性 XNOR/OR 展开式间的极性转换算法; (2) 不同极性下固定极性 XNOR/OR 展开式间的极性转换算法。

**3.1.1 极性转换** 基于图折叠方法, 通过对所有变量的依次处理, 可以得到从 Boolean 逻辑展开式到 XNOR/OR 逻辑展开式的基本列表极性转换算法<sup>[11]</sup>, 记为算法 1。该算法得到的实质上是 0 极性下的 XNOR/OR 展开式。文献[5]将该算法扩展为由 Boolean 展开式到任意极性下的 XNOR/OR 展开式的转换算法, 记为算法 2。以上两种算法通过对所涉及 OR 项的所有变量位依次处理完成极性转换, 效率相对较低。鉴于此, 文献[6]提出了不同极性间的 XNOR/OR 极性转换算法(算法 3), 仅需处理所涉及两个极性间相异二进制位对应的变量, 有效节省了极性转换的时间。

以上 3 种极性转换算法都采用串行数据处理方法, 每次循环只能对一位变量进行操作。随着电路变量数量的增多, 极性转换时间急剧增加。文献[6]

通过将并行数据处理方法引入算法 2, 提出 Boolean 展开式和 XNOR/OR 展开式间的快速列表极性转换算法(算法 4), 极大地提高了两种逻辑展开式间的极性转换效率。

**3.1.2 新型极性转换技术** 受算法 4 启发, 本文将数据并行处理技术与算法 3 相结合, 提出新型极性转换算法(算法 5), 用于根据某极性 XNOR/OR 展开式求取另一极性对应的展开式。算法步骤如下:

步骤 1 通过按(二进制)位异或操作得到两极性相异的变量位;

步骤 2 从已知 XNOR/OR 展开式的第 1 个 OR 项开始, 判定其在两极性相异变量位上取 0 值的位置以及数目(记为  $nz$ ), 以这些位为基本位产生  $2^{nz} - 1$  个新 OR 项;

步骤 3 按照步骤 2 处理展开式的所有 OR 项;

步骤 4 统计当前所有 OR 项出现次数(包括原有和新产生 OR 项), 奇数次 OR 项组成待求展开式。

式(9)为三变量函数  $f$  极性 1 下的 XNOR/OR 展开式。根据所提算法, 该函数极性 5 对应 XNOR/OR 展开式的求取如表 1 所示。

$$f = \odot \prod(0, 3, 6, 7) = \prod(x_1 + x_2 + \bar{x}_3) \odot x_1 \odot \bar{x}_3 \odot 0 \quad (9)$$

表1 不同极性XNOR/OR展开式间的并行列表极性转换算法

最大项( $x_1$ $x_2$ $x_3$ )	相异的变量位	新项
0 0 0	$x_1$	1 0 0
0 1 1		1 1 1
1 1 0		
1 1 1		

根据表 1, 各 OR 项出现次数统计如表 2 所示。

由表 2 可得函数  $f$  极性 5 下的 XNOR/OR 展开式, 如式(10)所示。

$$f = \odot \prod(0, 3, 4, 6) = (\bar{x}_1 + x_2 + \bar{x}_3) \odot \bar{x}_1 \odot (x_2 + \bar{x}_3) \odot \bar{x}_3 \quad (10)$$

**3.2 面积优化算法**

基于“优胜劣汰”思想的遗传算法是最具代表性的一类智能寻优方法<sup>[12]</sup>, 是当前求解较大规模组合优化问题的常用方法。应用所提极性转换技术, 以遗传算法为极性搜索策略, 提出一种高效率的较大规模 XNOR/OR 电路面积优化算法。

**3.2.1 染色体编码和适应度函数** XNOR/OR 电路面积优化以搜索最佳极性为目标, 结合固定极性 XNOR/OR 电路极性的定义, 以极性的二进制形式为染色体的编码方式。

遗传算法中个体适应度值越大, 则该个体越好。结合本文所建最优化数学模型, 定义适应度函数为:  $f_i = \alpha / J_i$ 。其中  $J_i$  的计算如式(7),  $\alpha$  为一个常数。

**3.2.2 极性遍历** 上文算法 3 和算法 5 都属于不同极性间的极性转换技术, 其共同特点是: 极性搜索中相邻极性间的相异二进制位越少, 极性转换速度越快。小规模电路一般按照格雷码顺序遍历所有极性, 以提高最佳极性搜索效率; 较大规模电路往往在优化时间和优化精度间进行折中, 采用具有并行搜索特征的智能算法在有效时间内搜索电路的最佳极性或近最佳极性。智能算法进化过程中每一代要评估几十甚至几百个极性, 该极性集合的随机性使格雷码顺序不再适用。

为了提高较大规模 XNOR/OR 电路的极性优化效率, 本文采用文献[13]所提最少操作极性遍历顺序生成算法, 在极性评估前生成当前待评估极性集合的最佳遍历顺序, 再按该顺序评估当前极性集合。设并行进化算法的种群规模为  $m$ , 最少操作极性遍历算法的实现步骤如下:

步骤 1 生成待评估个体间的距离(以极性二进制形式间的相异位数表示)矩阵  $A_{m \times m}$ ;

步骤 2 根据矩阵  $A_{m \times m}$ , 生成极性间的距离排序矩阵  $B_{m \times m}$ ;

步骤 3 按“每步增加距离最短”的原则, 根据矩阵  $B_{m \times m}$  (必要时检索  $A_{m \times m}$  阵), 通过  $m - 1$  次迭代形成待评估个体的一种最佳遍历顺序。

不失代表性, 以种群规模  $m = 4$  的极性集合 {14, 182, 30, 65} 为例, 说明以上最佳遍历顺序形成方法。该集合的距离矩阵和距离排序矩阵如式(11)所示。

$$A = \begin{bmatrix} 0 & 4 & 1 & 5 \\ 4 & 0 & 3 & 7 \\ 1 & 3 & 0 & 6 \\ 5 & 7 & 6 & 0 \end{bmatrix}, \quad B = \begin{bmatrix} 1 & 3 & 2 & 4 \\ 2 & 3 & 1 & 4 \\ 3 & 1 & 2 & 4 \\ 4 & 1 & 3 & 2 \end{bmatrix} \quad (11)$$

式(11)中  $A_{1,3} = 1$  表明集合中第 1 个极性(14)和第 3 个极性(30)间的距离为 1;  $B$  阵的第 2 行 [2 3 1 4] 表明集合中所有极性按照与第 2 个极性(182)间距离

表2 OR项出现次数统计

OR 项	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
出现次数	1	0	0	1	1	0	1	2

(以所有极性与极性182的二进制形式间相异位数表示)由小到大排序为: 182,30,14,65; 由A阵可知具体距离分别为: 0,3,4,7。

根据步骤3, 形成4个极性的最佳遍历顺序需要3次迭代。以从第1个极性开始为例, 按照“新增距离最短”原则, 3次迭代的结果分别为: <14, 30>, <14, 30, 182>, <65, 14, 30, 182>。最终序列中总距离为9(=5+1+3), 显然是24(即4的阶乘)种遍历顺序中的一条最短路径。

**3.2.3 面积优化算法** 基于以上新型极性转换技术和不完全极性集合遍历方法, 并采用基本遗传算法作为极性搜索策略, 构建较大规模XNOR/OR电路面积优化算法, 其伪代码如下表3所示。

表3 面积优化算法的伪代码

---

```

Begin algorithm
Initialization:  individual_population_size,  max_generation,
                Pc, Pm;
                individual_population[ ];
Read_in_circuit();
Polarity_conversion();//obtain XNOR/OR expansion with
polarity 0 by algorithm4
t = 0;
While t < max_generation
    Best_traversal_sequence();//order the individuals of the
    current generation
    i = 0;
    While i < individual_population_size
        Individual_evaluation();
        i++;
    End while
    store_the_best();
    reproduction();
    crossover();
    mutation();
End while
Output the memory unit;
End algorithm

```

---

## 4 实验结果与分析

本文所提新型极性转换技术和面积优化算法均采用C语言编程, 在Pentium IV 1.60 GHz, 1.00 G内存的个人计算机上进行仿真测试, 并进行性能比较。

### 4.1 新型极性转换技术性能测试

采用10个较小规模MCNC基准电路测试新型极性转换技术, 并与3.1节提到的极性转换算法进行性能比较。表4列出各算法按照格雷码顺序求取

各电路所有极性对应XNOR/OR展开式的时间。由于算法1本质上是算法2的特例, 故仅列出算法2~算法5的测试结果。

为便于讨论, 定义算法j相对于算法i对所有测试电路极性转换的时间节省率Save<sub>ij</sub>为

$$\text{Save}_{ij} = \frac{\sum_{k=1}^{10} t_{ik} - \sum_{k=1}^{10} t_{jk}}{\sum_{k=1}^{10} t_{ik}} \times 100\% \quad (12)$$

根据表4所列数据, 对以上极性转换算法分析如下:

(1)算法3和算法5相对于算法2和算法4具有明显的速度优势, 表明就基于穷举策略的较小规模电路极性遍历而言, 较大数量的极性转换在RM逻辑内实现显然比在Boolean逻辑和RM逻辑间进行效率高很多;

(2)由式(12)计算可得算法4相对于算法2、算法5相对于算法3的时间节省率分别为75.9%和84.8%, 表明同等条件下采用并行处理技术可以显著提高极性转换的效率;

(3)同样由式(12)计算可得算法5相对于算法3和算法4的时间节省率分别为84.8%和97.9%, 表明本文所提极性转换技术(算法5)相对于已有极性转换方法有明显的效率优势;

(4)横向比较各测试电路的极性转换时间可以发现: 随着电路规模的增大, 采用穷尽策略进行极性转换所需的时间急剧增加。故穷尽搜索法只适用于中小规模电路, 该策略对于较大规模电路的极性优化将不再可行。

### 4.2 面积优化算法效率测试

为比较不同极性转换技术对较大规模XNOR/OR电路优化方案效率的影响, 表5列出了6个较大规模MCNC基准电路对3种面积优化算法各10次测试的平均结果。3种算法均采用基本遗传算法作为极性搜索策略, 种群规模和进化代数均分别设定为200和500, 交叉和变异概率均分别设定为0.6和0.01。算法C为本文所提面积优化算法; 算法A应用极性转换算法4按随机顺序遍历每一代极性集合; 算法B在算法A基础上引入最少操作极性遍历顺序生成算法。表5中最小面积和最佳极性是3种优化算法多次运行的最佳结果。

尽管遗传算法本质上不能保证每次运行结果的最优性, 在以上参数设定下各算法运行10次均收敛于各电路的最佳极性。表5数据表明: (1)整体来看, 相比于采用穷举策略的较小规模电路极性优化, 以遗传算法为极性搜索策略的较大规模电路极性优化

表 4 不同极性转换算法的转换时间(ms)

测试电路	输入/OR 项数量	算法 2	算法 3	算法 4	算法 5
squar5	5/9	-0	-0	-0	-0
inc	7/48	125	-0	47	-0
con1	7/68	78	-0	31	-0
rd84	8/120	422	47	234	16
9sym	9/420	4813	187	906	16
clip	9/256	1500	78	1250	16
life	9/40	968	188	344	31
sao2	10/18	672	328	828	109
ex1010	10/167	18765	2328	3860	140
cm85a	11/1264	118032	1484	27516	375

表 5 3 种面积优化算法的运行时间

测试电路	输入/OR 项的数量	最小面积	最佳极性	运行时间(ms)		
				算法 A	算法 B	算法 C
alu4	14/9440	597	15378,15888,16363	121	69	44
cm162a	14/12416	26	16213,16273	8	22	9
table5	17/116	256	58641,10513,8465	182	121	82
sct	19/442368	31	251328,423878	103	108	74
pele	19/163840	16	466991,515503	69	89	62
duke2	22/172032	55	1057792	16	37	11

效率明显提高。(2)对于以上 3 种采用相同极性搜索策略的面积优化算法而言,其效率的优劣也是显而易见的。算法 C 采用新型极性转换技术,并在进化过程中先生成每一代极性集合的最少操作遍历顺序,再按该顺序计算各极性的适应度值,有效地节省了优化方案的运行时间,在 3 种方案中优化效率最高。

## 5 结论

Reed-Muller(RM)逻辑电路相对于 Boolean 电路在结构以及可测试性等方面的优势正在引起越来越多学者的关注,以面积、功耗等性能优化为目标的 RM 逻辑电路极性优化已成为集成电路综合优化的一项重要内容。极性转换作为一种基本操作,大量存在于 RM 逻辑电路极性优化过程中,其转换速度对整体优化方案的效率有直接影响。本文建立了 RM 逻辑的实现形式之一——XNOR/OR 电路面积优化的数学模型;提出了一种效率更高的新型极性转换技术;基于该极性转换技术进一步提出了一种适用于较大规模 XNOR/OR 电路的面积优化算法。基准电路测试结果表明同等条件下,所提极性转换

技术对于小规模以及较大规模电路面积优化效率都有明显改善。

## 参考文献

- [1] Rahaman H, Das D K, and Bhattacharya B B. Testable design of AND-EXOR logic networks with universal test sets[J]. *Computers and Electrical Engineering*, 2009, 35(5): 644-658.
- [2] Jassani B A A, Urquhart N, and Almaini A E A. Manipulation and optimisation techniques for Boolean logic [J]. *IET Computers and Digital Techniques*, 2010, 4(3): 227-239.
- [3] 汪鹏君, 李辉. 基于 OKFDDs 的 Reed-Muller 逻辑混合极性转换算法[J]. *电子与信息学报*, 2011, 33(4): 932-937.  
Wang Peng-jun and Li Hui. An algorithm of Reed-Muller logic mixed-polarity conversions based on OKFDDs[J]. *Journal of Electronica & Information Technology*, 2011, 33(4): 932-937.
- [4] Noureddin A, Maher H, and Marek P. Synthesis of reversible circuits with No Ancilla bits for large reversible functions specified with bit equations [C]. The 40th IEEE International Symposium on Multiple-Valued Logic (ISMVL), Barcelona Spain, May 26-28, 2010: 39-45.

- [5] Tan E C and Yang H. Optimization of fixed-polarity Reed-Muller circuits using dual-polarity property[J]. *Circuits Systems Signal Process*, 2000, 19(6): 535-548.
- [6] Wang P J and Chen X X. Tabular techniques for OR-coincidence logic[J]. *Journal of Electronics (China)*, 2006, 23(2): 269-273.
- [7] Yang M, Wang L, Tong J R, *et al.* Techniques for dual forms of Reed-Muller expansion conversion[J]. *Integration, the VLSI Journal*, 2008, 41(1): 113-122.
- [8] Almaini A E A and Zhuang N. Using genetic algorithm for the variable ordering of Reed-Muller binary decision diagrams[J]. *Microelectronics Journal*, 1995, 26(5): 471-480.
- [9] Jassani B A A, Urquhart N, and Almaini A E A. Minimization of incompletely specified mixed polarity Reed-Muller functions using genetic algorithm [C]. The 3rd International Conference on Signals, Circuits and Systems (SCS), Medenine, Nov. 6-8, 2009: 1-6.
- [10] Jassani B A, Urquhart N, and Almaini A E A. Optimization of MPRM functions using tabular techniques and genetic algorithms [J]. *The Mediterranean Journal of Electronics and Communications*, 2008, 4(4): 110-125.
- [11] 姚茂群, 方平, 陈偕雄. 基于表格法的 RM 展开系数与或-符合展开系数的转换[J]. *浙江大学学报(理学版)*, 2006, 33(4): 417-419.
- Yao Mao-qun, Fang Ping, and Chen Xie-xiong. Conversion of RM expansion coefficients and OR-coincidence expansion coefficients based on tabular method [J]. *Journal of Zhejiang University (Science Edition)*, 2006, 33(4): 417-419.
- [12] Yang M, Xu H Y, and Almaini A E A. Optimization of mixed polarity Reed-Muller functions using genetic algorithm [C]. The 3rd international Conference on Computer Research and Development (ICCRD), Shanghai, March 11-13, 2011: 293-296.
- [13] Zhang H H, Wang P J, Gu X S, *et al.* Least operation traversal method applied in optimization of logic circuits[C]. The 8th International Conference on Application Specific Integrated Circuits (ASIC), Changsha Hunan, Oct. 20-23, 2009: 887-890.
- 张会红: 女, 1976年生, 副教授, 研究方向为集成电路设计与优化、控制理论与应用。
- 汪鹏君: 男, 1966年生, 教授, 博士生导师, 主要研究领域为低功耗、高信息密度集成电路和安全芯片设计及理论研究。
- 俞海珍: 女, 1975年生, 高级实验师, 研究方向为集成电路设计与优化。