

doi:10.3969/j.issn.1001-2400.2013.05.018

针对定点小数乘法器位宽的优化算法

袁 博, 刘红侠

(西安电子科技大学 宽禁带半导体材料与器件教育部重点实验室, 陕西 西安 710071)

摘要: 提出了一种针对定点小数乘法器位宽的低功耗优化算法, 阐述了其基本原理及实现方案, 并通过现场可编程门阵列(FPGA)测试, 验证了该算法的低功耗优化效果. 在算法上, 其优化指标为小数乘法器内部寄存中间运算结果的寄存器位宽; 而在实现技术上, 解决了目前低功耗设计中算法自身逻辑单元引入被优化系统, 从而降低了系统优化效果的问题. 该算法适用于对含有大量小数乘法运算的系统进行低功耗优化, 例如数字信号处理、数字滤波器等.

关键词: 小数乘法; 位宽; 缺省; 逻辑单元; 功耗

中图分类号: TN702; TN402 **文献标识码:** A **文章编号:** 1001-2400(2013)05-0113-06

Optimization methodology for the width of the fixed-point decimal multiplier

YUAN Bo, LIU Hongxia

(Ministry of Education Key Lab. of Wide Band-Gap Semiconductor Materials and Devices, Xidian Univ., Xi'an 710071, China)

Abstract: With the progress of design and fabrication in the semiconductor area, the chip scale and complexity are raised rapidly, and low-power design becomes a very important topic. This paper presents a low-power optimization methodology for the width of the fixed-point decimal multiplier, describes its principle and implementation, and verifies its optimization result by the FPGA test. On the methodological level, its optimization object is the width of the adders, which are inside the synthesized multiplier. On the circuit level, it resolves the problem of introducing the logic in the optimized system, which exists in the present low power design. The methodology has good performance in optimizing the system including large-scale multipliers, such as DSP, digital filter, etc.

Key Words: decimal multiplication; data width; omit; logic cell; power

随着超大规模集成电路(VLSI)设计技术的进步, 高性能处理芯片已经成为通信、电子、空间技术等领域必不可少的组成部分. 因此, 含有大量小数乘法运算的模块也被频繁地应用于各种芯片和电路中, 例如数字滤波器及数字信号处理器等^[1]. 对于小数乘法运算, 为了保持较高的运算精度, 必然要求其内部寄存各级加法运算结果的寄存器保持较宽的位宽, 但同时会导致系统功耗和面积变大; 反之, 如果试图减小内部各寄存器位宽来降低整个乘法器的功耗和面积, 则乘法运算的精度损失将不可避免^[2].

现阶段低功耗设计中, 人们希望通过降低系统时钟频率、减少冗余信号翻转等方法来降低系统功耗. 其中降低系统时钟频率会有效降低系统功耗, 但系统性能和工作效率也会随之降低^[3]; 而减少冗余信号翻转虽然不会影响系统性能, 但需要在系统中增加额外控制电路, 这会使得系统引入额外的功耗和面积^[4]. 笔者针对上述已有技术的不足, 提出了一种针对定点小数乘法运算的低功耗优化设计算法.

收稿日期: 2012-07-02 **网络出版时间:** 2013-06-06

基金项目: 国家自然科学基金资助项目(60976068); 教育部科技创新工程重大项目培育资金资助项目(708083); 教育部博士点基金资助项目(200807010010)

作者简介: 袁 博(1982-), 男, 西安电子科技大学博士研究生, E-mail: vias.yuan@tom.com.

网络出版地址: http://www.cnki.net/kcms/detail/61.1076.TN.20130606.0923.201305.141_015.html

1 定点小数乘法数据宽度优化

在二进制数字电路设计中,数据宽度 n 所能表达出的最大数被归一化为“1”,小数则被表示为所占该“归一化 1”的比例.因此, n 位的小数 B 可以被整数化处理为二进制数 $X^{[5]}$,即

$$X = B(2^n - 1) \quad (1)$$

小数乘法器内部寄存器的位宽由其输出结果的精度所决定,寄存器位宽的增加是减少整个数据通路的数据损失.如果输入数据的位宽是 B_{in} ,则输出数据的最大位宽为 $B_{max} = N \text{lb} R_M + B_{in} - 1$ 的上限整数值^[6],其中, N 为内部加法运算的次数, R_M 为小数乘法器运算的精度.可以看出, B_{max} 会导致很大的位宽,这时就需要对小数乘法器内部各级加法结果进行截断和近似处理.当假设输入和误差源都是相互独立的,并且服从均匀分布时,如果设第 i 级加法结果的截断误差为 $E_i = 2^{B_i}$ (其中 B_i 是舍弃的低位),则误差的均值和方差分别为 $u_i = 0.5E_i, \sigma^2 = 1/(12E_i^2)^{[7]}$.舍弃数据低位而不导致降级精确度的主要依据,是要让前 $2N$ 位误差方差的总和小于或者等于最后第 $2N + 1$ 个误差源所产生的误差,其表达式为

$$\sigma_{T_i} \leq \sigma_{T_{2n+1}} / (2n) \quad , \quad i = 1, 2, \dots, 2n \quad (2)$$

其中, $\sigma_{T_i}^2 = H_i^2 \sigma_i^2, H_i^2 = \sum_k h_i^2(k), H_i^2 = 1$, 由 $\sigma_{T_i}^2 = 2^{2B_i} H_i^2 / 12 \leq \sigma_{T_{2n+1}} / (2n)$, 可得其每一级最终舍弃位宽的表达式为

$$B_i \leq -\text{lb} H_i + \text{lb} \sigma_{T_{2N+1}} + 0.5 \text{lb} (6/N) \quad (3)$$

式中, B_i 为不大于右端表达式计算值的最大整数.由式(3)中右端第 2 项可知,要计算某一级舍弃位宽,首先要计算最后部分舍去的位宽,如果在最后一级输出位宽为 B_{out} ,则 $2N + 1$ 级所舍弃的位宽为 $B_{2N+1} = B_{max} - B_{out} + 1$.

在小数乘法运算中,中间各级加法结果的数据末位会参与下级加法运算.为了保持运算结果的准确性,需要完整保留中间各级加法结果,只能在最末级加法结果中进行缺省来满足小数乘法位宽要求,否则会出现较大的误差累积^[8].若能在各级加法结果中预先计算出会在最末级加法结果中被缺省掉的数据末位,进而在各级加法结果中提前缺省,则可以有效减少各级加法结果位宽,同时保证最终运算结果的准确性.

整数乘法运算 $A \times B$ 的计算过程为^[9]

$$A(b_3 2^3 + b_2 2^2 + b_1 2^1 + b_0 2^0) = b_3 2^3 A + b_2 2^2 A + b_1 2^1 A + b_0 2^0 A \quad (4)$$

其中,被乘数和乘数分别为 A 和 B , B 以二进制表示为 $b_3 b_2 b_1 b_0$.

提出系数 b_0 后,式(4)可转化为

$$b_0 \left(A + 2 \frac{b_1}{b_0} A + 2^2 \frac{b_2}{b_0 A + 2^3 \frac{b_3}{b_0 A}} \right) = b_0 \left(A + \frac{b_1}{b_0} 2 \left(A + 2 \left(A + \frac{b_3}{b_2} 2(A) \right) \right) \right) \quad (5)$$

由式(5)可得,如果 b_0 为“0”,则 $b_i 2^i A$ 项也为“0”.因此对于每一项,其分母必为“1”,否则整个项均为“0”.由此可得多项式为

$$b_0 \left(A + b_1 2 \left(A + b_2 2 \left(A + b_3 2(A) \right) \right) \right) \quad (6)$$

其等价多项式为

$$b_0 \left(A + b_2 2^{-1} \left(A + b_1 2^{-1} \left(A + b_0(A) \right) \right) \right) \quad (7)$$

由式(7)可以看出,本级加法结果的末位不参与下级加法运算,依然作为下级加法结果的末位存在.如果能够缺省本级加法结果的最末 i 位(i 等于下级加法运算中另一个加数的左移位),则可以减少下级加法结果的位宽,而缺省掉的也只是“最小贡献位”,这些“最小贡献位”也会在最终运算结果中被缺省掉.

2 优化算法实现

针对现阶段低功耗设计中存在的问题,即优化后的系统往往会引入一部分低功耗算法自身的功耗和面

积,它们会累加入优化后的系统,从而抵消系统整体优化效果.为了解决该问题,笔者开发出一种新的算法实现技术,它可以避免优化算法自身逻辑单元进入优化后的乘法器,进一步提升其低功耗效果.

图 1 是 n 位小数乘法 $A \times B$ 的优化算法实现框图.设计优化乘法器模块 `mtplr_multiplication`,其类属参数为 `multi_find_g`、输入端口为 x_i 与 n ,输出端口为 z_o .其中小数乘法器系数由模块类属参数 `multi_find_g` 输入,被乘数由 x_i 输入,数据宽度由 n 输入,最终乘法运算结果由 z_o 输出,图 2 为该优化乘法器模块的实体.

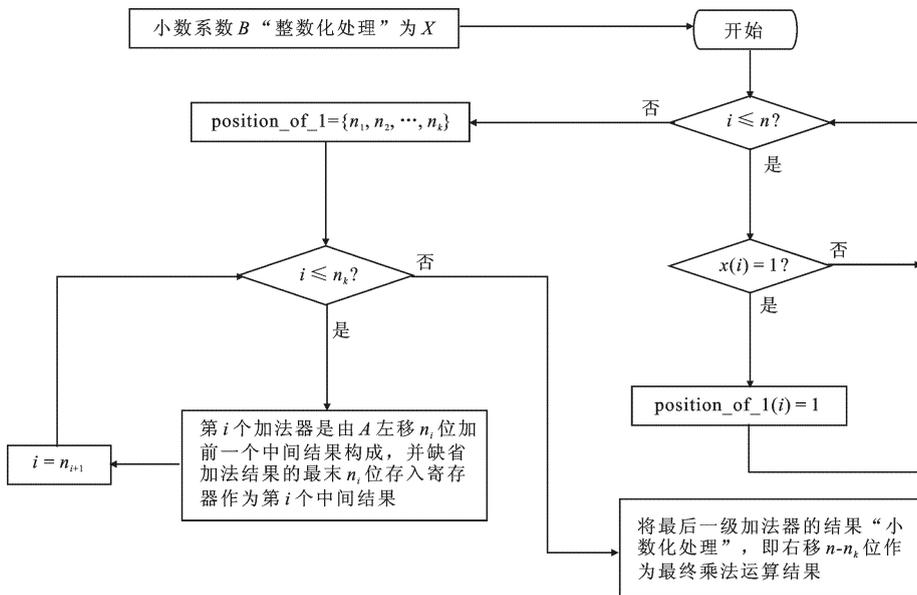


图 1 优化算法实现框图

在模块内部,调用函数 `find_multi_factor_f(x)`,并使优化乘法器模块的类属参数 `multi_find_g` 作为该函数的输入,即 `find_multi_factor_f(multi_find_g)`,输出结果以常数阵列 `shift_bits_c` 表示:

```
Constant shift_bits_c:nature_array:=
find_multi_factor_f(x).position_of_1,
```

其与被乘数构建移位加法运算,并且进行优化.

在综合初期,常数 `shift_bits_c` 会根据乘法器系数计算得出;综合后,乘法器仅仅根据这些常数便可转化为对应的移位加法结构,并进行优化.而库中的运算逻辑自身不会引入乘法器,而且优化算法是缺省对下级加法无进位贡献的本级加法结果的末位,从而减少存放各级加法结果的寄存器位宽.因此,在优化乘法器模块 `mtplr_multiplication` 内部,没有引入优化算法所带来的额外的逻辑单元.

系统设计的参数和特性一旦确定,其内部各乘法器系数也将确定.而乘法器系数由类属参数传入,而不以常数参数传入的原因是:常数只能从设计实体的内部得到赋值且不能再改变,而类属的值可以由设计实体外部提供.因此,设计者可以从外面通过类属参量的重新设定而容易地改变该模块的内部电路结构,即在替换时只需将各乘法系数通过类属参量传入模块,便可实现不同的优化乘法器.

将优化乘法器模块 `mtplr_multiplication` 置于库中,与系统设计分离,在系统设计中实例化该模块,并替换掉原有各定系数乘法器,替换时只需将各实例化模块的类属参数设定为所对应乘法器系数,即可完成该系统的优化.图 3 为替换 16 位小数乘法 $y = 0.141677856x$ 的优化乘法器.

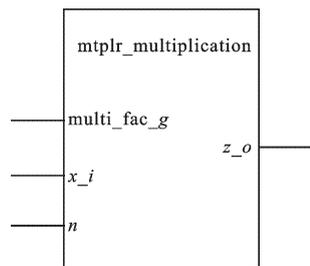


图 2 mtplr_multiplication 的实体

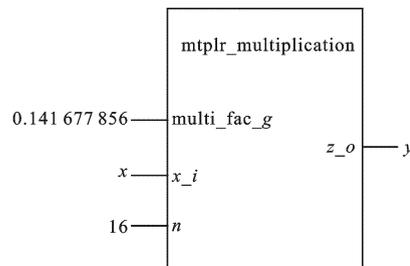


图 3 替换小数乘法 $y = 0.141677856x$ 的优化乘法器

3 优化效果验证

为了验证优化效果,以某射频模块作为测试对象进行优化.该射频模块具备语音信号调制及发射功能,其内部含有梳状波数字滤波器(WDF)等不同类型的数字滤波器,以及信号处理器等含有大量小数乘法运算的子模块.该射频模块结构如图 4 所示.

测试优化结果的工具为 Sequence Design 公司的 Power Theater.作为标准功耗计算工具,它可以对系统的前端寄存器传输级(RTL)代码计算出准确的功耗和面积.分别用该工具对优化前的射频模块以及经文中优化算法匹配新的实现技术优化过的射频模块进行测试.两次测试中对射频模块的工作电压、工作时钟频率等所有输入参数均保持一致,两次测试的惟一区别是,优化与否.表 1 记录了两次实验所得的功耗测试结果,表 2 记录了两次实验所得的面积与逻辑单元数,优化效果对比明显.取射频模块中同一滤波器优化前后的门级电路进行对比,如图 5、图 6 所示.可以看出,优化后其内部逻辑单元数量明显减少.

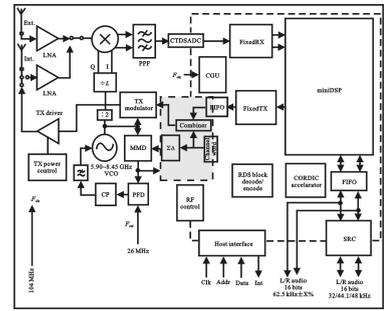


图 4 射频模块结构图

表 1 两次实验所得的射频模块各项功耗

| 功耗类别 | 优化前的模块 | 文中优化算法匹配新的实现技术优化后的模块 |
|----------|---------|----------------------|
| 内部寄存器功耗 | 2.1300 | 1.2200 |
| 内部缓存功耗 | 0.0265 | 0.0120 |
| 内部存储单元功耗 | 0.5450 | 0.2780 |
| 其他内部功耗 | 5.2800 | 2.9300 |
| 内部功耗总和 | 7.9800 | 4.4380 |
| 时钟功耗 | 2.7100 | 2.7100 |
| 总功耗 | 10.7000 | 7.1500 |

表 2 两次实验所得的射频模块逻辑单元数和面积

| | 优化前 | 文中所述优化算法匹配新的实现技术优化后 |
|--------------------|-------|---------------------|
| 逻辑单元数 | 95962 | 70669 |
| 面积/mm ² | 1.479 | 1.166 |

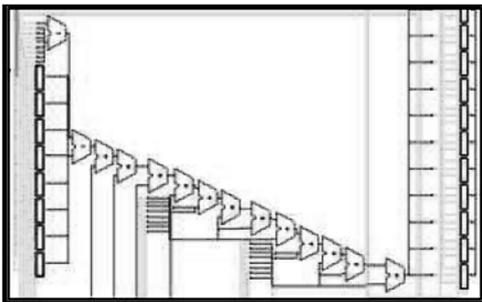


图 5 优化前滤波器的门级电路图

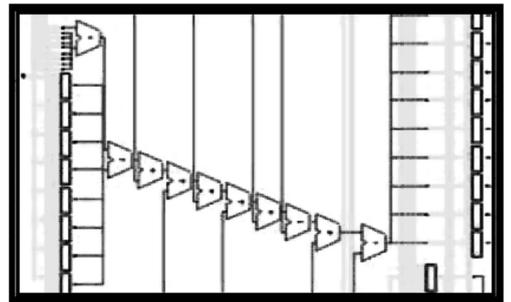


图 6 优化后滤波器的门级电路图

以上两种射频模块经 Quartus II 编译、综合后,由其产生的资源报告对比如表 3 所示,优化后的各项指标分别降低了 17.9%,30.7%和 21.5%.

4 与正则符号数字量优化算法的对比

在对射频模块中所有乘法器进行正则符号数字量(CSD)优化,并且匹配文中所述的实现技术后,Power Theater 生成的功耗分析结果如表 4 所示,总逻辑单元

表 3 FPGA 测试结果对比

| 资源报告类别 | 优化前 | 优化后 |
|-----------|-------|-------|
| 逻辑占用率/% | 5.6 | 4.6 |
| 生成寄存器总数 | 18175 | 12600 |
| 存储单元占用率/% | 6.5 | 5.1 |

数和面积如表 5 所示. 对比可见, 文中算法相比于 CSD 优化算法, 具有更优的低功耗效果.

表 4 两种算法所得的射频模块各项功耗 mW

| 功耗类别 | CSD 优化算法优化后的模块 | 文中优化算法优化后的模块 |
|----------|----------------|--------------|
| 内部寄存器功耗 | 1.720 | 1.220 |
| 内部缓存功耗 | 0.017 | 0.012 |
| 内部存储单元功耗 | 0.571 | 0.278 |
| 其他内部功耗 | 3.530 | 2.930 |
| 内部功耗总和 | 5.840 | 4.438 |
| 时钟功耗 | 2.710 | 2.710 |
| 总功耗 | 8.550 | 7.150 |

表 5 两种算法所得的射频模块逻辑单元数和面积

| | CSD 优化算法优化后 | 文中优化算法优化后 |
|--------------------|-------------|-----------|
| 逻辑单元数 | 74915 | 70669 |
| 面积/mm ² | 1.412 | 1.166 |

5 与一般实现技术的对比

为了验证前面所述实现技术的优化效果, 将乘法器以图 1 所示的算法优化匹配一般实现技术进行优化, 此时优化操作在乘法器内部直接执行, 优化逻辑单元存在于优化后的乘法器中. 优化后 Power Theater 得出此时的射频模块的功耗和面积结果如表 6、表 7 所示. 与表 1、表 2 对比可见, 若对同一种算法以两种不同实现技术实现, 则文中所述实现技术的低功耗效果较好.

表 6 射频模块经两种实现技术优化后的各项功耗对比 mW

| 功耗类别 | 一般实现技术优化后的模块 | 新的实现技术优化后的模块 |
|----------|--------------|--------------|
| 内部寄存器功耗 | 1.230 | 1.220 |
| 内部缓存功耗 | 0.020 | 0.012 |
| 内部存储单元功耗 | 0.410 | 0.278 |
| 其他内部功耗 | 4.880 | 2.930 |
| 内部功耗总和 | 6.540 | 4.438 |
| 时钟功耗 | 2.710 | 2.710 |
| 总功耗 | 9.250 | 7.150 |

表 7 射频模块经两种实现技术优化后的逻辑单元数和面积对比

| | 一般实现技术优化后 | 新的实现技术优化后 |
|--------------------|-----------|-----------|
| 逻辑单元数 | 80215 | 70669 |
| 面积/mm ² | 1.312 | 1.166 |

再次将以一般实现技术优化后的射频模块经 Quartus II 编译、综合, 所产生的资源报告如表 8 所示. 可见, 同一优化算法匹配新实现技术的低功耗效果明显优于匹配一般实现方案优化后的结果.

表 8 射频模块经两种实现技术优化后的 FPGA 测试结果对比

| 资源报告类别 | 一般实现方式优化后 | 新的实现方案优化后 |
|-----------|-----------|-----------|
| 逻辑占用率/% | 5.1 | 4.6 |
| 生成寄存器总数 | 16805 | 12600 |
| 存储单元占用率/% | 5.9 | 5.1 |

6 与综合工具自动优化结果的对比

在硬件开发流程中的综合阶段, 一些综合工具中自带的 IP 核能够以某些规则对被综合对象进行相应的

自动优化,例如面积、功耗等.综合完成后,得到的各项功耗结果如表 9 所示,面积如表 10 所示.将表 1、表 2 中中文优化技术优化后的测试结果引入,可以看出,相比于综合工具 DC,能够达到最优结果,文中技术的低功耗效果更优.

表 9 射频模块经两种优化条件后的各项功耗对比

mW

| 功耗类别 | DC 在面积最小约束条件下的综合结果 | 新的实现技术优化后的结果 |
|------|--------------------|--------------|
| 静态功耗 | 0.010 | 0.020 |
| 内部功耗 | 6.120 | 4.438 |
| 开关功耗 | 2.710 | 2.710 |
| 总功耗 | 8.840 | 7.150 |

表 10 射频模块经两种优化条件后的面积对比

| | DC 在面积最小约束条件下的综合结果 | 新的实现技术优化后的结果 |
|--------------------|--------------------|--------------|
| 面积/mm ² | 1.357 | 1.166 |

7 结束语

提出了一种针对定点小数乘法器位宽的优化算法,对射频模块的功耗分析和 FPGA 测试结果表明,该算法对含有大量小数乘法运算的系统优化效果十分显著.同时提出一种新的实现技术,与现阶段一般实现技术相比较,解决了目前低功耗设计中算法自身的逻辑单元被引入系统从而降低系统优化效果的问题;而且,与 CSD 优化算法、一般实现技术以及综合工具 DC 自动优化的结果分别进行了对比,各项结果均显示文中技术具有更优的低功耗效果.

参考文献:

- [1] 李晓峰,冯大政,胡树楷.采用状态度量抽取和内插策略的低功耗 Turbo 译码器[J].西安电子科技大学学报,2012,39(3):56-62.
Li Xiaofeng, Feng Dazheng, Hu Shukai. Low Power Turbo Decoder Based on the State Metric Decimation Andinterpolation Strategy [J]. Journal of Xidian University, 2012, 39(3) 56-62.
- [2] 何学辉,吴兆平,苏涛,等.任意相位编码信号及其脉压滤波器联合优化设计[J].西安电子科技大学学报,2009,36(6):1027-1033.
He Xuehui, Wu Zhaoping, Su Tao, et al. Joint Optimization Design of Any Phase-encoded Signal and the Pulse Pressure Filter [J]. Journal of Xidian University, 2009, 36(6): 1027-1033.
- [3] Graillat S, Langlois P, Louvet N. Compensated Horner Scheme[R]. Perpignan: University of Perpignan, 2005.
- [4] Wong A C W, Kathiresan G, Chan C K T, et al. A 1V Wireless Transceiver for an Ultra Low Power SoC for Biotelemetry Applications[C]//Proceedings of the 33rd European Solid State Circuits Conference. Piscataway: IEEE, 2007: 127-130.
- [5] 蒋俊正,王小龙,水鹏朗.一种设计 DFT 调制滤波器组的新算法[J].西安电子科技大学学报,2010,37(4):689-693.
Jiang Junzheng, Wang Xiaolong, Shui Penglang. A New Algorithm of DFT Modulated Filter [J]. Journal of Xidian University, 2010, 37(4): 689-693.
- [6] Kang S M. Elements of Low Power Design for Integrated Systems[C]//Proceedings of the 2003 International Symposium on Low Power Electronics and Design. Seoul: ACM, 2003: 205-210.
- [7] 罗柏文,万明康,于宏毅.两种基于自适应相位补偿的 FDOA 估计算法[J].数据采集与处理,2012,27(1):20-26.
Luo Baiwen, Wan Kangming, Yu Hongyi. Two Kinds of Estimation Algorithm Based on Adaptive Phase Compensation FDOA [J]. Journal of Data Acquisition and Processing, 2012, 27(1): 20-26.
- [8] Samuelli H. An Improved Search Algorithm for the Design of Multiplierless FIR Filters with Power-of-two Coefficients [J]. IEEE Transactions on Circuits and System, 1989(36): 1044-1047.
- [9] Yoo H, Anderson D V. Hardware-efficient Distributed Arithmetic Architecture for High-order Digital Filters [C]//Proceedings of IEEE International Conference on Acoustics, Speed and Signal Processing. Piscataway: IEEE, 2005: 125-128.

(编辑:齐淑娟)