

# 基于 FPGA 的串行多阶 FIR 滤波器设计

夏蓉花<sup>1</sup>, 郑勇<sup>2</sup>

(1. 徐州机电工程高等职业学校 电气系, 江苏 徐州 221011; 2. 江苏师范大学 图书馆, 江苏 徐州 221116)

**摘要** FIR 滤波器的设计分为滤波器系数计算和滤波器结构的具体两个部分。为说明使用 FPGA 实现 FIR 的灵活性, 文中列举了一个多阶串行 FIR 滤波器实例, 并给出主要的源代码和相关模块的时序和功能说明, 最后使用 Matlab 和 Quartusii 联合仿真验证了 FPGA 硬滤波器工程的正确性。

**关键词** FPGA; FIR 数字滤波器; Matlab; 仿真

中图分类号 TN79 文献标识码 A 文章编号 1007-7820(2013)03-030-04

## FPGA-based Multi-order Serial FIR Filter Design

XIA Ronghua<sup>1</sup>, ZHENG Yong<sup>2</sup>

(1. Department of Electrical Engineering, Xuzhou Higher Vocational School of Mechanical and Electrical Engineering, Xuzhou 221011, China; 2. Library, Jiangsu Normal University, Xuzhou 221116, China)

**Abstract** FIR filter design is divided into two parts: the calculation of the filter coefficients and the filter structure design. To better illustrate the flexibility of using FPGA to achieve FIR, this paper uses a multi-order Serial FIR filter instance, and gives the timing and functional description of the source code and related modules. MATLAB and QUARTUSII simulations verify the correctness of the FPGA hard filter.

**Keywords** FPGA; FIR digital filter; MATLAB; simulation

数字滤波器是用于过滤时间离散信号的数字系统,通过对抽样数据进行数学处理达到频域滤波的目的。根据单位冲激响应函数的时域特性可分为两类:无限冲激响应(Infinite Impulse Response, IIR)滤波器和有限冲激响应(Finite Impulse Response, FIR)滤波器。与 IIR 滤波器相比, FIR 滤波器的实现是非递归的,较稳定;且 FIR 滤波器可获得严格的线性相位特性。因此,应用领域较广。

FIR 滤波器具有成熟的结构,使用 Matlab 强大的功能使得本来繁重的计算工作变得轻松。在具体应用时,要根据工程当中信号的特点:采样速率、信号带宽等具体使用 Matlab 得到 FIR 滤波器系数。滤波器的结构实现可以使用 PC 软件、单片机、微处理器、FPGA、通用 DSP 芯片。其需根据信号特性选择<sup>[1]</sup>。文中主要使用 FPGA 实现高速时钟下的串行 FIR 滤波器结构,达到速度和逻辑资源情况下的最佳均衡。

## 1 FIR 的特点

有限长单位冲激响应(FIR)滤波器的特点:(1)系

统的单位冲激响应  $h(n)$  在有限个  $n$  值处不为零。(2)系统函数  $H(z)$  在  $|z| > 0$  处收敛,极点全部在  $z = 0$  处。(3)结构上主要是非递归结构,没有输出到输入的反馈,但有些结构中也包含有反馈的递归部分。

设 FIR 滤波器的单位冲激响应  $h(n)$  为一个  $N$  点序列,  $0 \leq n \leq N-1$ , 则滤波器的系统函数为

$$H(z) = \sum h(n) * z^{-n}$$

即有  $N-1$  阶极点在  $z=0$  处,有  $N-1$  个零点位于有限  $z$  平面的任何位置<sup>[2]</sup>。

## 2 使用 Matlab Fdatool 设计 FIR 滤波器

FDATool(Filter Design & Analysis Tool)是 Matlab 信号处理工具箱专用的滤波器设计分析工具,操作简单、灵活,可采用多种方法设计 FIR 和 IIR 滤波器。在 Matlab 命令窗口输入 FDATool 后回车就会弹出 FDATool 界面。

带通滤波器设计已知滤波器的阶数  $n = 1024$ ,  $\beta = 3.4$ 。首先在 Filter Type 中选择 Bandpass; 在 Design Method 选项中选择 FIR Window,接着在 Window 选项中选择 Blackman-Harris; 指定 Filter Order 项中的 Specify Order 为 1024; 采样频率  $F_s = 8000$  Hz, 截止频率  $F_{c1} = 900$  Hz,  $F_{c2} = 1200$  Hz。设置完以后点击窗口下方的 Design Filter, 在窗口上方就会看到所设计滤

收稿日期: 2012-10-16

作者简介: 夏蓉花(1984—), 女, 助教。研究方向: 机电一体化。E-mail: 304961911@qq.com。郑勇(1975—), 男, 本科。研究方向: 计算机应用。

波器的幅频响应,通过菜单选项 Analysis 还可看到滤波器的相频响应、组延迟、脉冲响应、阶跃响应、零极点配置等,如图 1 所示。

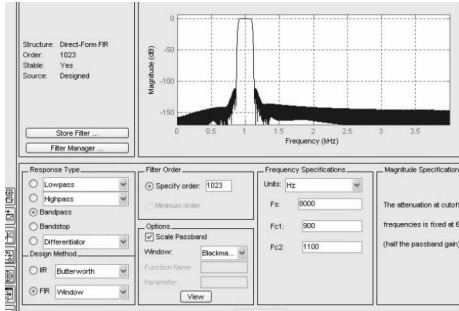


图 1 Matlab Fdatool 设计 FIR 滤波器图

这样选择 File 菜单当中的 Export 导出滤波器系数到文件中。因为得到系数是浮点数,为适合在 FPGA 中使用,要编写一个 M 文件对系数进行整型量化处理并在此文件当中生成 FPGA 能够使用的 .mif 表格文件。

### 3 FPGA 设计和仿真验证

当已知滤波器系数,信号速率为 8 kHz,周期 125  $\mu$ s。根据 FIR 滤波器的结构可知,只要在 125  $\mu$ s 之内完成 1 024 次乘加运算,那么就可达到对 8 kHz 速率的语音信号的有效滤波。文中使用 QuartusII9.1 开发平台,FPGA 芯片选用 EP3C5E144C8,主时钟 25 MHz,周期 40 ns 进行 1 024 次运算,耗时 40.96  $\mu$ s  $\ll$  125  $\mu$ s<sup>[3-4]</sup>。

首先新建在 QuartusII 中新建一个工程 FIR1024,然后使用原理图和 VHDL 混合的方式设计出以下 FPGA 程序。把 fircoef. mif 表格文件代入到系数 ROM 存储器中。

输入管脚:CLK 主时钟 25 MHz;DIN[15..0] 语音数据输入;AFCLK 数据速率时钟 8 kHz;信号数据 1 024 点缓存 RAM 和滤波器系数 ROM<sup>[5]</sup>。

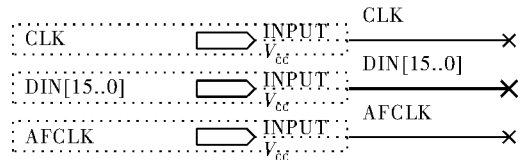


图 2 AFCLK 数据速率时钟 8 kHz 图

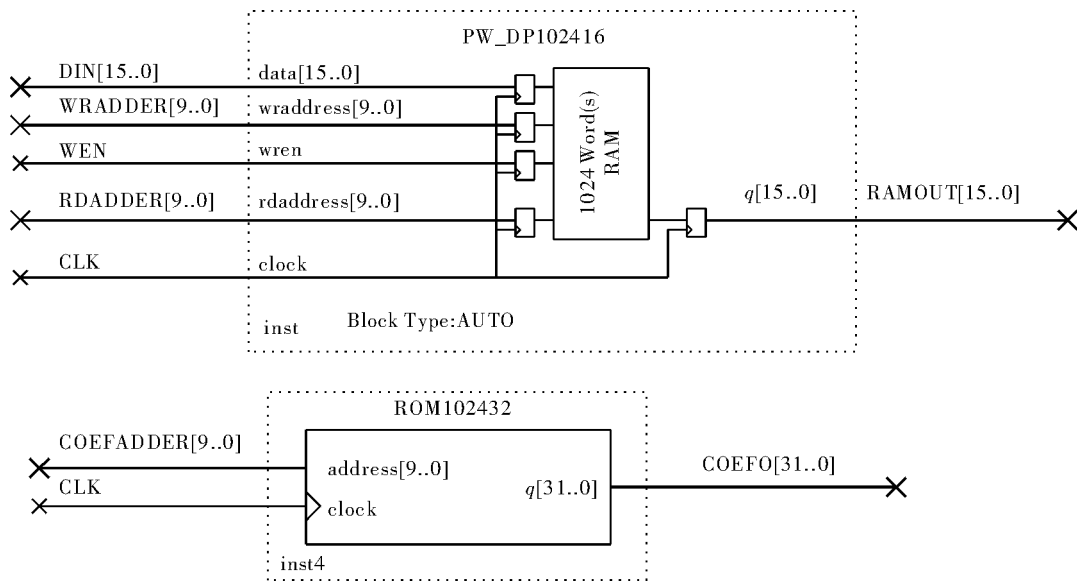


图 3 信号数据 1 024 点缓存 RAM 和滤波器系数 ROM 图

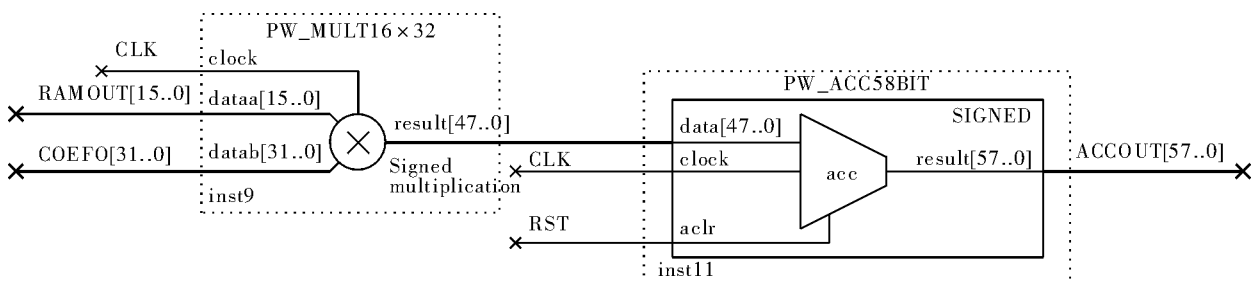


图 4 乘法器和累加器图



图5 数据输出量化图

时序控制单元是设计的核心部分。AFCLK 作为整个 FIR 滤波器系统的启动信号,此模块检测到 AFCLK 上升沿到来时会进行以下几个步骤的处理: (1) 首先启动 WEN 写使能信号把当前 DIN 写入缓存中,写地址 WRADDER 累加一次。(2) 然后启动读地

址计数器 RDADDER 开始进行 1 024 次计数,同时把信号缓存和系数 ROM 中的数据送到乘加器中做 1 024 乘加运算,RST 的作用是在第一个有效数据到来时进行累加器清零,RST\_EN 的作用是在完成 1 024 次运算时,准确地把结果锁存到输出端口,如图 6 所示。

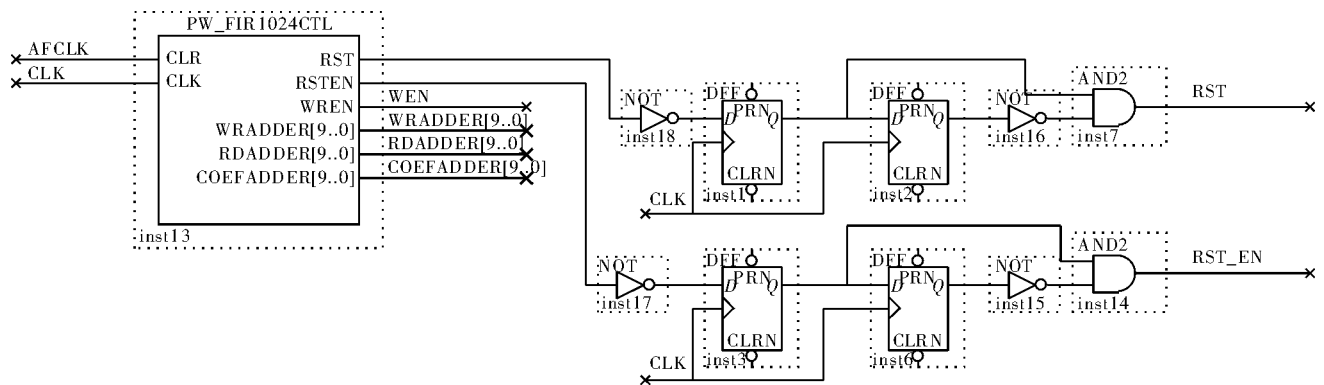


图6 完成效果图

因为语音信号数据位宽是 16 位,经过 1 024 次乘加,和滤波器系数是 32 位整型量化处理的所有最终结果要做必要的量化处理,以得到正确的结果。

经过编译综合后,发现占用逻辑单元 158, 仅占 EP3C5 逻辑单元的 3%, RAM 单元约占 12%, 9 位乘法器 4 个,如图 7 所示,效果理想。

Flow Status	Successful - Wed Aug 08 12:
Quartus II Version	9.1 Build 304 01/25/2010 SP
Revision Name	fir1024_fpga
Top-level Entity Name	fir1024_fpga
Family	Cyclone III
Device	EP3C5E144C8
Timing Models	Final
Met timing requirements	N/A
Total logic elements	158 / 5,136 ( 3 % )
Total combinational functions	142 / 5,136 ( 3 % )
Dedicated logic registers	90 / 5,136 ( 2 % )
Total registers	90
Total pins	34 / 95 ( 36 % )
Total virtual pins	0
Total memory bits	49,152 / 423,936 ( 12 % )
Embedded Multiplier 9-bit elements	4 / 46 ( 9 % )
Total PLLs	0 / 2 ( 0 % )

图7 编译图

#### 4 FPGA 数字滤波器功能仿真验证

Quartus II 不支持 Testbench,采用 \*. vwf 文件进行仿真需要手工输入激励,人工检查输出结果,此程序反馈,且效率较低。由于 Quartus II 的工程文件都是文本文件,所有的数据都以文件形式存储,所以可以编写文本过滤程序,将文本文件中的有用数据提取出来,然后进行后期处理,既提高了灵活性,又提高了效率。

Quartus II 支持 \*. vwf、\*. vec 等激励输入,由于 \*. vec 的文本操作性优于 \*. vwf 文件,所以文中选择 \*. vec 文件作为激励输入。使用 Matlab 产生 8 000 Hz 速率 800 Hz,1 000 Hz,1 300 Hz 共 3 种频率的混合信号的仿真样本序列,带入到 QuartusII 中进行仿真,产生的仿真文件再导出到 Matlab 中进行显示,结果如图 8 所示。

由图中可以看出,经过 FPGA 滤波过后,800 Hz 和 1 300 Hz 的信号都被滤波器滤除,仅有 1 000 Hz 信号保留。

(下转第 58 页)

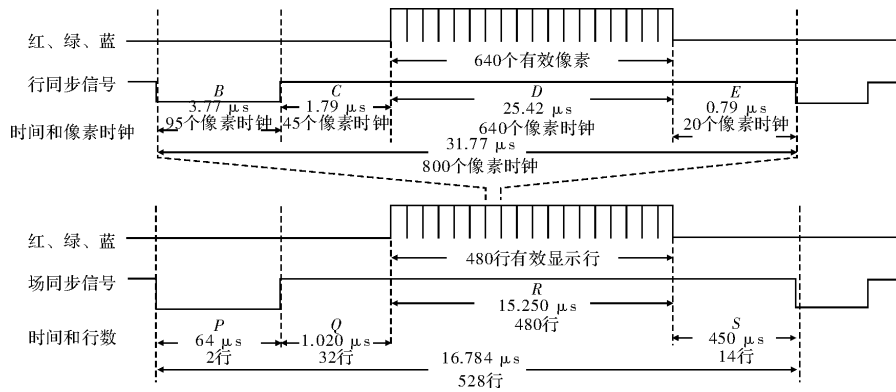


图1 行场同步扫描时序图

当某主外设要发起总线请求时,可能 Avalon 总线不能马上作出响应而处于等待状态。Nios II 处理器将准备显示的数据发送后要求立即存入到存储器中,否则到下一个周期数据将会更新,从而导致数据丢失,此时 Avalon 总线需将信号设置为等待状态。因此必须将数据暂时存储在缓冲区中,待 Avalon 总线响应写传输时再将其从缓冲区中读出写入到存储器中。用一个先进先出的 FIFO 作为缓冲器能够满足以上条件,通过时钟来控制 FIFO 的写入和读出<sup>[4]</sup>。

#### 4 结束语

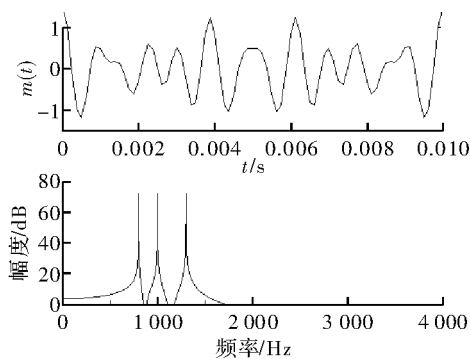
试验结果证明,运行在 FPGA 中的 SOPC 系统可以

控制 VGA 显示器,并将 VGA 成功驱动,而且能够进行画点、画线、画矩形、画圆以及 16 × 16 汉字和 8 × 16 ASCII 字符混排的显示,同时达到了图像的彩色显示要求。

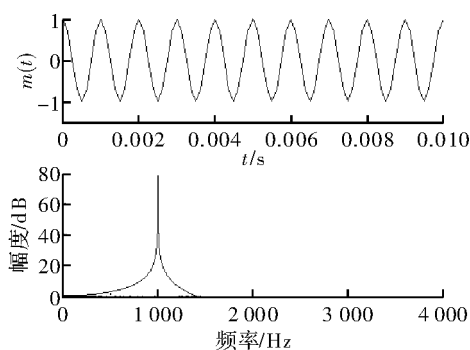
#### 参考文献

- [1] 李兰英. Nios II 嵌入式软核 SOPC 设计原理及应用[M]. 北京:北京航空航天大学出版社,2006.
- [2] 彭澄廉,周博,邱卫东,等. 挑战 SOC——基于 Nios 的 SOPC 设计与实践[M]. 北京:清华大学出版社,2004.
- [3] 张文爱,张博,程永强. 基于 FPGA 的高分辨率 VGA 显示控制器的设计[J]. 现代显示,2006(9):55-58.
- [4] 吴蓬勃,张启民,王朝阳,等. 基于 FPGA 的 VGA 图像控制器设计[J]. 东北电力大学学报,2006(4):89-92.
- [5] 杨丽湘,李玉山. 基于 Nios II 处理器的 IEEE-1394b 双向数据传输系统[J]. 电子科技,2011,24(2):47-49.

(上接第 32 页)



(a) 滤波前混合时域和频谱信号



(b) 滤波后的时域和频谱信号

图8 仿真文件再导出到 Matlab 结果图

#### 5 结束语

通过设计实例,介绍了高速串行多阶 FIR 滤波器的设计思路和流程。仿真结果说明,FPGA 在 FIR 数字滤波器实现方面相比通用和专用 DSP 芯片具有更灵活的使用方法,可以做到速度和逻辑资源占用方面的均衡。

#### 参考文献

- [1] 董长虹. Matlab 信号处理与应用[M]. 北京:国防工业出版社,2005.
- [2] 海因斯 M H. 数字信号处理[M]. 张建华,译. 北京:科学出版社,2002.
- [3] UWE M B. 数字信号处理的 FPGA 实现[M]. 刘凌,译. 北京:清华大学出版社,2006.
- [4] 米月琴,黄军荣. 基于 FPGA 的 Kalman 滤波器的设计[J]. 电子科技,2010,23(2):52-55.
- [5] 田之俊,王敏. 基于 FPGA 的高阶音频均衡滤波器设计[J]. 电子科技,2011,24(2):4-6.