

基于 DSP + FPGA 多通道单端/差分信号采集系统

邓 轲, 范俊锋, 吝 莹

(西安电子科技大学 电子信息攻防对抗与仿真技术教育部重点实验室, 陕西 西安 710071)

摘 要 介绍了一种基于 DSP + FPGA 的平台, 主要利用 ADS8517AD 转换芯片构成的具有 32 路单端通道或 16 路差分通道的信号采集存储系统, 该系统通道可以选择切换, 且采样率也可以改变, 具有较强的灵活性。

关键词 DSP; FPGA; ADS8517; 通道切换

中图分类号 TN911.72 **文献标识码** A **文章编号** 1007-7820(2013)03-033-03

Multi-Channel Single-Ended/Differential Signal Sampling and Acquisition System Based on DSP + FPGA

DENG Ke, FAN Junfeng, LIN Ying

(Key Laboratory of Electronic Information Countermeasure and Simulation Technology of

Ministry of Education, Xidian University, Xi'an 710071, China)

Abstract This paper introduces a DSP + FPGA-based signal acquisition and storage system with 32 channels of single-ended or 16 differential channels by using ADS8517. The system is highly flexible in channel switching and the sampling rate changing.

Keywords DSP; FPGA; ADS8517; channel-switching

在信号处理过程中,经常采用 DSP + FPGA 协同处理的方法。是因为 DSP 虽然可以实现较高速率的信号采集,但其指令更适于实现算法而不是逻辑控制,其外部接口的通用性较差。而 FPGA 时钟频率高、内部延时小,全部控制逻辑由硬件完成,速度快、效率高,适合于大数据量的传输控制,可以集成外围控制、译码和接口电路,在高速数据采集方面有着 DSP 以及单片机无法比拟的优势,但缺点是难以实现一些复杂的算法。因此,若采用 DSP + FPGA 协同处理的方法,便可以使 DSP 的高速处理能力与 FPGA 的高速、复杂的组合逻辑和时序逻辑控制能力相结合,达到互补,使系统发挥最佳性能^[1]。

在目前的信号采集及测试系统中,由于应用背景的复杂,经常需要对多路信号进行采集,有的甚至需要对多路单端及差分信号进行采集,在某些情况下,为测试分析的方便,还需要对采样率进行改变。文中介绍了一种采用 DSP + FPGA 协同处理的方法,并主要利用 ADS8517 这一 A/D 转换芯片来实现多路可以选择单端或差分输入的信号采集系统的设计方法。

1 系统实现功能

该系统可以实现 32 个通道单端信号或 16 个通道

差分信号的采集输入,由 DSP 控制输入信号是单端信号还是差分信号,以及各自使能输入的通道,其中单端信号最多使能输入 32 个通道,差分信号最多使能输入 16 个通道。A/D 在各个使能通道间采用类似时分复用的方法进行轮寻采样,A/D 采样频率 200 kHz,DSP 可设置采样率分频值,对采样率进行改变,假如 DSP 设置采样分频值为 D ,使能输入通道数为 N ,则每个通道实际采样率为 $200 \text{ kHz}/(D \cdot N)$ 。

2 系统硬件设计

根据以上功能要求,整个系统的设计思路如图 1 所示。其中 DSP 采用 TI 公司的 TMS3206713B,FPGA 采用 Altera 公司的 CycloneIII 系列,A/D 采用 TI 公司的 ADS8517。ADS8517 的主要性能:(1)16 位分辨率;(2)采样频率:200 kHz;(3)模拟输入范围 $\pm 10 \text{ V}$;(4)输出有串行和并行两种方式^[2]。

在整个系统中,FPGA 根据 DSP 对各个通道是单端或者差分的设置,以及各个通道使能与否和采用率分频值的设置,控制 ADS8517 以及多路选择器,将 A/D 输入的数据以及其对应的通道存入一个 FIFO 中,当 FIFO 半满时向 DSP 发送中断,由 DSP 读取 FIFO 中 A/D 的采样数据及其对应的通道号。可以看出,设计重点主要集中在多路选择器的设计以及 FPGA 中硬件逻辑的设计。

收稿日期:2012-09-17

作者简介:邓轲(1987—),男,硕士研究生。研究方向:电子对抗中的信号处理。E-mail:dk_legerdary@163.com

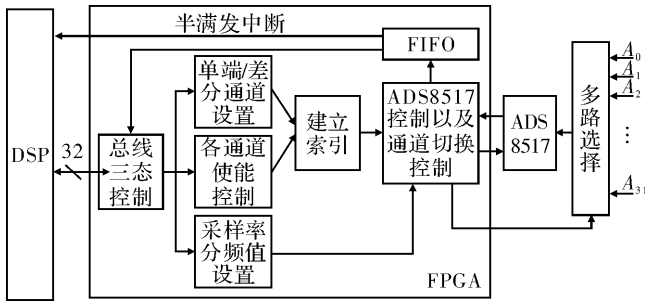


图1 系统硬件原理框图

2.1 多路选择模块设计

根据系统要实现的功能,多路选择模块的设计采用如图2所示的设计思路,其中16选1多路器和4选1多路器分别采用ADI公司的ADG1206和ADG1204。由FPGA控制这些多路选择器来选择通道以及单端/差分模式,在设计选择差分信号时,为方便,只支持 $A_0 \sim A_{15}$ 通道和 $A_{16} \sim A_{31}$ 通道依次对应的差分,而不支持 $A_0 \sim A_{15}$ 通道中任意一个通道和 $A_{16} \sim A_{31}$ 通道中任意一个通道的差分。

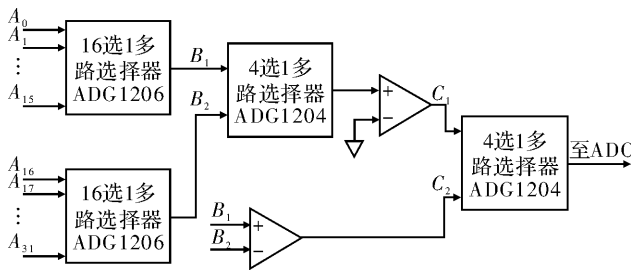


图2 多路选择模块的原理框图

2.2 FPGA 部分的设计

由于 DSP 数据总线为 32 位双向总线^[3],所以在 FPGA 中需要设计一个总线的三态控制器,来控制总线的输入输出,这部分设计较简单,模式相对固定,应用已成熟。

对于 DSP 发出的各个通道单端/差分控制,各个通道使能控制以及采样率分频值设置这些控制信息,由在 FPGA 中开辟出的 3 个 32 位寄存器来存储。通道单端/差分控制寄存器和通道使能寄存器的定义如表 1 和表 2 所示,采样率分频值设置寄存器中的 32 位无符号 2 进制整数表示相应的分频值。

表1 通道 0~31 单端/差分控制寄存器

位	定义	描述
bit0	通道 0 差分/单端	0:单端,1:差分
bit1	通道 1 差分/单端	0:单端,1:差分
...
bit31	通道 31 差分/单端	0:单端,1:差分

表2 通道 0~31 使能控制寄存器

位	定义	描述
bit0	通道 0 使能	0:禁用,1:使能
bit1	通道 1 使能	0:禁用,1:使能
...
bit31	通道 31 使能	0:禁用,1:使能

当 DSP 的控制信息设置好以后,根据通道单端/差分控制寄存器以及通道使能控制寄存器中的内容,建立一个使能通道索引表,索引表中字的个数等于使能的通道数,每一个字的字长为 6 位,依次将使能的通道号转换成二进制无符号数后放入表中各个字的低 5 位,每个字的高位记录相应的通道是单端还是差分,‘0’表示单端,‘1’表示差分。

设计采用 ADS8517 并行输出的工作模式,按照图3所示的并行输出方式时序图对其进行控制,其中 R/\bar{C} 和 BYTE 信号为 ADS8517 的输入控制信号, R/\bar{C} 的下降沿表示一次采样的开始, R/\bar{C} 为高电平时表示可以读取 A/D 的输出数据,输出为并行 8 位输出,当 BYTE 信号为低电平时输出高 8 位,反之则输出低 8 位,从而完成 16 位分辨率的输出。BUSY 为 ADS8517 输出信号,为低电平时则表示本次 A/D 转换正在进行,为高电平时表示本次转换完成,因此当 R/\bar{C} 和 BUSY 同时为高电平时,便可以读取本次 A/D 采样转换后的数据^[2]。

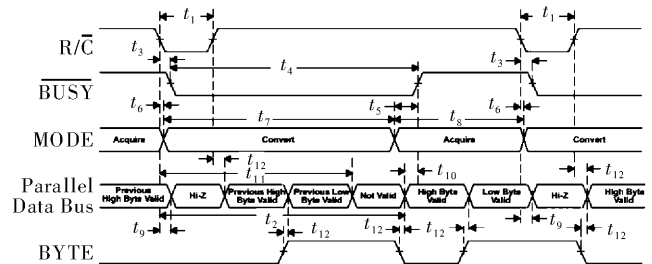


图3 ADS8517 的控制时序图

ADS8517 控制以及通道切换控制模块在按照图 3 所示的时序控制过程中,要根据采样率分频值设置寄存器中的值控制两次采样之间的时间间隔,即控制两个相邻 R/\bar{C} 信号下降沿之间的时间间隔,从而改变采样率。在控制多路选择模块进行通道切换时,根据建立的索引列表依次切换通道,切换要在图 3 中两个相邻 R/\bar{C} 信号低脉冲之间进行,这样才能确保当 A/D 采样时,通道已经切换完毕,输入信号已稳定,从而保证采样的准确性。

除此之外,在 FPGA 中开辟一个字长为 32 位的 FIFO,低 16 位存入 A/D 采样的数据,高 16 位存入该

(下转第 62 页)

3.4 软件结构

为实现航标控制系统软件的功能,并使所开发的软件具有高度的可靠性和可维护性,采用模块化设计方法和结构设计方法,构成指示航标控制软件总体结构,软件结构如图6所示,各模块功能分别为:初始化模块包含端口、参数的初始化;GPS数据处理模块用于收取、验证、处理GPS数据;工况获取模块用于A/D采集、门限监测、应答;中断模块用于定时中断、串口中断;串口通信模块用于GSM数据、GPS数据、应答信息;绞车控制模块用于绞车收缆、放缆、停止。

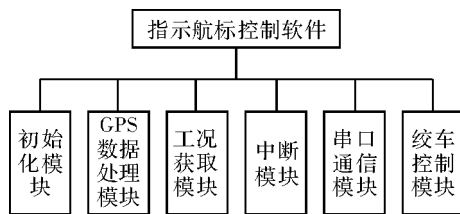


图6 软件结构图

监控中心控制软件主要负责监控记录航标测量数据,监测航标报警信息及控制航标调整位置。监控中心共享水位站水位信息,通过水位变化计算出航标缆索调整量,通过GSM单元发送操作指令,航标中心处理单元接收到调整指令后,开启绞车调整缆索,并检测调整长度,调整到位后自动停止绞车收放,若绞车在设定时间内未停止,单片机将强制停止绞车,防止过收缆

(上接第34页)

数据对应的通道号,FIFO半满,则给DSP发中断,由DSP将A/D采样后的数据读出,以便后续处理。要注意的是,FIFO深度不能设置得太浅,否则会很快达到半满,导致DSP对中断响应不过来^[4]。

3 结果验证

按照以上设计思路,完成硬件电路、FPGA内逻辑和DSP的程序设计,使用QuartusII中的在线逻辑分析仪SignalTapII Logic Analyzer对结果进行采样分析,图4所示为在DSP设置使能通道为30和31,并且均为单端的条件下采到的结果,与期望结果一致,类似这样通过多次改变控制条件采样分析发现,该系统可以正确地实现之前所描述的功能,从而验证了该设计的合理性。

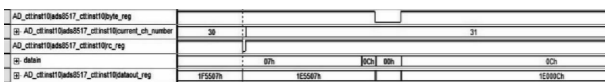


图4 在线逻辑分析仪采样结果

索使航标没入水中。

4 结束语

文中采用单片机与GSM模块相结合设计的遥测遥控航标设备已在某些水域航道得到应用,实际运行使用中,该设备工作稳定可靠。系统还可外加水深测量装置,根据水位深度变化控制缆绳收放,形成自闭环收放系统,实现无人值守全自动遥测遥控航标。

参考文献

- [1] 王英志. 航标学[M]. 大连:大连海事大学出版社,1997.
- [2] 王海鹏,曾嵘. 利用GSM网络实现配电网远程数据采集的可行性分析[J]. 高压电器,2002,38(5):12-15.
- [3] 曹尉青,韩冰. 利用GSM短消息实现远程监控[J]. 无线电工程,2002,32(10):21-23.
- [4] 吴允平,蔡声镇,李国祥,等. 三峡库区航标遥测终端系统的几个关键问题[J]. 微计算机应用,2007,12(28):1297-1300.
- [5] 吴允平,蔡声镇,刘华松,等. 航标遥测遥控信息系统的设计与实现[J]. 计算机工程,2006(32):253-254.
- [6] 李国祥,俞建林. 航标遥测遥控系统实现方案的探讨[J]. 水运工程,2006(8):74-78.
- [7] 张燕. 航标遥测遥控系统的功能、组成及技术实现的研究[D]. 大连:大连海事大学,2006.
- [8] 艾廷华,王洪. 电子航道图与航标遥测监控系统[J]. 武汉大学学报:信息科学版,2008,33(4):347-348.

4 结束语

由于DSP+FPGA协同工作平台的优越性,使其在信号处理中的应用越来越广泛。文中介绍了一种基于DSP+FPGA的平台,并利用ADS8517构成的一个具有多通道单端/差分的A/D信号采集系统。该系统的使能通道数可选,单端/差分方式可设置,采样率可改变,机动灵活,可以应用在诸多信号采集以及测试系统中。

参考文献

- [1] 华清远见嵌入式培训中心. FPGA应用开发入门与典型实例[M]. 北京:人民邮电出版社,2008.
- [2] Texas Instruments. 16-Bit, 200-kSPS, low-power, sampling analog-to-digital converter with internal reference and parallel/serial interface[M]. USA Texas: Texas Instruments Corporation, 2009.
- [3] Texas Instruments. TMS320C6713B Floating-Point Digital Signal Processor[M]. USA Texas: Texas Instruments Corporation, 2006.
- [4] Altera Company. Cyclone III device handbook[M]. USA: Altera Company, 2010.