

# 基于 SOPC 技术的脉冲多普勒引信信号处理器设计\*

周军伟, 刘 斌

(中国空空导弹研究院, 河南洛阳 471009)

**摘要:**针对脉冲多普勒引信信号处理发展需求和嵌入式系统信号处理的发展趋势,文中提出了一种基于 SOPC 技术的脉冲多普勒引信信号处理器设计,并详细分析了其硬件和软件设计的相关要点。本设计具有简洁的硬件结构和灵活的软件结构,能够在显著提高脉冲多普勒引信信号处理性能的同时使其具有良好的功能扩展和在线升级能力。

**关键词:**SOPC; 脉冲多普勒引信; 信号处理

**中图分类号:**TJ43 **文献标志码:**A

## The Design of Pulse Doppler Fuze Signal Processor Based on SOPC Technique

ZHOU Junwei, LIU Bin

(China Airborne Missile Academy, Henan Luoyang 471009, China)

**Abstract:** Based on developing requirement of pulse Doppler fuze signal processor and trend in development of embedded system for signal processing, the design of pulse Doppler fuze signal processor based on SOPC technique was presented in this paper and the key point of hardware and software design was analyzed in detail. This design simplifies hardware architecture and flexible software architecture, it can improve the performance of pulse Doppler fuze signal processor significantly, at the same time it possesses excellent ability of function extension and online upgrading.

**Keywords:** SOPC; pulse Doppler fuze; signal process

### 0 引言

未来空战中电磁环境十分复杂且典型作战目标都具有高速、高机动的能力,从而导致最高弹目交会速度的提高和对应的弹目交会持续时间的缩短。为了完成对目标的精确探测识别和高效毁伤,引信信号处理就需要能够充分利用弹目交会信息提高引信的抗干扰能力并具有高速、灵活的信号处理能力<sup>[1]</sup>。

脉冲多普勒引信是一种在国内外多种型号空空导弹中广泛应用的无线电近炸引信体制。引信信号处理系统是引信的信息中枢,其具有收发系统时序控制、弹目交会信息处理、目标回波信号检测以及引信起爆控制等功能,它的结构和性能对于引信整体性能的优劣有着至关重要的影响。

目前 MCU、DSP、FPGA 是现代嵌入式系统中广泛应用的 3 种主要处理器,并且其各具特点,而 SOPC 技术可以将 MCU、DSP、FPGA 的优点完美结合,是嵌入式系统信号处理的一个重要发展方向。文中基于

SOPC 技术完成了脉冲多普勒引信信号处理系统设计,其具有高速、灵活的特点,能够有效提高引信的自适应能力和抗干扰能力。

### 1 SOPC 技术简述

随着微电子技术的快速发展,传统的以微处理器和 DSP 为核心的嵌入式电子系统设计不断转向片上系统 SOC(system on a chip)设计。SOC 设计从整个系统性能要求出发,将微处理器、芯片结构、外围器件等各层次电路设计紧密结合起来,通过建立在全新理念上的系统硬件和系统软件的协同设计,在单个芯片上实现整个系统的功能<sup>[2]</sup>。

片上可编程系统 SOPC(system on a programmable chip)是最早由 Altera 公司提出的一种灵活、高效的片上系统设计方案。SOPC 与其他 SOC 设计技术相比,它的特点在于可编程性,也即它利用 FPGA 或 CPLD 器件的可编程性来进行 SOC 设计。根据在 FPGA 中使用的处理器 IP 类型的不同,SOPC 基于 FPGA 的实

\* 收稿日期:2012-05-20

作者简介:周军伟(1979-),男,河南卢氏人,工程师,硕士,研究方向:引信信号处理。

现一般有两种形式,一种是在 FPGA 中嵌入微处理器的 IP 硬核,如 Altera 的 Excalibur 系列的 FPGA 中植入了 ARM922T 嵌入式处理器,Xilinx 的 Virtex-II PRO 系列的 FPGA 中植入了 PowerPC405;另一种是在 FPGA 中嵌入微处理器的 IP 软核,如 Altera 提供了 Nios II 软核,Xilinx 提供了 MicroBlaze 软核<sup>[3]</sup>。相对硬核的 SOPC 实现形式,基于软核的 SOPC 实现方式更加灵活,可以完全根据实际系统的应用需求进行处理器硬件资源的剪裁,并可以选择实现多个处理器核,可以充分体现 SOPC 技术的特点。

Nios II 嵌入式处理器是 Altera 公司于 2004 年 6 月推出的第二代用于可编程逻辑器件的可配置的软核处理器。它基于哈佛结构的 RISC 通用嵌入式处理

器软核,能与用户逻辑相结合编程至 Altera 的 FPGA 中,性能超过 200 DMIPS。文中以 Nios II 为嵌入式处理器,开展基于 SOPC 技术的脉冲多普勒引信信号处理系统设计。

## 2 基于 SOPC 技术的脉冲多普勒引信信号处理器硬件系统设计

基于 NiosII 的脉冲多普勒引信信号处理系统的硬件电路设计如图 1 所示。由于采用 SOPC 技术能够充分利用系统资源提高了系统集成度,除了采样电路、422 接口电路、配置电路、晶振以及电源等必需的外围器件以外,系统只需要一片大容量的 FPGA 芯片。脉冲多普勒信号处理器的串行通讯、收发时序控制、自炸定时、目标回波检测、起爆控制等功能都在一片 FPGA 中利用 SOPC 技术编程实现。

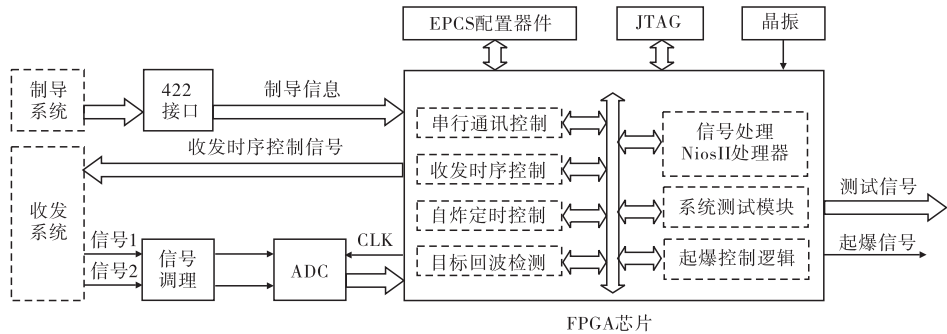


图 1 硬件系统组成原理简图

从图 1 中可知,基于 SOPC 技术的脉冲多普勒引信信号处理器的硬件系统设计有如下特点:

- 需要外部器件较少,硬件结构非常简洁,体积小可以满足弹上狭小空间的要求。
- 处理能力具有可扩展性,通过选择大容量的 FPGA 芯片,可以方便的扩展系统处理能力。
- 信号处理的主要功能通过软件设计实现,具有高速、灵活、易扩展的特性。

## 3 基于 SOPC 技术的脉冲多普勒引信信号处理器软件系统设计

### 3.1 脉冲多普勒引信信号处理器软件系统体系结构

采用 SOPC 技术后,可以将脉冲多普勒引信信号处理功能进行分解、划分,并选择合理的软硬件实现方法。基于 SOPC 技术的脉冲多普勒引信信号处理器的软件设计体系结构如图 2 所示。

软件体系可以大致分为两个部分,一个部分是微处理器结构及运行软件设计,该部分主用于处理灵活的算法、实时性相对较弱的工作状态控制等内容,如

自炸定时、目标恒虚警算法、串行通讯等,另一个部分为高速运算与逻辑控制设计,该部分主要用于实时性要求高、高速密集运算等部分内容,如起爆控制逻辑、收发时序、目标回波 FFT 变换等。

### 3.2 微处理器构建及运行软件设计

#### 1) 微处理器的构建

Altera 公司提供的 SOPC Builder 为微控制器的开发设计提供了标准化的图形环境,允许用户选择和自定义 NiosII 处理器、存储器、标准外围设备、用户自定

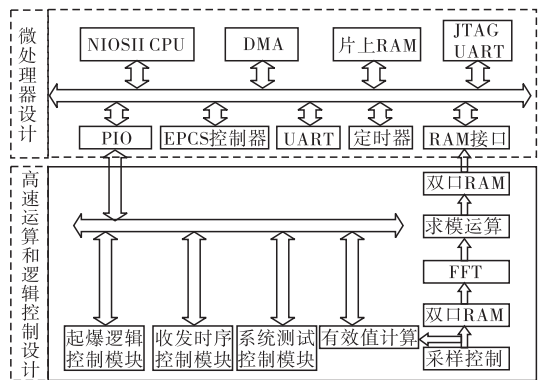


图 2 基于 SOPC 技术的脉冲多普勒信息信号处理软件体系结构

义外围设备等组件和接口,并自动生成必要的总线逻辑,将这些组件通过 Avalon 总线连接到一起<sup>[4]</sup>。除了 NiosII 处理器,根据功能需求定制的外设主要有定时器、片上 RAM、UART、输入输出 IO 等,此外为了能

够实现软件调试定制了 JTAG\_UART 组件,为了软件的配置启动定制了 EPCS 控制器,为了实现外部数据高速输入定制 DMA 组件。

2) 软件开发及系统启动过程

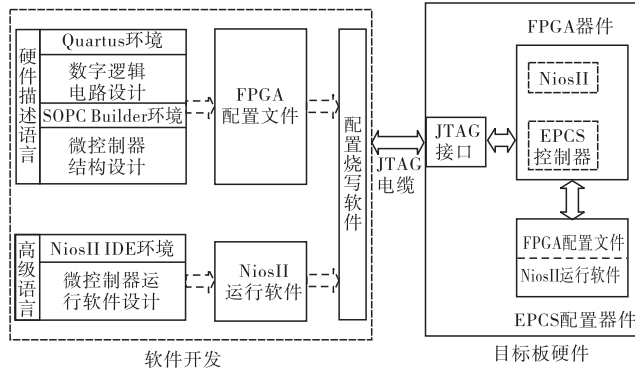


图 3 软件开发及启动过程示意图

基于 SOPC 设计的软件开发主要包括基于硬件描述语言的数字逻辑电路设计 NiosII 微控制器构建和基于高级语言的微控制器运行软件设计两个部分。通过 SOPC Builder 定制的微控制器模块与 Quartus 软件中的其它设计模块,经过设计综合、布线最终可以获得 FPGA 的配置文件。通过 Altera 公司提供的 NiosII 软件开发集成环境 NiosII IDE 可以利用 C 或汇编语言完成微控制器的运行软件设计。软件开发完成后,可以通过 JTAG 接口电缆,烧写配置到信号处理板的 EPCS 控制器中<sup>[5]</sup>。当系统硬件电路加电后,首先从 EPCS 配置器件中读取 FPGA 的配置文件完成 FPGA 的配置工作,然后将 NiosII 中运行软件加载到片内 RAM 中,提升信号处理软件的运行速度。

3.3 高速运算和逻辑控制设计

在微控制器中利用软件实现大量高速密集的数字运算需要占用大量的处理器时间,因而为了获得更高的性能,可以充分利用 FPGA 中的硬件资源完成相关的运算和高速逻辑。在脉冲多普勒引信信号处理中主要的高速运算包括有效值计算和目标回波频谱计算等。

1) 有效值的数字化计算

目标回波信号有效值可以用数字化的方法来近似计算,在 FPGA 中可以采用如图 5 所示的方法来完成。

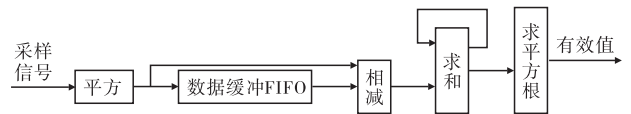


图 5 数字化有效值计算示意图

当采样系统采样频率达到回波多普勒信号频率的 6~8 倍,即可以通过上述方法达到满意效果。通过调整数据缓冲 FIFO 的深度,可以灵活的改变有效值计算的累积时间。

2) 目标回波频谱计算

目标回波频谱获取主要依靠 FFT 运算和求模运算来实现。FFT(快速傅里叶变换)是数字信号处理中一个非常重要的基本变换,它能将一个时域信号转换成频域信号,其实现需要大量的密集的乘加运算。坐标旋转数字计算机 CORDIC (coordinate rotations digital computer)算法的基本思想是通过一系列固定的、与运算基数相关的角度的不断偏摆以逼近所需的旋转角度,可以用于计算三角函数、双曲函数等<sup>[6]</sup>。

利用 Altera 公司提供的经过严格验证的 FFT 运算的 IP 核和 CORDIC 运算的 IP 核,通过设置相关参

3) 软件的工作流程

NIOSII 中运行软件的功能是引信信号处理中最灵活、最核心的部分,它可以充分利用制导信息、目标回波信息等完成交会目标的识别、起爆功能,同时也具有完成干扰的识别并采用相应抗干扰措施的功能。软件工作示意图如图 4 所示。

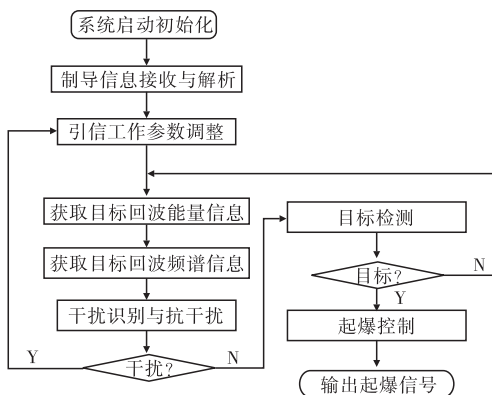


图 4 软件工作示意图

常着靶时不作用,在非正常着靶时作用,自毁装置的启动过载阈值应大于弹体正常着靶作用时的过载值,小于非正常着靶作用时的过载值。根据表 2 中的仿真结果,自毁装置的启动过载阈值应大于 528.0g,小于 1465.0g,为提高可靠性,增加 20% 的余量。因此,可设定火箭弹自毁装置启动过载阈值在 800 ~ 1000g 之间,便可实现弹药失效后自毁的战术功能。

### 3 总结

自毁装置启动过载阈值设定关系到弹药在因机械故障等原因无法实现既定的战术功能和作战使命情况下的适时自毁,是弹药研制中的关键环节。但因弹药机械故障失效后多数情况下为弹体的非正常着靶,试验研究较为困难,且周期长、耗资大。文中采用数值仿真方法,通过弹体正常着靶试验数据标定数值仿真材料及接触控制参数,通过有限元仿真获得弹体

非正常着靶情况下结构的动力学响应特征,并综合分析获得自毁装置启动过载阈值。该方法可为弹药自毁装置的设计提供技术支撑。

#### 参考文献:

[1] 徐培德,谭东风. 武器系统分析[M]. 长沙:国防科技大学出版社,2001:94-150.  
 [2] 皮爱国,黄风雷. 大长细比弹体斜侵彻混凝土靶的动力学响应[J]. 爆炸与冲击,2007,27(4):331-337.  
 [3] 皮爱国,黄风雷. 大长细比结构弹体侵彻 2024-O 铝靶的弹塑性动力响应[J]. 爆炸与冲击,2008,28(3):252-259.  
 [4] 时党勇,李裕春,张胜民. 基于 ANSYS/LS-DYNA 8.1 进行显式动力分析[M]. 北京:清华大学出版社,2005.  
 [5] 才鸿年,赵宝荣. 金属材料手册[M]. 北京:化学工业出版社,2011.

(上接第 66 页)

数可以实现 FFT 运算和求模运算,从而有效缩短开发时间。目标回波频谱计算流程示意如图 6 所示。

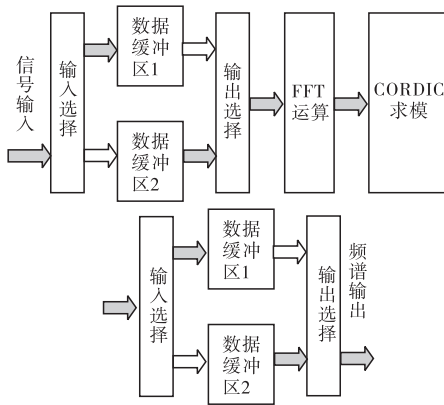


图 6 目标回波频谱计算流程示意图

为了提高脉冲多普勒引信信号处理的实时性,采用乒乓操作来提高数据的处理速度。乒乓操作通过输入选择和输出选择单元按节拍、相互配合的切换,实现数据的无间断流水传输<sup>[7]</sup>。通过在 FFT 运算和 CORDIC 求模处理的输入之前和输出之后采用乒乓操作,实现数据的无缝输入缓冲、处理和输出缓冲。

### 4 结论

基于 SOPC 技术构建的脉冲多普勒引信信号处

理器在硬件设计方面能够最大程度的简化系统硬件的设计,在软件设计方面能够完全依据引信功能需求来定制所需微控制器,实现了 FPGA 内部软硬件功能分配和协同设计,其主要功能都依靠软件编程来完成,从而提高引信信号处理的功能扩展能力和升级能力,能够满足引信不同研制阶段及后续性能升级的需求。

#### 参考文献:

[1] 袁正,李元级. 现代空空导弹引信技术[J]. 航空兵器,2000(2):11-15.  
 [2] 李兰英. NiosII 嵌入式软核 SOPC 设计原理及应用[M]. 北京:北京航空航天大学出版社,2006.  
 [3] 孙恺,王苗苗,魏洪兴,等. 嵌入式 CPU 软核综述[J]. 计算机工程,2006,32(7):6-9.  
 [4] 孟芳,于立佳,张文志. 基于 NIOSII 的 SOPC 系统设计分析[J]. 无线电通讯技术,2012,38(1):73-76.  
 [5] 张学森,杜春鹏,孙实泽. NIOSII 处理器在雷达信号处理中的应用[J]. 舰船电子工程,2007,27(4):126-128.  
 [6] 张明友. 数字阵列雷达和软件化雷达[M]. 北京:电子工业出版社,2008.  
 [7] 吴继华,王诚. Altera FPGA/CPLD 设计:高级篇[M]. 北京:人民邮电出版社,2006.