

# 基于一种交织码的多位翻转容错技术研究

刘小汇 张 鑫 陈华明

(国防科技大学电子科学与工程学院卫星导航研发中心, 湖南 长沙 410073)

**摘 要:** 随着技术的发展和核心电压的降低, 存储器更易受瞬时错误(软错误)影响, 成为影响航天器件可靠性的主要原因。错误检测与纠正(EDAC)码(也称错误纠正码)常用来对 SRAM 型存储器中的瞬时错误进行纠正, 由单个高能粒子引起的多位翻转错误(SEMU)是普通纠一检二(SEC-DED)编码所无法处理的。提出了一种交织度为 2 的(26,16)交织码, 该码由两个能纠正一位随机错误、二位突发错误的(13,8)系统码组成,(26,16)交织码能够纠正单个码字中小于二位的随机错误和小于四位突发错误(DEC-QAEC)。通过理论分析和硬件平台实验表明, 该交织码在存储资源占用率、实时性相当情况下可靠性优于同等长度的 SEC-DED 码, 能有效提高 SRAM 型存储器抗多位翻转错误的能力。

**关键词:** 静态存储器; 错误纠正码; 单字节多位翻转; 随机错误; 突发错误

**中图分类号:** TN967.1    **文献标识码:** A    **文章编号:** 1003-0530(2012)07-1014-07

## Study of the Multiple Bit Upset Tolerant Technology Base on a Interlaced Code

LIU Xiao-hui ZHANG Xin CHEN Hua-ming

(Satellite Navigation R&D Center, School of Electronic Science and Engineering,  
National University of Defense Technology, Changsha, Hunan 410073, China)

**Abstract:** As technology scales and the supply voltage decreases, memories are becoming more prone to transient errors (also called soft errors). Thus memories are the major causes of reliability problems in modern integrated circuits. Error detect and correct codes (also called error correct codes) have been well-known used to correct transient errors in SRAMs memory, a single high-energy particle affects several adjacent memory cells upsets (Single Event Multi-Bit Upset), could not be corrected by single error correcting codes, such as Single-Error-Correcting Double-Error-Detecting (SEC-DED) code. A (26, 16) interlaced code was proposed for less than two random errors correction, less than quadruple adjacent error correction (DEC-QAEC), which was composed by two systematic (13, 8) codes for correcting single errors and adjacent two errors. Theoretic analysis and simulation results show that the interlaced code is better than SED-DED code of the same length on the reliability under the equivalent memory overhead and the real-time performance. The reliability of SRAMs can be obviously improved protected against the multi-bit upset with the proposed code.

**Key words:** SRAM; error correct codes; single event multiple upset; random errors; burst errors

## 1 引言

宇宙射线和高能粒子是造成空间运行的静态存储器(SRAM)瞬时错误的主要原因<sup>[1]</sup>, 存储单元的瞬时

错误可以分为单比特翻转(SBU Single Bit Upset)错误和多比特翻转(MBU Multi-Bit Upset)错误, 对于单比特翻转错误, 主要由于高能粒子击中存储器的单个存储单元, 造成单个比特位发生“0”“1”翻转, 采用常用的

纠错编码(ECC Error Correction Codes)就能有效克服其对存储器的影响,常用的纠错编码有单纠错(SEC Single Error Correcting)的汉明码和单纠错双检错(SEC-DED Single Error Correcting Double Error Detecting)的扩展汉明码;对于多比特翻转,实际上包括单个粒子引起的多位翻转(SEMU Single Event Multiple Effects)和一位翻转的积累,后者可以通过缩短刷新周期来消除,目前讨论的多比特翻转多指 SEMU。它是由单个高能粒子以某种入射角击中存储器的敏感区造成相邻存储单元的多个瞬时错误<sup>[2][3]</sup>,也称之为多比特突发错误(Burst Error),通常的 SEC/SEC-DED 技术已经不能满足其纠正多位错误的需求,为了能够纠正更多位错误,一类方法是使用多个存储器交错排列成阵列<sup>[4]</sup>,将单个码字分散到各个存储器上,使得在一个存储器上产生逻辑相邻的多位错误分散到不同的码字中,从而使得传统的 SEC-DED 方法可以适用,但是这样会造成硬件规模的扩大;另一类方法是使用纠错能力更强的 ECC 技术<sup>[5]-[8]</sup>,如能纠正 2 位或更多位错误的 BCH (Bose Chaudhuri Hocquenghem) 码、RS (Reed-Solomon) 码、矩阵码等,然而这些相对复杂的纠错码会带来实现时更多的校验位开销、存储位开销及编译码处理延时等。

对于 SRAM 中存储位的 SEMU 错误模式,是单粒子翻转(SEU Single Event Upset)近年来研究的热点,Riaz 等人发现在某些 90nm 的 SRAM 中能够产生最大 13 比特的突发错误<sup>[9]</sup>,Daniele 等人对 150nm 的 SRAM 的实验研究表明,SEMU 造成 SRAM 发生翻转多集中在 2、3、4 位<sup>[10]</sup>,张庆祥等人在用重离子加速器对 SRAM 进行轰击的实验中发现,经过轰击,存储位由 0 变 1 的概率要远大于由 1 变 0 的概率<sup>[11]</sup>。综合以上的研究不难发现,在 SRAM 中发生的 SEMU 的特点为:(1)主要以 4 位及以下的错误为主,其他更高位的错误也同时存在;(2)发生错误的存储位在物理上可以是相邻的,也有可能间隔若干个存储位。

因此对于 SEMU 造成的 SRAM 错误,并不是单纯的多个相邻比特位同时出现翻转,而有可能出现更复杂的模式,如图 1 所示。于此,若采用 ECC 的解决方法,纠错编码本身需要具有更强的纠正随机错误的能力,以适应多种错误模式,然而更强的纠错能力会带来更多的内存开销和处理延时,这些代价往往使得强纠错能力的编码在实际应用中难以实现。

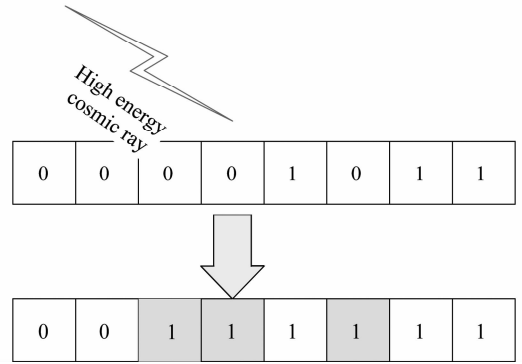


图1 多位翻转的错误模式

Fig.1 A fault mode of SEMU

本文针对上述 SRAM 中 SEMU 错误类型的描述,采用了一种由 (13,8) 码组成的交织度为 2 的 (26,16) 码,该交织码能够纠正小于两位随机错误以及小于四位突发错(DEC-QAEC Double Error Correction Quadruple Adjacent Error Correction),详细说明了该交织码的编译码原理,然后分析了相比同长度 SEC-DED 码的可靠性,以及实现资源的占用率和处理的实时性。最后通过硬件仿真平台上的实验验证,说明此交织码在资源使用率和实时性相当的基础上,可靠性优于同等长度的 SEC-DED 码。

## 2 编码的设计及实现

### 2.1 编码的设计

对于一个码长为  $n$  的码,信息位长度为  $k$ ,若要检测或纠正长度为  $b$  的突发错误,希望码字具有最小的冗余度  $r=n-k$ ,根据文献[12]的定理:  $(n,k)$  的线性码,若要能纠正所有长度不大于  $b$  的突发错误,则  $n-k \geq 2b$ 。其中  $b \leq (n-k)/2$  称为 Reiger 限,具有此性能的码称为最佳纠突发错误码。由于存储器多是以单字节的整数倍为单位进行读写操作,因此若将编码的信息位长度  $k$  设为 8,则要能纠正长度不大于 2 的突发错误的码,其满足 Reiger 限的码长最小为 12,但经研究,不存在能纠正两位突发错误(包括一位随机错误)的 (12,8) 码<sup>[13]</sup>,于是码长最小只能为 13。另外由 Saeed 的分析可知<sup>[14]</sup>,能纠正一位随机错误,两位突发错误的码,其校正子的个数为:

$$B(2) = C_n^0 + C_n^1 + (n-1) = 2n \leq 2^{n-k} \quad (1)$$

当  $k=8$  时,  $n=13$  是满足上式的最小整数,因此需要设计一种能纠正一位随机错误、两位突发错误的 (13,8) 码,此码的校验矩阵具备以下特征:1) 任一两

个列向量线性无关,这样能够纠正所有的一位随机错误;2)任意相邻两列向量的异或(XOR)线性无关,这样能够纠正所有两位突发错误。若 $(n, k)$ 线性码要具有能纠正任何长度 $\leq b$ 的突发错误能力,其充要条件是哪两个长度 $\leq b$ 突发的任意组合不能作为一个码字<sup>[15]</sup>。经过计算,下式即为满足以上要求的一种 $(13, 8)$ 码的校验矩阵:

$$H = \begin{bmatrix} 0101100010 & 000 \\ 1011011001 & 000 \\ 1100010100 & 100 \\ 1101001000 & 010 \\ 0110110100 & 001 \end{bmatrix} \quad (2)$$

假设要传输的码字为 $X = [D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0 C_4 C_3 C_2 C_1 C_0]$ ,其中 $D_7 \sim D_0$ 为数据位, $C_4 \sim C_0$ 为校验位,由 $HC^T = 0$ 可得校验位的表达式:

$$\begin{aligned} C_4 &= D_6 \oplus D_4 \oplus D_3 \\ C_3 &= D_7 \oplus D_5 \oplus D_4 \oplus D_2 \oplus D_1 \\ C_2 &= D_7 \oplus D_6 \oplus D_2 \oplus D_0 \\ C_1 &= D_7 \oplus D_6 \oplus D_4 \oplus D_1 \\ C_0 &= D_6 \oplus D_5 \oplus D_3 \oplus D_2 \oplus D_0 \end{aligned} \quad (3)$$

从而相应的校正子为

$$\begin{aligned} S_4 &= D_6 \oplus D_4 \oplus D_3 \oplus C_4 \\ S_3 &= D_7 \oplus D_5 \oplus D_4 \oplus D_2 \oplus D_1 \oplus C_3 \\ S_2 &= D_7 \oplus D_6 \oplus D_2 \oplus D_0 \oplus C_2 \\ S_1 &= D_7 \oplus D_6 \oplus D_4 \oplus D_1 \oplus C_1 \\ S_0 &= D_6 \oplus D_5 \oplus D_3 \oplus D_2 \oplus D_0 \oplus C_0 \end{aligned} \quad (4)$$

### 2.1.1 最小距离

上式中 $H$ 的最小汉明距离为 $d_{\min} = 3$ ,能够纠正一位随机错误或两位突发错误(SEC-DAEC Single Error Correction Double Adjacent Error Correction)。对比同等长度的码,由生成多项式 $g(x) = 1+x^2+x^4$ 得到的 $(13, 8)$ 循环扩展码, $g(x)$ 得到的循环码最小距离为2,增加一位校验位后最小距离为3,能纠一位错误的同时检测两位错误。

### 2.1.2 纠错能力

对于 $d_{\min} = 3$ 的分组码,能够保证检测出所有最多 $d_{\min} - 1 = 2$ 的错误模式。设纠突发两位错误 $(13, 8)$ 码为 $X_1$ 码, $(13, 8)$ 扩展循环码为 $X_2$ 码,两种码的重量分布如表1。

根据重量分布与不可检错概率的公式

$$P_u(E) = \sum_{i=1}^n A_i p^i (1-p)^{n-i}$$

当转移概率 $p = 10^{-2}$ 时,纠两位突发错的 $(13, 8)$ 码

的不可检测概率为 $8.36 \times 10^{-6}$ ,而扩展的 $(13, 8)$ 码的不可检测概率为 $5.37 \times 10^{-4}$ ,高于纠两位突发错误码。

表1 两种纠错码的重量分布

Tab. 1 Weight distribution of two error correct codes

	$A_0$	$A_1$	$A_2$	$A_3$	$A_4$	$A_5$	$A_6$
$X_1$ 码	1	0	0	9	24	42	54
$X_2$ 码	1	0	6	0	31	0	132

	$A_7$	$A_8$	$A_9$	$A_{10}$	$A_{11}$	$A_{12}$	$A_{13}$
$X_1$ 码	52	39	22	10	3	0	0
$X_2$ 码	0	63	0	22	0	1	0

### 2.1.3 交织码的设计

为了实现更强的纠错能力,常用的方法有乘积方法或交织方法。乘积码通常为二维码,假设最小距离分别为 $d_1$ 和 $d_2$ 的两个码 $C_1(n_1, k_1)$ 与 $C_2(n_2, k_2)$ ,其组成的乘积码可以纠正 $t \leq \lfloor (d_1 d_2 - 1) / 2 \rfloor$ 个随机错误,同时可纠 $l \leq \max(n_1 t_2, n_2 t_1)$  ( $t_1 = \lfloor (d_1 - 1) / 2 \rfloor$ ,  $t_2 = \lfloor (d_2 - 1) / 2 \rfloor$ )的突发错误。由于新的乘积码为 $(n_1 n_2, k_1 k_2)$ 码,其优势在于码字长度的增加换来能纠正大量的随机和突发错误的的能力。但乘积码的效率为 $\eta = k_1 k_2 / n_1 n_2$ ,比任意一个原码的效率都低。交织码是一种由短有效纠突发错误码构造长有效纠突发错误码的常用方法,若将纠突发错误能力为 $b$ 的 $(n, k)$ 线性码以交织深度为 $i$ 做交织,得到 $(in, ik)$ 线性码能够纠最大长度为 $b \times i$ 的突发错误。且交织码与原码的性质相同,效率 $z = 2b / (n - k)$ 相同。针对本文的工程应用背景,存储器容量有限需要效率较高的码,且以字(16bit)或字节(8bit)对存储器进行操作,因此采用交织的方式,将 $(13, 8)$ 码构成交织度 $i = 2$ 的 $(26, 16)$ 码,若 $X_1$ 和 $X_2$ 分别表示两个 $(13, 8)$ 码,则新组成的 $(26, 16)$ 交织码为 $Y$ ,具有如下形式:

$$Y = [D1_7 D2_7 \cdots D1_0 D2_0 C1_4 C2_4 \cdots C1_0 C2_0] \quad (5)$$

其中 $D1_7 \sim D1_0, D2_7 \sim D2_0$ 分别表示 $X_1$ 和 $X_2$ 的数据位, $C1_4 \sim C1_0, C2_4 \sim C2_0$ 分别表示 $X_1$ 和 $X_2$ 的校验位。新组成的交织码最佳度 $z = 2ib / (ni - ki) = 0.8$ 与原码相同,具有纠正不大于 $4(b \times i)$ 个突发错误和小于2个随机错误的的能力,并且由于 $(13, 8)$ 码能够纠正1位随机错误和2位突发错误,因此新组成的交织码还具备纠正分别存在于 $X_1, X_2$ 上的1位随机错误,和形如 $D1_j \cdots D2_j \cdots D2_{j-1}$ 和 $D2_i \cdots D1_j \cdots D1_{j-1}$ 样式的3位错误的能

力,同时也能纠正形如  $D1_i \cdots D1_{i-1} \cdots D2_j \cdots D2_{j-1}$  样式的 4 位错误的的能力。如图 2 是部分 3,4 位错误的样式。

	$D1_7$	$D2_7$	$D1_6$	$D2_6$	$D1_5$	$D2_5$	...	$C1_0$	$C2_0$
Bit position	25	24	23	22	21	20	...	1	0
Fault style 1									
Fault style 2									
Fault style 3									
...									

图 2 部分 3,4 位组合错误的样式

Fig. 2 Portion of 3 and 4 bits combination faults

### 2.2 编码及译码的实现

由于反熔丝型的 FPGA 是一次性烧写的非易失性器件,不存在存储位翻转的现象,能够有效应用于空间环境,所以使用此类 FPGA 器件实现对 SRAM 的读写和对数据的编译码,如图 3 所示为处理器(MPU Micro Processor Unit)通过 FPGA 对 SRAM 存储器进行读写的原理框图,SRAM 有 2 片,一片存放数据,另一片存放数据位对应的校验位。外部处理器以 16 比特为单位对 SRAM 进行读写操作,当向数据 SRAM 写操作时, FPGA 对写入的数据进行编码,编码结果写入另一片校验位的 SRAM 中;当处理器对数据 SRAM 进行读取时, FPGA 首先读取数据位和校验位,并去交织启动两个码字的译码操作,然后将译码纠错后的结果回写到 SRAM 相应的位置中,同时将结果向外部输出,作为读取的数据内容。此外,为了防止错误的积累, FPGA 在任务空闲时需要将 SRAM 进行刷新。

位进行交错抽取,奇数位和偶数位的数据分别输入 2 个编码器进行编码,编码结果分别按照数据位和校验位的形式存放在不同的 SRAM 中。同理译码实现如图 5,将数据位和校验位分别输入译码器后,译码的结果交织后输出给外部处理器,同时译码的结果将原 SRAM 中的内容覆盖。

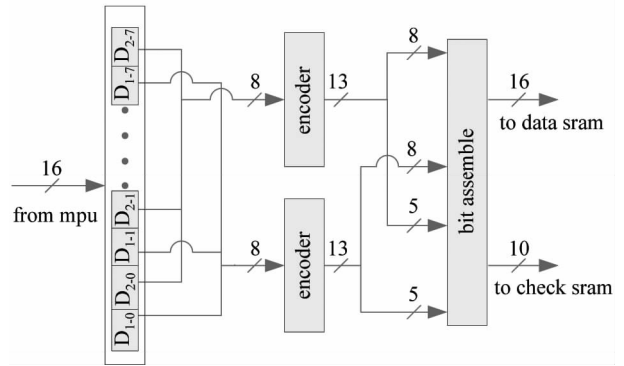


图 4 编码原理图

Fig. 4 Block diagram of encoder

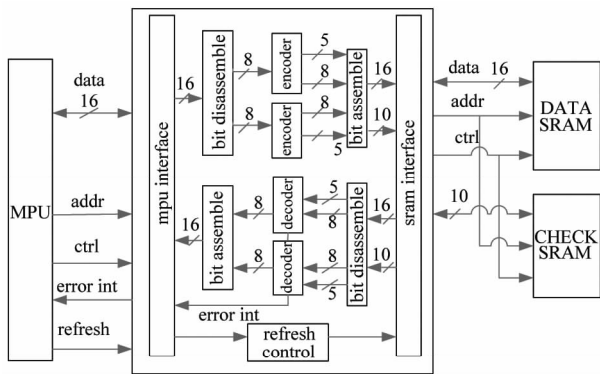


图 3 编译码的实现原理图

Fig. 3 Principle of encoder and decoder

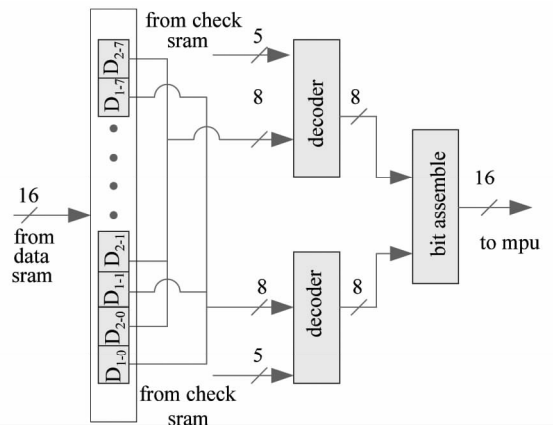


图 5 译码原理图

Fig. 5 Block diagram of decode

其中编码实现的框图如图 4 所示,将 16 位的存储

### 3 性能分析

#### 3.1 可靠性分析

为了分析方便,将模型简化,假设存储器中的瞬时错误服从 Poisson 分布,且每一位发生错误的概率都是统计独立的<sup>[16][17]</sup>,若每一位存储单元的单粒子翻转率为 $\lambda$ ,则在 $t$ 时间内发生单粒子翻转的概率为

$$\sigma(t) = 1 - e^{-\lambda t} \quad (6)$$

于是每个码字( $n$  比特)中 $t$ 时间内发生 $i$ 位错误的概率为

$$P_i(t) = C_n^i \sigma(t)^i (1 - \sigma(t))^{n-i} \quad (7)$$

且 $\sum_{i=0}^n P_i = 1$ 。对于交织(26,16)码,能够纠正1位随机错误、部分2位随机错误,小于4位的组合错误(包括突发错)。不考虑刷新操作对可靠性的影响情况下,在时间段 $t$ 内单位存储器( $M$ 个码字)的可靠性为:

$$R_1(t) = [P_0(t) + P_1(t) + P_{2\_portion}(t) + P_{3\_portion}(t) + P_{4\_portion}(t)]^M \quad (8)$$

其中 $P_{2\_portion}$ 是分别分布在两个交织的(13,8)码的一位随机错误的概率。

$$P_{2\_portion} = [C_{n/2}^1 \sigma(t) [1 - \sigma(t)]^{n/2-1}]^2 \quad (9)$$

$P_{3\_portion}(t)$ 和 $P_{4\_portion}(t)$ 是部分3位错误和4位错误的概率,它们分别是 $P_3(t)$ 和 $P_4(t)$ 的子集。由于单个(13,8)码能够纠正1位随机错误和2位突发错误,2个(13,8)码组成的交织码,其纠正部分3位错误的概率为:

$$P_{3\_portion}(t) = 2C_{n/2}^1 (n/2-1) \sigma(t)^3 (1 - \sigma(t))^{n-3} \quad (10)$$

其中 $n=26$ 为交织码单个码字的码长,同理,能纠正部分4位错误的概率为:

$$P_{4\_portion}(t) = (n/2-1)(n/2-1) \sigma(t)^4 (1 - \sigma(t))^{n-4} \quad (11)$$

而对于 SEC-DED 的(13,8)扩展循环码,在一个码字中只能纠正一位随机错,则时间 $t$ 内单位存储器的可靠性为:

$$R_2(t) = \{ [1 - \sigma(t)]^m + C_m^1 \sigma(t) [1 - \sigma(t)]^{m-1} \}^{2M} \quad (12)$$

其中 $m=13$ 为码字的长度。图6为在单粒子翻转率 $\lambda = 10^{-5}$  upsets/(bit day)和存储器大小 $M=1024$ byte的条件下,(26,16)交织码、(13,8)扩展循环码对应整个存储器( $M$ 个byte)的可靠性。由图可见,相同存储器大

小下,使用交织码的可靠性明显优于(13,8)扩展循环码。

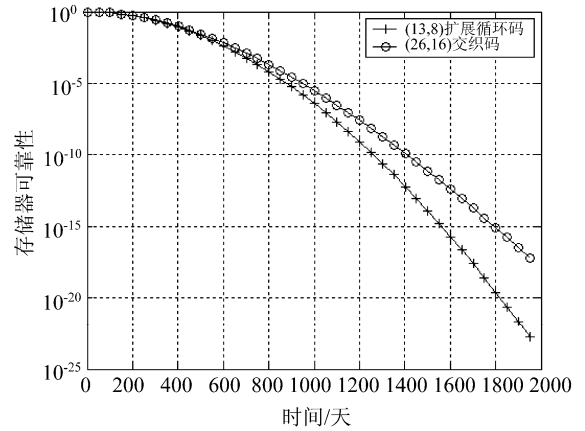


图6 两种纠错编码下存储器可靠性

Fig. 6 The reliability of a memory

#### 3.2 资源占用率分析

资源分析包括编码效率分析和实现编译码时消耗的存储位分析。 $(n, k)$ 码的编码效率定义为 $\eta = k/n$ ,即信息位在码字中的占用率,显然编码效率越高的码,其冗余的校验位就相应的越低。对于(26,16)码, $\eta = 0.615$ 。

##### 3.2.1 编码资源

一般 $(n, k)$ 码,由于其生成矩阵的组成形式为 $[I_k | Q_{k \times (n-k)}]$ ,因此采用普通异或方式实现编码时,实际只需要存储生成矩阵的 $k+1$ 到 $n$ 列的数据,对于(13,8)码,消耗的存储资源为 $8\text{bit} \times 5$ ,即5个字节。两个(13,8)码交织组成(26,16)码,其生成矩阵的存储空间可以共用。

若采用查找表的方式实现编码,则每个编码器需要将 $8\text{bit}$ 数据全部作为地址输入,输出为 $5\text{bit}$ 校验位,每个编码器共需要 $2^8 \times 5\text{bit} = 512 \times 5\text{bit}$ 的存储空间,在双口RAM中以字节方式存储,两个编码器共用存储空间,则(26,16)码共需要512个字节来实现编码。

##### 3.2.2 译码资源

$(n, k)$ 码的译码过程为: $S = RH^T$ ,其中 $R$ 为接收码字, $H$ 为形式如 $[P_{(n-k) \times k} | I_{(n-k) \times (n-k)}]$ 的校验矩阵, $S$ 为校正子。采用普通异或方式译码时,为了使得校正子和错误图案迅速对应,最大需要保存 $2^{n-k} = 32$ 个错误图样。对于(13,8)码每个错误图样的位长为 $13\text{bit}$ ,总共需 $13\text{bit} \times 32$ 存储容量的存储表,同时校验矩阵需要 $5\text{bit} \times 8$ 的存储空间,由于两个(13,8)码的存储空间

可以使用双口 RAM 实现共用,当以字节方式存储错误图样和校验矩阵时,(26,16)码共需要  $32 \times 2 + 8 = 72$  个字节长度的存储空间实现译码。

若采用查找表的方式实现译码,可以直接由查找表输出错误图样,对于(13,8)码,相应的查找表的大小为  $2^{13} \times 13\text{bit} = 8192 \times 13\text{bit}$ ,因此一个(13,8)码译码器共需要 16384 个字节长度的存储表来实现译码。由于存储空间可共用,则(26,16)码需要 16384 个字节。

### 3.3 实时性分析

在 FPGA 设计中,实现交织码的编码和译码主要有两种方式:一种是采用由可编程逻辑器件中的组合逻辑来实现,另外一种是采用查找表方式实现。

采用组合逻辑方式实现时,FPGA 中电路时延主要由实现编译码的异或逻辑数量和器件本身的速度特性决定,相对于查找表,时延相对较大。而采用查找表方式实现时,需要占用一定的可编程逻辑器件中的 BRAM 硬件存储资源,且随着信息位和校验位的增加,会带来存储资源开销指数倍的增大,同时为了保证查找表本身 BRAM 的抗辐射性能,在实际设计还需要加入 ACTEL 专门为其 BRAM 加固设计的 EDAC(错误检测与校正)IP 核<sup>[18][19][20]</sup>,但这种方式实现的电路时延

可显著降低,因此在实际设计中需要根据资源和实时性进行折衷考虑。

## 4 仿真实验及结果

根据以上分析,采用 ACTEL 公司的反熔丝型 FPGA RTAX4000S-1-CQ352 进行(26,16)交织码、(13,8)扩展循环码的实现和性能比较,结果列表如下,其中存储器(1024byte)可靠性是在单粒子翻转率  $\lambda = 10^{-2}$  upsets/(bit day) 条件下理论计算得到的,由表可知,与(13,8)扩展循环码相比,(26,16)交织码具有较强的纠错能力,同理也具有单位时间内更高的可靠性。在资源占用量上,由于(26,16)交织码采用(13,8)码的结构,因此无论是错误图案还是生成矩阵、校验矩阵,均与(13,8)码相当,由于(26,16)交织码采用了两个编译码器并行实现的模式,对整个存储器读写操作一次的时延约为(13,8)码的一半。从交织码两种实现方式的仿真实验表明,采用查找表方法实现交织码时,其时延约为采用组合逻辑实现时延的一半,即采用查找表可显著降低时延,适应于工作频率更高的应用。表中的编译码延时为对整个存储器(1024 个 byte)操作的延时。

表 2 两种纠错码的性能比较

Tab. 2 Performance comparison of the two error correct codes

纠错能力	存储器可靠性	编码资源		译码资源		编码延时/us		译码延时/us	
		LUP	XOR	LUP	XOR	LUP	XOR	LUP	XOR
小于 2 位随机 (26,16)交织码 错误及小于 4 位 突发错误	$2.13 \times 10^{-6}$	2B,2C	0B,56C	64B,2C	0B,58C	1.763	2.89	2.32	5.87
(13,8)扩展循 环码 1 位随机错误	$3.89 \times 10^{-7}$	2B,1C	0B,24C	64B,2C	0B,28C	2.740	5.57	4.01	9.82

注:表中“B”表示 BRAM,“C”表示 Combination cells,符号前面的数字表示使用的数量。

## 5 结论

(1)通过空间环境中高能粒子对 SRAM 型存储器造成的多位翻转(SEMU)现象进行描述,指出普通的 SEC/SEC-DED 方法已经不再适用于纠正多位存储位翻转错误。

(2)针对多位翻转的类型,提出了由纠一位随机错误二位突发错误的(13,8)码组成的,交织度为 2 的(26,16)交织码,该码能够纠正小于二位随机错误和小于四位突发错误。

(3)经过理论分析和仿真实验表明,相比于 SEC-DED 码,在资源占用和编译码延时基本相同的情况

下,(26,16)交织码具有更强的纠错能力,即可靠性更高。能够有效的应用于资源和实时性要求较高的空间存储器抗 SEMU 系统设计中。

### 参考文献

- [1] Baumann, R. Soft errors in advanced computer systems[J]. IEEE Design & Test of Computer, 2005, 22(3): 258-266.
- [2] Tipton A D, Pellish J A, Reed R A, et al. Multiple-bit upset in 130nm CMOS technology [J]. IEEE Transaction on Nuclear Science, 2006, 53(6): 3259-3264.
- [3] Swift G M, Guertin S M. In-flight observation of multiple-bit in DRAMs [J]. IEEE Transactions on Nuclear Sci-

- ence,2001,47(6):2386-2391.
- [4] Shirvani P P, Sexena N R, McCluskey E J. Software-implemented EDAC protection against SEUs [J]. IEEE Transactions on Reliability,2000,49(3):273-284.
- [5] El-Medany W M, Harrison C G, Farrel P G, et al. VHDL implementation of a BCH minimum weight decoder for double error[C] // Proc of the 18th Radio Science Conf. .2001:361-368.
- [6] Argyrides C, Zarandi H R, Pradhan D K. Multiple upsets tolerance in SRAM memory [C] // IEEE International Symposium on Circuits and Systems.2007:365-368.
- [7] Bossert M, Bezzateev S. Decoding of interleaved RS codes with the Euclidean algorithm [C] // IEEE International Symposium on Information Theory.2008:1803-1807.
- [8] Nasser R, Draper J. DEC ECC design to improve memory reliability in sub-100nm technologies [C] // IEEE International Conference on Electronics, Circuits and Systems. 2008:586-589.
- [9] Nasser R, Draper J. Parallel double error correction code design to mitigate multi-bit upsets in SRAMs [C] //34th European ESSCIRC.2008:222-225.
- [10] Radaelli D, Puchner H, Wong S, et al. Investigation of multi-bit upsets in a 150 nm technology SRAM device [J]. IEEE Transactions on Nuclear Science,2005,52(6):2433-2437.
- [11] 张庆祥,杨兆铭. 星用大容量静态存储器多位翻转实验研究[J]. 中国空间科学技术,2001,5:40-46.  
Zhang Qingxiang, Yang Zhaoming. Experimental investigation of heavy ions induced SEMU in high-density SRAMs [J]. Chinese Space Science and Technology, 2001,5:40-46. (in Chinese)
- [12] 唐朝京,雷菁. 信息论与编码基础[M]. 长沙:国防科技大学出版社,2003:200-229.  
Tang Chaojing, Lei Jing. The theory of information and coding based on. [M]. Changsha: National University of Defense Technology Press,2003:200-229. (in Chinese)
- [13] Schwartz J W, Wolf J K. A systematic (12,8) code for correcting single errors and detecting adjacent errors [J]. IEEE Transactions on Computers,1990,39(11):1403-1404.
- [14] Shamshiri S, Cheng KT. Error-locality-aware linear coding to correct multi-bit upsets in SRAMs [C] // IEEE International Test Conference. 2010:1-10.
- [15] Lin S, Costello D. J. Error Control Coding, Second Edition[M]. USA: Prentice Hall, 2005.
- [16] Saleh A M, Serrano J J, Patel J H. Reliability of scrubbing recovery techniques for memory systems[J]. IEEE Transactions on Reliability,1990,39(1):114-122.
- [17] Miremadi S G, Zarandi H R. Reliability of protected techniques used in fault-tolerant cache memories [C] // 18th IEEE Annual Canadian Conference on Electrical and Computer Engineering. 2005:820-823.
- [18] RTAX-S/SL and RTAX-DSP Radiation-Tolerant FPGAs [Z]. Actel Inc. , 8,2010.
- [19] Using EDAC RAM for RadTolerant RTAX-S/SL and Accelerator FPGAs [Z]. Actel Inc. ,2,2008.
- [20] J. J. Wang. , RTAXS EDAC-RAM Single Event Upset Test Report [Z]. Actel Inc. ,4,2004.

### 作者简介

刘小汇(1976-),女,广西柳州人,毕业于国防科技大学电子科学与工程学院,副研究员,主要研究方向为卫星导航接收机信号处理,空间信号处理系统可靠性设计。

E-mail:lululiu\_nudt@sina.com

张鑫(1984-),男,湖北武汉人,博士生,主要研究方向为卫星导航接收机硬件设计、数字信号处理。

陈华明(1969-),男,湖南宁乡人,博士,副研究员。主要研究方向为卫星导航接收机系统设计。