

基于 5/3 提升小波变换的心电 信号压缩算法及 VLSI 实现

凌朝东¹ 刘蓉² 钱江¹ 蔡灿辉¹

(1. 华侨大学信息科学与工程学院, 泉州, 362011; 2. 大连理工大学电子与信息工程学院, 大连, 116024)

摘要: 小波变换的应用越来越广泛, 但小波变换的硬件实现成为小波变换实时应用的一个关键问题。根据提升小波变换的框架结构, 以小波子带系数自适应编码为核心, 研究了基于 5 层 5/3 提升小波变换及其反变换的 ECG 信号的压缩算法及其 FPGA 实现。系统设计采用 Verilog HDL 语言和流水线设计方法, 提高了硬件资源的利用率。系统实现选用 Altera 公司 CYCLONE EP2C35F672C 器件, 并采用 MIT-BIH 数据库中的 ECG 信号进行测试。该心电数据压缩算法在均方误差可控的范围内算法获得了较大的压缩比, 并利用设计的硬核实现了信号的重建。实验证明, 该算法用于心电数据压缩是切实可行的, 完全满足实时处理要求。

关键词: 心电图 (ECG) 信号; 信号压缩; 小波提升变换; FPGA; Verilog HDL

中图分类号: TN919.8 **文献标识码:** A **文章编号:** 1003-0530(2010)06-0930-06

ECG Signals Compression based on 5/3 Lifting Wavelet and its VLSI Implementation

LING Chao-dong¹ LIU Rong² QIAN Jiang¹ CAI Can-hui¹

(1. School of Electronics and Information Engineering, National Huaqiao University, Quanzhou, 362011;

2. School of Electronics and Information Engineering, Dalian University of Technology, Dalian, 116024)

Abstract: The wavelet transform has recently emerged as a powerful tool for many applications. However, the hardware implementation of wavelet transform is the key problem in the real-time applications. This paper presents the realization of a lifting wavelet processor for ECG data compression algorithm on a field programmable gate array (FPGA) device. This processor implements an algorithm for ECG data compression using a 5 level 5/3 integer type lifting wavelet transform. With the Altera product CYCLONE EP2C35F672C, a pipeline architecture is constructed to increase the utilization of hardware resources. The architecter take the advantages of the lifting scheme and improves the efficiency and speech of the system. The complete prototype is tested through MIT-BIH database. Experimental results showed that our algorithm not only ensured the high fidelity of signals, but also yielded good compression result. From the results, it is also confirmed that the proposed processor can execute target signal compression for the ECG signals in real time.

Key words: ECG signals; Signal compression; Lifting wavelet transform; FPGA; Verilog HDL

1 引言

心电图(ECG)诊断方法是心血管疾病诊断中的主要手段之一。心电数据的备份和存储将占用非常巨大的资源,尤其是在便携式医疗监护系统中,将直接影响到系统的成本^[1]。因此,ECG 信号的数据压缩技术对动态 ECG 的存储、传输和分析具有重要的意义,是医疗自动化和信息化的重要研究课题。

ECG 信号是一种准周期信号,其波形呈现周期相

似性,因而是一种冗余度较大(相邻采样点间的统计相关性、量化幅值分布的非均匀性以及各心搏间的相似性都较大)而熵较小的信号。心电数据压缩的目标是在不损失或尽可能少损失有用信号的条件下,获得尽可能高的数据压缩比。同时希望算法的实时性好,能在微处理器支持的系统中实时实现。心电压缩算法形式千差万别,但主要分为三类^[2-4]:直接压缩法、特征参数提取法、变换压缩法。直接压缩法是建立在直接分析原始数据的冗余基础上,其优点是计算简单,易于实

时实现,缺点是很难同时保证高的数据压缩比和高的信息保真度。参数提取法就是提取信号的一组特征参数,一般要根据对信号的一些先验知识,用这些参数对信号进行分类。该算法的缺点是难以对信号进行恢复。变换法则是利用各种变换如正交变换(DFT、DCT、DWT、KLT)等,去除数据间的相关,用少量变换域分量保持原数据的信息,但变化算法复杂。

近年研究热门的小波变换法具有时频局部化和多分辨率特性,特别适合对ECG这类非平稳信号进行分析和数据压缩。传统的基于卷积的离散小波变换的计算量大,计算复杂度高,对存储空间的要求高,不利于硬件实现。鉴于此,Daubechies和Sweldens提出了提升格式小波变换^[5,6],摆脱了傅立叶变换,使小波便于构造。提升算法的小波变换计算更快捷,能够在当前位置完成小波变换从而节省内存。文中采用基于流水线加法运算及桶装移位操作,在Altera公司的EP2C35F672C器件上实现5/3整数快速小波变换及逆变换的设计,并结合编码技术对ECG信号进行压缩算法实现。

2 5/3提升小波变换

5/3提升小波变换就是通过提升算法实现的5/3小波变换,5/3表示该小波变换的高通和低通分解滤波器的长度分别为5和3。提升算法的分解和重构如图1所示。

分解的步骤包括:分裂,预测和更新。首先通过分裂将序列 s_j 分为偶数序列 e_{j-1} 和奇数序列 o_{j-1} ;然后用偶数序列通过预测算子 P 来预测奇数序列,从而得到误差

$$d_{j-1,l} = \begin{cases} s_{j,2l+1} - \lfloor (s_{j,2l} + s_{j,2l+2})/2 \rfloor & l=0,1,\dots,2^{j-1}-2 \\ s_{j,2l+1} - s_{j,2l} & l=2^{j-1}-1 \end{cases} \quad (1)$$

$$s_{j-1,l} = \begin{cases} s_{j,2l} + \lfloor d_{j-1,l}/2 + 1/2 \rfloor = s_{j,2l} + \lfloor (d_{j-1,l} + 1)/2 \rfloor & l=0 \\ s_{j,2l} + \lfloor (d_{j-1,l-1} + d_{j-1,l})/4 + 1/2 \rfloor = s_{j,2l} + \lfloor (d_{j-1,l-1} + d_{j-1,l} + 2)/4 \rfloor & l=1,2,\dots,2^{j-1}-1 \end{cases} \quad (2)$$

反变换:

$$s_{j,2l} = \begin{cases} s_{j-1,l} - \lfloor d_{j-1,l}/2 + 1/2 \rfloor = s_{j-1,l} - \lfloor (d_{j-1,l} + 1)/2 \rfloor & l=0 \\ s_{j-1,l} - \lfloor (d_{j-1,l-1} + d_{j-1,l})/4 + 1/2 \rfloor = s_{j-1,l} - \lfloor (d_{j-1,l-1} + d_{j-1,l} + 2)/4 \rfloor & l=1,2,\dots,2^{j-1}-1 \end{cases} \quad (3)$$

$$s_{j,2l+1} = \begin{cases} d_{j-1,l} + \lfloor (s_{j,2l} + s_{j,2l+2})/2 \rfloor & l=0,1,\dots,2^{j-1}-2 \\ d_{j-1,l} + s_{j,2l} & l=2^{j-1}-1 \end{cases} \quad (4)$$

式(2)(3)(5)(8)是采用镜像对称延拓方式对边界值进行了处理,这也是提升算法优于经典算法的一点。另外可以看到在式(1)到(8)中加入了下取整操作。由于取整截断,在正变换时会产生误差造成信息丢失,为了将平均误差降到最小,在下取整之前加了1/2。需要注意的是在算法实现时是先进行整数求和,

序列 $d_{j-1} = o_{j-1} - P(e_{j-1})$,这就是提升小波变换的高频分量系数;再用误差序列通过更新算子 U 来更新偶数序列,从而得到更新序列 $s_{j-1} = e_{j-1} + U(d_{j-1})$,即提升小波变换的低频分量系数。序列 s_{j-1} 可以通过同样的算法继续进行下一级分解。通过提升算法得到的结果与经典算法(先经过双正交滤波器再进行抽取)得到的结果是一样的(不考虑幅度和相位),但是提升算法更加简单,尤其是它可以进行同址运算,速度快,节省内存,非常利于变换的实现。不过需要指出的是预测算子 P 和更新算子 U 的确定还是以经典算法的滤波器系数为基础的。

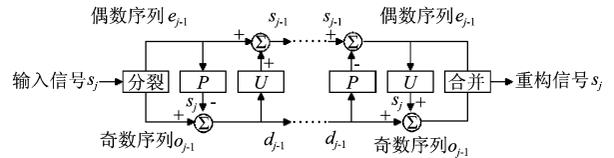


图1 提升算法的分解和重构

重构的步骤包括:反更新,反预测和合并。反更新就是通过 $s_{j-1} - U(d_{j-1})$ 来恢复 e_{j-1} ;反预测就是通过 $d_{j-1} + P(e_{j-1})$ 来恢复 o_{j-1} ;合并就是将恢复的偶数序列 e_{j-1} 和奇数序列 o_{j-1} 按原来顺序还原序列 s_j 。

提升算法可以进行整数集到整数集的小波变换,即一个整数序列通过整数提升小波变换得到的下一级小波系数仍然是一个整数序列,这就有利于信号的准确重构,避免了在浮点运算中由于有限字长而带来的计算误差。对于5/3整数提升小波变换,其算法可描述为式(1-8)。

正变换:

$$d_{j-1,l} = \begin{cases} s_{j,2l+1} - \lfloor (s_{j,2l} + s_{j,2l+2})/2 \rfloor & l=0,1,\dots,2^{j-1}-2 \\ s_{j,2l+1} - s_{j,2l} & l=2^{j-1}-1 \end{cases} \quad (1)$$

$$s_{j-1,l} = \begin{cases} s_{j,2l} + \lfloor d_{j-1,l}/2 + 1/2 \rfloor = s_{j,2l} + \lfloor (d_{j-1,l} + 1)/2 \rfloor & l=0 \\ s_{j,2l} + \lfloor (d_{j-1,l-1} + d_{j-1,l})/4 + 1/2 \rfloor = s_{j,2l} + \lfloor (d_{j-1,l-1} + d_{j-1,l} + 2)/4 \rfloor & l=1,2,\dots,2^{j-1}-1 \end{cases} \quad (2)$$

$$s_{j,2l} = \begin{cases} s_{j-1,l} - \lfloor d_{j-1,l}/2 + 1/2 \rfloor = s_{j-1,l} - \lfloor (d_{j-1,l} + 1)/2 \rfloor & l=0 \\ s_{j-1,l} - \lfloor (d_{j-1,l-1} + d_{j-1,l})/4 + 1/2 \rfloor = s_{j-1,l} - \lfloor (d_{j-1,l-1} + d_{j-1,l} + 2)/4 \rfloor & l=1,2,\dots,2^{j-1}-1 \end{cases} \quad (3)$$

$$s_{j,2l+1} = \begin{cases} d_{j-1,l} + \lfloor (s_{j,2l} + s_{j,2l+2})/2 \rfloor & l=0,1,\dots,2^{j-1}-2 \\ d_{j-1,l} + s_{j,2l} & l=2^{j-1}-1 \end{cases} \quad (4)$$

再通过比特移位实现除2,最后舍去小数实现下取整。由于在反变换时也进行了同样的下取整操作,所以虽然整数提升算法得到的小波系数会有少许误差,但是在反变换时可恢复丢失的信息,从而实现准确重构。

提升算法可以通过同址运算实现,即进行小波变换后得到的小波系数可以直接取代原始数据而不需要

附加数据存储空间,这一特点使得提升算法可以很方便的使用 FPGA 硬件电路实现。

3 ECG 信号小波变换压缩原理

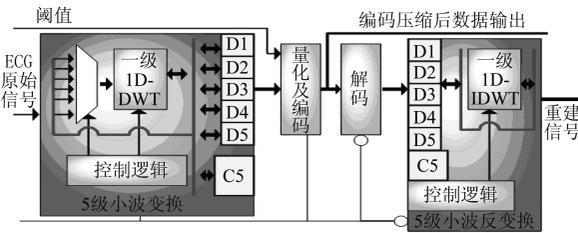


图2 ECG 信号5级DWT压缩及其反变换的原理图

将小波变换运用于压缩时,ECG在不同的尺度下被分解成不同的信号,然后对这些信号分别进行压缩编码;恢复时将这些编码结果进行解码,反变换后恢复原始信号。编码采用基于码本的编码方式,通过对输入的数据建立码书来对信号进行编码和量化,5级ECG小波变换压缩原理如图2所示。

该模块首先将 ECG 信号分成 N 点的帧,然后逐个送入5级小波变换模块,选通输入信号为外部送入的 ECG 信号作为输入 1D-DWT 的变换对象,变换后的对象存储在 $C5, D5, D4, D3, D2, D1$ 中, $D1$ 存放的是第一次变换后的高频分量,低频分量依次存储于 $C5D5D4D3D2$ 。接着控制逻辑将选通低频分量 $C5D5D4D3D2$ 作为 1D-DWT 的变换对象,变换后的高频分量存储于 $D2$,低频分量存储于 $C5D5D4D3$,即实现了对 ECG 信号的 2-level DWT 变换。通过设定阈值可以实现噪声可控的量化,并建立数据的码书,以实现数据与编码之间的对应。对于 ECG 信号的重建,可以理解为小波分解压缩的逆过程,首先将压缩后的信号解码之后按序送入 $C5D5D4D3D2D1$,控制逻辑电路将逐层的对信号进行反变换从而得到重建后的信号。当阈值设置大于零时,重建的信号将会存在一些失真,即为有损压缩,若要实现无损压缩,则只需将阈值设为零即可,但压缩率会有所降低。

4 小波子带系数自适应编码

对整数小波变换系数的分析可以看出,心电原始信号经小波变换后重要系数显著减少了,其它系数大都等于或接近零分量,因此采用非均匀量化既可以有效地保留信号奇异点系数,又可以更大限度地减小数据量。文中选择基于小波子带系数自适应编码结合游程长度编码方式,通过对输入的数据进行小波变换得到各层子带系数,根据各子带系数值的分布与连续情况进行自适应编码。为提高压缩比率,在计算游程长度前会引入由阈值决定的可控量化。鉴于以上分析,设计采用的帧信号编码由帧首标志、帧编码信息和编码码流三个部分组成(图3)。因此,结合 ECG 信号的

特性,将零系数用最短的编码来实现,其他分量在量化后利用前缀加二进制等长编码的方式来实现,码长记录在码流首部的帧编码信息中。帧编码信息包含有帧长信息 2bits,域值 4bits。量化阶代码占用 2bits,量化表是由量化阶代码按一定规律生成的。每个小波变换子带系数段编码长度信息均占用 3bits。帧编码信息还占用了 8 个 bits 来记录帧首信息值 X_0 。整个码流中仅有零分量采用一个码元符号 '0' 编码,其余均采用前缀 '1' 加上记录长度 LN 位二进制编码,连零个数超过 2 个字节则采用连零符后紧接着连零的个数表示。若 LN 为零,则表示舍去该段子带系数不编码。压缩比为 $CR = (FL+1) * 512 * 8 / (L_{code} - LS)$; FL 为帧长代码,取值 0, 1, 2, 3 分别代表 512, 1024, 2048, 4096 点。 LS 为连零模块采用游程长度编码消去的长度。

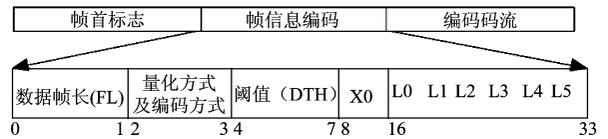


图3 编码结构图

5 ECG 信号压缩算法的 FPGA 实现

5.1 一维小波变换的 IP 核设计

由小波提升算法可以看出,5/3 提升小波变换主要是加、减法运算,而除法运算是除以 2 和除以 4,在硬件中可通过“右移”操作实现快速运算,因此采用 FPGA 实现小波算法是可行的。在 Matlab 的 Simulink 环境中进行图形化的 FPGA 设计及仿真,并能将设计的文件转换成 Verilog HDL 语言,再通过开发软件 Quartus 完成 5/3 小波变换及逆变换模块的硬件设计。

根据式(1)-(4),从相应的库中调出加/减运算元件、延迟元件、移位元件等,建立如图4所示的5/3小波设计框图。提升小波变换采用的是对称镜像延拓,在处理边界问题时,只要在适当的位置进行两次操作以保持数据就可以了。从算式可知,提升算法的正变换的每一个高频分量都是将其前后连续的数据加权求和得到的,可以通过流水线式操作实现,这不仅有利于提升小波变换的速度,更简化和节约了硬件资源的使用。为了简化电路,设计采用“边界补零”的方法处理数据的边界。

由于采用了分布式算法以及流水线架构的乘加逻辑,系统的变换速度得到了很大的提高。该变换核在输入 3 个数据后得到第一个低频变换系数,在输入 5 个数据后即得到第二个低频变换系数和第一个高频变换系数,之后每输入 2 个数据就各得到一个高频和低频分量,也就是说该模块的工作速度为 2 个时钟周期,延迟时间为 3 个时钟周期。通过控制逻辑将这些分量在适当的时候输出并存储起来就可以完成本次小波变换。

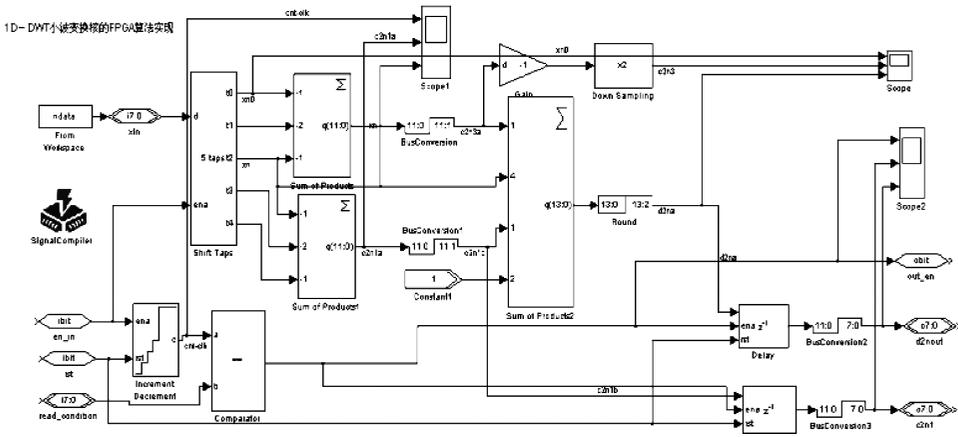


图 4 基于 DSP Builder 的一维小波变换核的 FPGA 算法实现

逆变换的设计方法与正变换的方法相似,根据式(5)-(8),首先根据输入的高通、低通滤波系数序列计算出偶序列,再根据偶序列的数值计算出奇数列的数值,对于边界问题也采用“补零”的方法。逆变换设计的方法是首先将高频和低频分量按原正变换的产生顺序依次排序,即将其中的一组分量按顺序插入到另

外的一组分量中,然后根据式(5)-(8)将数据进行运算,最后只需将得到的结果按原数据的顺序输出,添加必要的控制单元即可实现该小波的反变换核。通过 5/3 逆变换模块可以将正变换的数据重建,最终实现原始信号的重建过程。逆变换的 RTL 级原理图如图 5:

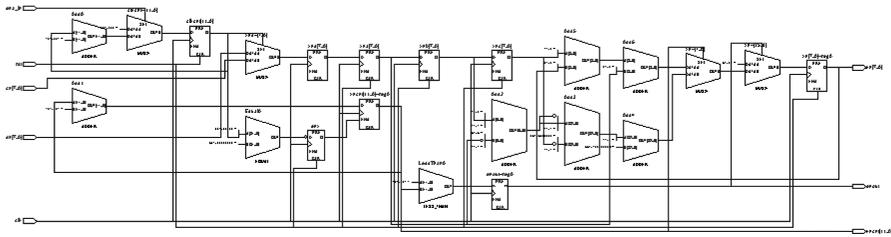


图 5 5/3 小波逆变换的 RTL 级原理图

为了较少资源的消耗,只存储有价值的信号,如小波第一层分解得出的高频信号基本上为噪声信号,因此直接舍去不予保存可以令所需的存储资源降低一半等。在硬件实现上,利用前面设计的小波变换 IP 核将有

很大的设计优势,将信号逐层分解后将得到各级小波子带系数分量,将这些分量分别存入对应的 DRAM 中,就可以对这些分量分别处理了。图 6 是采用前面介绍的 5/3 小波变换 IP 核设计的 5 层小波变换的原理图。

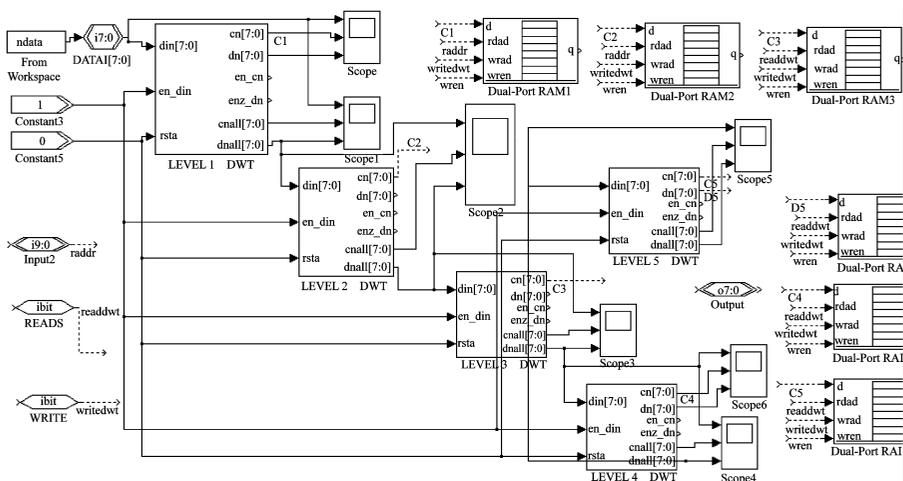


图 6 利用 5/3 小波变换 IP 核设计的 5 层小波变换原理图

5.2 小波子带系数自适应编码

编码模块的 FPGA 实现如图 7 所示,包括阈值处理,量化处理,连零检测,编码引擎三个模块。输入信号有待编码数据输入端口 COFFIN[7:0], 阈值输入端

口 DELTN[3:0], 编码使能 en_code, 模块复位 rst; 输出端有编码数据留输出 code[7:0], 输出码流计数 cnt_code[11:0], 输出使能端 en_code。

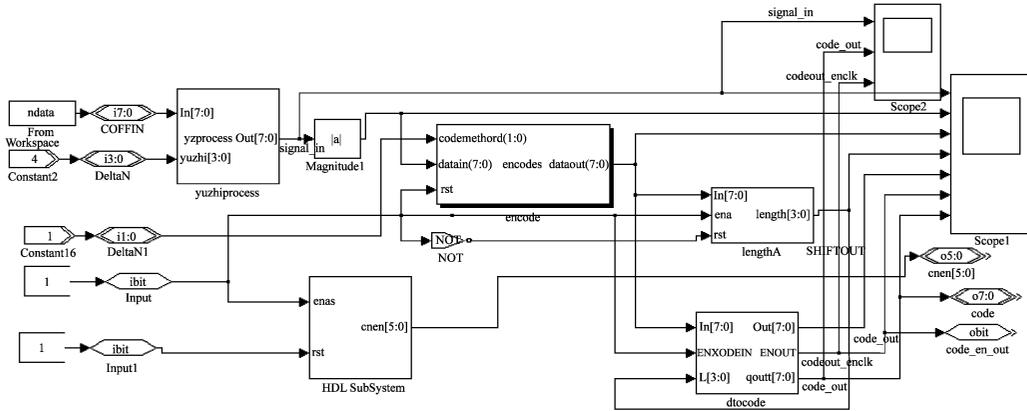


图7 编码模块的FPGA设计

6 仿真结果

选择 Altera 公司的 CYCLONE EP2C35F672C, 对 5 级小波模块进行逻辑综合后, 资源使用情况如表 1 所示, 占用的逻辑单元(logical elements)为 1682 个, 约占整个器件资源的 5%, 系统的最高时钟频率为 78.88M。其中每级所用的 5/3 小波变换 IP 核所消耗的资源为 373 个 LEs, 16384bits 的存储单元, 12 个嵌入式乘加单元。

5/3 小波变换 IP 核由 FDWT 和 IDWT 模块组合而成, 其顶层 Symbol 图和仿真结果如图 8 所示, clock 是系统工作时钟, en_in 是正变换数据输入使能, xin 为正变换输入数据, cn 和 dn 为正变换后的低频和高频系数, en_cn 和 en_dn 分别是 cn 和 dn 的输出使能。DNN, CNN 分别为逆变换输入的高低频数据, IDWT_EN 是逆变换使能也是 CNN 和 DNN 的数据输入使能, 逆变换输出的重建信号为 XNSOUT。

图 8 仿真结果显示输入数据经分解和重构后的输出相同, 正变换启动到输出高频分量延迟 7 个时钟, 低频分量延迟 8 个时钟, 此后转换速率为每个时钟交替输出一个分量数据, 逆变换数据输入为每两个时钟输入一个高频分量和一个低频分量, 从启动逆变换到输出第一个重建数据需要 5 个时钟。如要将 1024 个数据进行正变换, 则只需 1030 个时钟就可以得到全部数据, 要将 512 个高频分量和 512 个低频分量重建信号则只需 1029 个时钟即可完成。

表1 5级小波变换的硬件资源使用情况表

ECG 信号压缩目标芯片: EP2C35F672C				
总的逻辑单元(LEs)	总引脚个数	总的存储单元(bit)	总的触发器个数	最大工作频率(MHz)
1682	64	24288	658	78.88

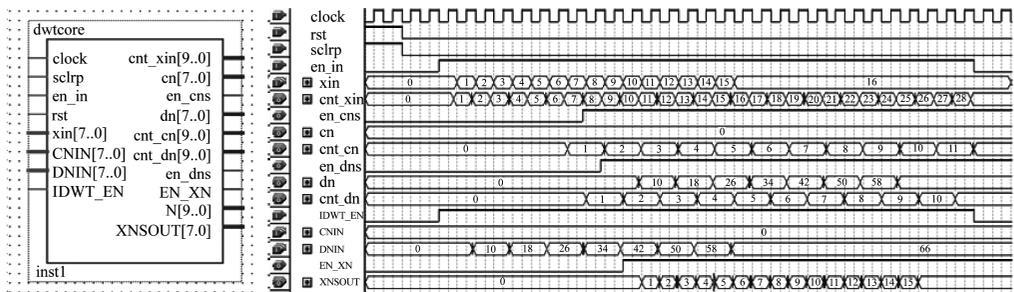


图8 DWT及IDWT变换核的Symbol图和仿真结果

压缩算法及其 FPGA 实现结构的测试使用 MIT-BIT 心电数据库。从数据库中抽取一段数据, 对数据进行分段并作对称延拓, 采用 5/3 提升小波变换求得

小波系数, 再对小波系数进行编码, 对码本文件进行截取得到的不完整数据重建心电信号效果如图 9 所示, 重构信号较好地保存了信号的细节信息。

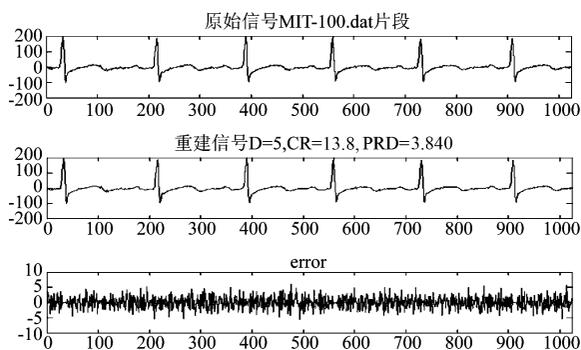


图 9 原始心电图及压缩数据重建效果图

压缩算法的效果和性能主要通过两个指标来定量评估,一个是压缩比 CR (Compression ratio),定义为文件原始大小和经编码压缩后文件大小的比,是评价算法效率的指标;另一个是均方根误差 PRD (Percent root mean square difference),用来间接评价信息保真度。在实验中,随机抽取几组数据进行实验,结果如表 2 所示。

表 2 心电图的压缩比(CR)和失真率(PRD)

信号	阈值 D=0		阈值 D=5		阈值 D=10	
	CR	PRD	CR	PRD	CR	PRD
MIT-100. dat	1.63	0.103	13.8	3.840	19.2	6.227
MIT-102. dat	1.52	0.133	12.7	3.417	19.0	7.045
MIT-113. dat	1.87	0.317	16.2	4.914	23.2	7.153
现场采集 ECG0	2.06	0.421	19.6	3.422	27.4	8.433
现场采集 ECG1	1.56	0.265	18.3	3.241	27.1	6.276

从图 9 和表 2 可以看出,图 9 的波形失真率较小,但已达到了较高的压缩比。同时,该算法在一定的 PRD 范围内可以获得较大的压缩比。在阈值 D 等于零时,依靠码本编码算法依然获得了一定得压缩比,但由于小波变换核在运算过程中具有右移位操作,还是造成了很小的失真,即在 D=0 时仅能做到准无损压缩。

7 结论

本研究建立了以 5/3 提升小波变换为基础,以小波子带系数自适应编码为核心的 ECG 信号压缩算法。对 ECG 信号进行了压缩实验,并成功地实现了算法在 FPGA 硬件平台上的移植。实验表明,整个系统处理快捷,节省内存,能对任意一维信号进行数据压缩,同时实现了小波的多级变换。本设计采用 Verilog HDL 语

言,可移植于各种用 FPGA 实现的小波变换处理硬件系统中,也可与其它 IP 核构成 SOPC 系统。

参考文献

- [1] S. G. Miaou, S. N. Chao. Wavelet based lossy-to-lossless ECG compression in a unified vector quantization framework [J]. IEEE Trans. Biomed. Eng., 2005, 52(3): 539-543.
- [2] S. M. S. Jalaeddine, C. G. Hutchens, R. D. Strattan, W. A. Coberly. ECG data compression techniques-a unified approach [J]. IEEE Trans. Biomed. Eng., 1990, 37(4):329-343.
- [3] G. Antoniol, P. Tonella. EEG data compression techniques [J]. IEEE Trans. Biomed. Eng., 44(2):105-114,1997.
- [4] 杨胜天,童勤业. 生物医学信号的近无损压缩 [J]. 中国生物医学工程学报,2003, 22(3): 235-240.
- [5] Daubechies I, Sweldens W. Factoring wavelet transforms into lifting steps [J]. Fourier Analysis and Applications. 1998, 4(3): 247-269.
- [6] 胡广书. 现代信号处理教程 [M]. 北京:清华大学出版社,2007. 358-363.

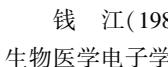
作者简介



凌朝东(1964-),男,华侨大学副教授,主要研究方向为混合信号集成电路设计、生物医学电子学、信号理论与信号处理。



刘蓉(1980-),女,博士,大连理工大学讲师,主要研究方向为生物医学信号处理及医疗机器人。



钱江(1982-),男,华侨大学硕士生,主要研究方向为生物医学电子学、信号理论与信号处理。



蔡灿辉(1954-),男,博士,华侨大学教授,主要研究方向为数字图像处理、图像传输、计算机通信。