

Design of SDRAM Controller Based on FPGA

Lingli Zhong, Xiaobo Zhou

School of Electronic Science and Technology, Beijing Jiaotong University, Beijing
Email: 09214027@bjtu.edu.cn, xbzhou@bjtu.edu.cn

Received: Feb. 26th, 2014; revised: Mar. 19th, 2014; accepted: Mar. 25th, 2014

Copyright © 2014 by authors and Hans Publishers Inc.
This work is licensed under the Creative Commons Attribution International License (CC BY).
<http://creativecommons.org/licenses/by/4.0/>



Open Access

Abstract

The paper briefly introduces the characteristics of SDRAM and the basic operation principle, then puts forward a design method of SDRAM controller based on FPGA. The controller was achieved by the language of Verilog. The paper analyses the overall design and the specific realization of the design scheme of each module. Finally, the image data should be stored in SDRAM, and then the reading control through SDRAM should be achieved, which sent the data to display on the VGA screen. When the colorful picture was displayed on the screen, it means the function of the SDRAM controller was achieved.

Keywords

SDRAM Controller; FPGA; Verilog

基于FPGA的SDRAM控制器设计开发

仲玲利, 周晓波

北京交通大学电子信息学院, 北京
Email: 09214027@bjtu.edu.cn, xbzhou@bjtu.edu.cn

收稿日期: 2014年2月26日; 修回日期: 2014年3月19日; 录用日期: 2014年3月25日

摘 要

在简要介绍SDRAM特点和基本操作原理的基础上, 提出了一种基于FPGA的SDRAM控制器的设计方法,

用Verilog硬件语言加以实现。分析了各模块的具体设计方案及整体设计的实现过程，最终实现将图像数据存入SDRAM，再通过SDRAM完成数据的读取，送入VGA进行显示，在输出显示屏上看到彩色图像则表明控制器的功能得以实现。

关键词

SDRAM控制器; FPGA; Verilog

1. 引言

SDRAM 同步动态随机存储器容量可达 256 Mb 以上，工作频率可达 100~200 MHz，是较为普遍使用的内存芯片。SDRAM 发展至今已经历经四代，由于其具有价格低廉、密度高、数据读写速度快等优点，在数据采集系统和图像处理系统等方面得到了广泛的应用[1]。然而，SDRAM 定时刷新、预充电以及行列寻址等一系列操作，使得 SDRAM 时序控制较为复杂，在使用 SDRAM 实现特定功能时，经常需要自己设计一个合适的控制器，使系统用户很方便地操作 SDRAM。

SDRAM 作为一种数据缓存器常被应用于各种高速数据传输系统中。目前，许多嵌入式设备或是高速实时信号处理系统的大容量、高速度存储器都是采用 SDRAM 来实现，而且大多都是用专用芯片完成其控制电路，这使得硬件电路变得复杂，而且增加了设计成本。当前市场上虽然有一些 SDRAM 控制器，但大多无法针对特定系统，灵活性较差，不利于 SDRAM 的特殊应用[2]。

随着 FPGA 开发技术逐渐走向成熟，使用 FPGA 进行开发可以降低系统成本，且可以重复编程。利用 FPGA 实现 SDRAM 控制器能够最大程度地保证其应用的灵活性以及可移植性，相比采用专用控制芯片来说优势明显。本文就是介绍如何利用 Verilog 硬件语言来实现基于 FPGA 控制的 SDRAM 多端口控制器，并简单介绍其实现原理。

2. SDRAM 简介与基本操作原理

SDRAM 的地址分为页(bank)地址、行(row)地址和列(column)地址。SDRAM 被分割为多个 bank，而每个 bank 中行与列共同寻址，减少了地址位占用空间，但却使 SDRAM 的接口设计更为复杂。

SDRAM 操作状态转换图，如图 1[3]所示：

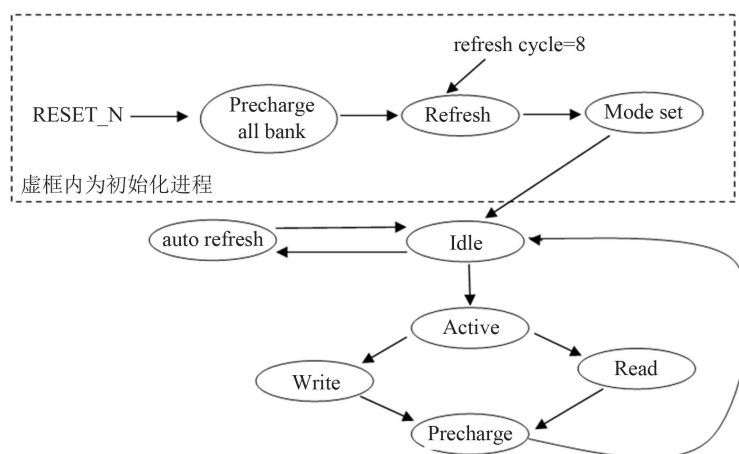


Figure 1. State transition diagram of SDRAM operations
图 1. SDRAM 操作状态转换图

转换图中 SDRAM 的一系列指令，都是通过片选信号 CS(Chip Select)、行地址选通脉冲 RAS(Row Address Strobe Command)、列地址选通脉冲 CAS(Column Address Strobe Command)以及写使能信号 WE(Write Enable)，在时钟上升沿的状态共同决定的。SDRAM 控制器必须为 SDRAM 提供满足时序要求的这些控制信号，以准确地控制 SDRAM 的各种不同操作[4]。SDRAM 相对 SRAM 来说，并不只是简单的读写操作，它的操作指令更为复杂多样。

SDRAM 的主要操作

图 1 中虚线框表示 SDRAM 的初始化进程。SDRAM 上电复位经历 200 us 的输入稳定期后，还需要进行所有 bank 的预充电、8 个刷新周期和模式寄存器设置(Mode Register Set)，然后才能进入正常的工作状态。

正常工作状态下，对 SDRAM 进行访问的最主要操作就是读 RD(READ)和写 WR(WRITE)操作。SDRAM 可实现突发式读写，本文中 SDRAM 控制器就是基于全页突发读写模式。SDRAM 寻址时先通过 ACT 命令激活特定的 bank，并锁存行地址，在读写命令有效时再锁存列地址。需要注意的是，读操作时会有个 CAS 延迟时间，又叫做读取潜伏期，通常为 1~3 个时钟周期。

为避免 SDRAM 中数据的丢失，需要进行定时的刷新操作。目前公认的标准时，存储体中电容的数据有效保存期上限是 64 ms，也就是说每一行刷新的循环周期是 64 ms。刷新操作分为两种，Auto Refresh 与 Self Refresh。

3. SDRAM 控制器的设计

本项目中选用的 FPGA 是 Altera 公司生产的 Cyclone IV E 系列中的 EP4CE115，所用到的 SDRAM 是 ISSI 系列 512 Mb 的 IS45S16320B，此款同步动态随机存储器的组织结构是 $8M \times 16 \times 4$ Banks，时钟频率可支持 166, 143, 133 MHz。

在本次运用的控制器中，时钟设定为 99 MHz。供电电压为 3.3 V，容量大小 536,870,912 bits。其内部有四个 bank，通过 BA0,BA1 操作位控制选择。每一个 bank 包括两种模式，即 $\times 8$ ， $\times 16$ bits 模式。 $\times 16$ 模式下，一个 bank 包括 8192 行 $\times 1024$ 列个存储单元，每个单元 16 bits； $\times 8$ 模式下，一个 bank 包括 8192 行 $\times 2048$ 列个存储单元，每个单元 8 bits。

3.1. 总体设计框图

在高速图像处理系统中，数据输入模块与输出模块之间主要由数据缓存模块和 SDRAM 控制器组成，其中，读写 FIFO 可以通过 Quartus II 中 IP 核例化来得到。

SDRAM 控制器的内部结构图如图 2 所示。控制器中主要包括多端口读写控制模块、SDRAM 控制接口模块、命令产生模块、时钟产生模块共四个模块。

3.2. 多端口读写控制模块

多端口读写控制模块是本设计的核心。

系统中 SDRAM 芯片的工作频率为 100 MHz，但与外设的传输频率只有 25 MHz，如果在两者间不加缓存，是无法实现页突发模式读写操作的。因而需要利用 FPGA 片上资源开辟多个 FIFO 缓存，分别作为读端口与写端口。为保证突发数据的准确性，我们必须在突发读写之前把数据准备好，而准备好的标准就是判断 wrusedw 和 rdusedw。FIFO 向 SDRAM 写入数据和 SDRAM 向 FIFO 读出数据的时钟都是外部时钟的几倍，要快很多，所以更强调了 SDRAM 数据准备的重要性。

多端口读写控制模块是与外部设备进行数据交换的媒介。它会根据对 FIFO 状态的判断，自动生成相

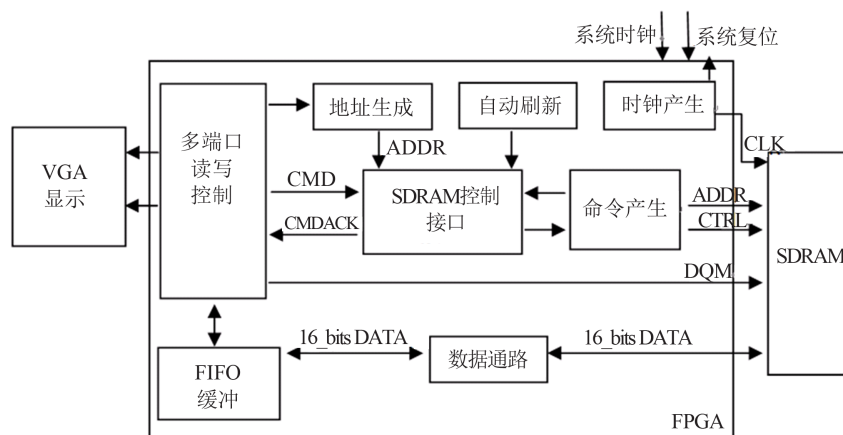


Figure 2. Internal structure of SDRAM controller
图 2. SDRAM 控制器的内部结构图

应的读写指令，并实现必要的缓冲。

该模块会对系统进行初始化，初始化完成后，它会根据不同的读写指令与地址信息进行分析后，生成对应的 CMD 命令和 SADDR 地址信号传给 SDRAM 控制接口模块。其中，CMD 为 01 时表示读指令，CMD 为 10 时表示写指令，CMD 为 00 时表示空指令。此外，SDRAM 控制接口模块也会反馈回 CMD_ACK 信号。

该模块生成的 SADDR 地址信号是分时复用的。初始化时，SADDR 用于传输初始化定义的模式字内容，正常读写操作中，SADDR 就是传递行、列、块信息的地址线。当从下一模块传回的 CMD_ACK 信号为高时，则表示 CMD 命令已成功发送并有效执行，此时系统反馈 NOP 命令。

3.3. SDRAM 控制接口模块

当接收到各类 CMD 指令时，该模块会对这些指令进行分析并生成对应的操作指令给命令产生模块。

控制接口模块内部包含刷新计数器和初始化计数器。当刷新计数器达到规定的计数周期时，会向 SDRAM 发出 REF_REQ 请求，当刷新操作完成时，还会发出 REF_ACK 应答信号，表示一次刷新操作的完成，此时计数器才会重新开始计数，等待下一次刷新操作。通过这两个计数器可以传递对应的刷新请求和初始化请求到命令产生模块。当 CMD 指令有效执行时会向多端口读写控制模块反送高电平的 CMD_ACK 信号。

3.4. 命令响应模块

命令产生模块会根据接收到的操作指令做出相应规范动作。该模块在对输入指令进行判断后，会产生相应的 CS、RAS、CAS、WE 等信号，从而实现对 SDRAM 的控制操作。此外，系统还会重新把地址信息 SADDR 分配给 SA、BA 信号。

SDRAM 主要操作指令详见表 1。

SDRAM 指令主要分初始化指令、刷新指令和读写指令 3 类。初始化操作是 SDRAM 正常工作的基础，所以它的优先级最高，刷新请求的优先级次高，读写请求的优先级最低。在同一时刻 SDRAM 不会同时执行多个指令，各类指令都有对应的优先级别，当某一种指令正在执行时系统不会响应其他的请求。

命令产生模块会在接收到操作指令后，向 SDRAM 控制接口模块传送高电平的 CM_ACK 应答信号。如果没有收到任何操作指令，则 CM_ACK 信号为 0，相应的，CMD_ACK 信号也为 0。

3.5. 时钟产生模块

通过使用 PLL(锁相环)资源为系统提供可靠稳定的时钟。

4. FPGA 时序仿真与功能验证

本项目中，使用的是 Altera 公司的 DE2 开发板。在得到控制器代码后，首先通过 Debussy 工具对 SDRAM 控制器的工作时序进行仿真验证，在验证其正确性之后，又在 Quartus 11.1 的开发环境中使用 Verilog 语言进行了设计输入和编译，并将设计代码下载到 Cyclone IV E: EP4CE115F29C7 的 FPGA 芯片上。

从初始化时序图 3 中可以看出，初始化的过程中，控制器先进行了 200 us 的空操作，然后预充电，8 个刷新周期，最后是 Mode Register Set。这是一套完整的初始化流程。

从读时序图 4 中可以看出，在读操作过程中，SDRAM 的突发模式是全页(full page) 突发。在 Read fifo 中可以读出的数据量达到一定界限时，即可进行全页模式的数据读操作。

根据 Debussy 仿真结果来看，各控制信号满足相应时序要求，各种状态间能够有效进行跳转，并有效实现了 SDRAM 的初始化和读写操作。以上时序分析验证了设计的正确性，可以将代码下载到 FPGA。

当我们向 SDRAM 的数据写入完成后，关闭 DE2 开发板的控制面板，用 VGA 接口线将开发板与显示屏相连。然后打开编译成功的工程，选择 Programmer，在 Jtag 模式下将工程编译后得到的 sof 文件加载至开发板，最终实现 SDRAM 的输出控制，在 VGA 显示屏上显示出正确的彩色图像。此时我们就实

Table 1. SDRAM main operating instructions
表 1. SDRAM 主要操作指令

指令	CS、RAS、CAS、WE	说明
NOP	0111	空操作
PRECHARGE	0010	预充电操作
REFRESH	0001	刷新操作
LOAD_MODE	0000	设置寄存器
ACTIVE	0011	行激活操作
WRITE	0100	写操作
READ	0101	读操作
BST	0110	突发传输中止

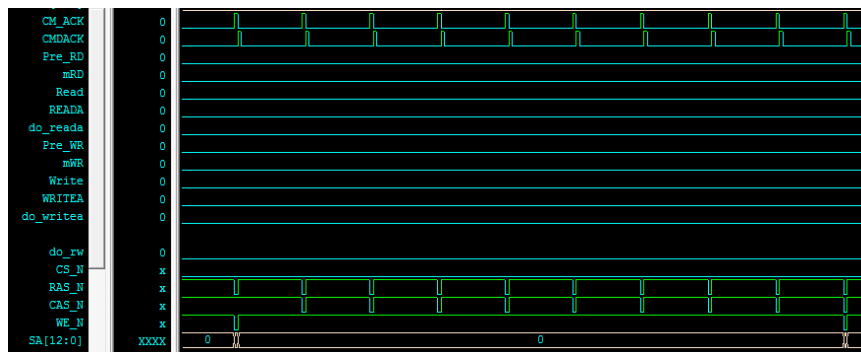


Figure 3. The initialization timing diagram of SDRAM
图 3. SDRAM 的初始化工作时序

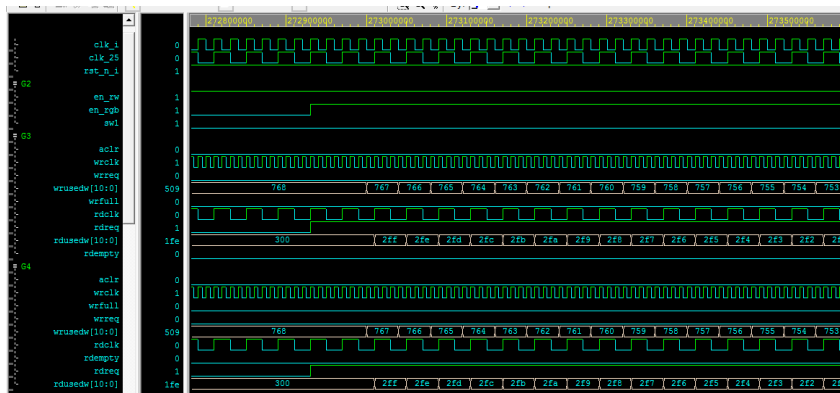


Figure 4. The reading timing diagram of SDRAM
图 4. SDRAM 的读时序

现了本设计的预期功能。

5. 结语

本文 SDRAM 控制器的设计具有很大的实用价值。SDRAM 作为实用的高速数据缓存，在基于现场可编程门阵列 FPGA 的控制下，将在高速、高端、高密度的数字电路领域中得到更加广泛的应用。

基金项目

中央高校基本科研业务费专项资金资助(No. 2013JBM010)。

参考文献 (References)

- [1] 杨映辉 (2007) 基于 FPGA 的 SDRAM 控制器设计及应用. 兰州大学, 兰州.
- [2] 宋一鸣, 谢奕, 李春茂 (2003) 基于 FPGA 的 SDRAM 控制器设计. *电子工程师*, **9**, 11-13.
- [3] 曹华, 邓彬 (2005) 使用 Verilog 实现基于 FPGA 的 SDRAM 控制器. *今日电子*, **1**, 11-14.
- [4] 樊京, 张宏伟 (2006) 使用 FPGA 操作 SDRAM 的 RTL 级代码实现. *仪表技术*, **3**, 52-53.