

# 半导体 集成电路

学校：西安理工大学  
院系：自动化学院电子工程系  
专业：电子、微电  
时间：秋季学期

# 动态逻辑电路

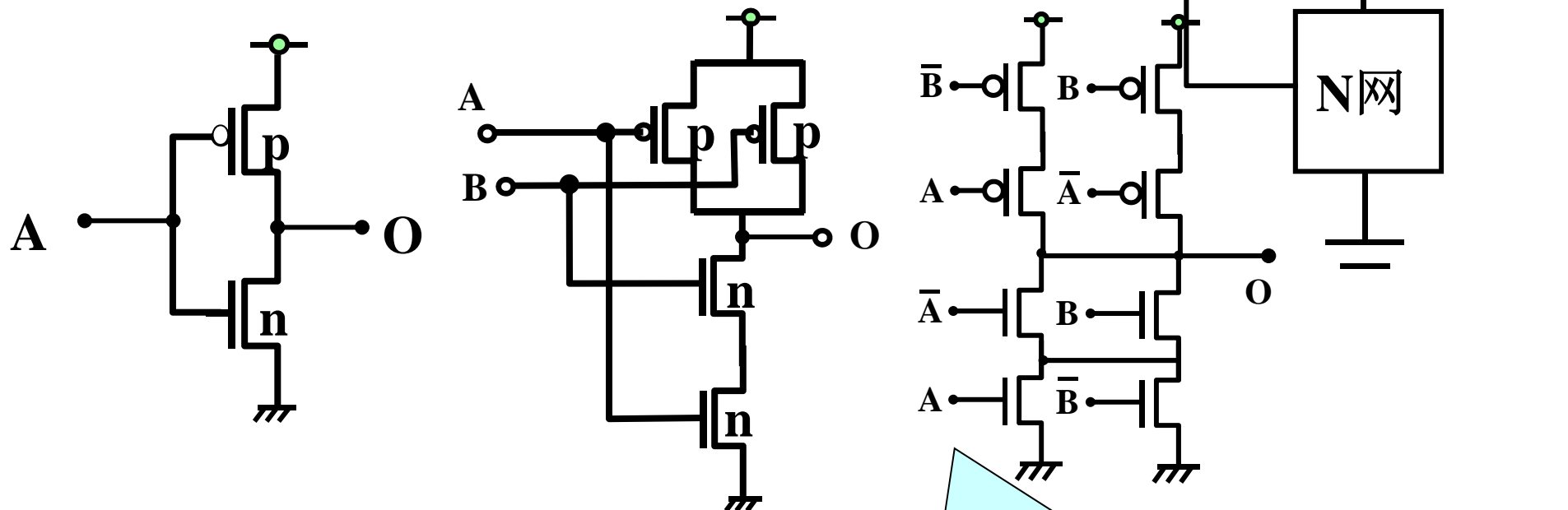


## □ 内容提要

- ❖ 基本电路的工作原理
- ❖ 动态逻辑电路的优缺点
- ❖ 动态逻辑电路中存在的问题及解决方法
- ❖ 多米诺逻辑

# 知识点复习-1

## CMOS静态逻辑电路

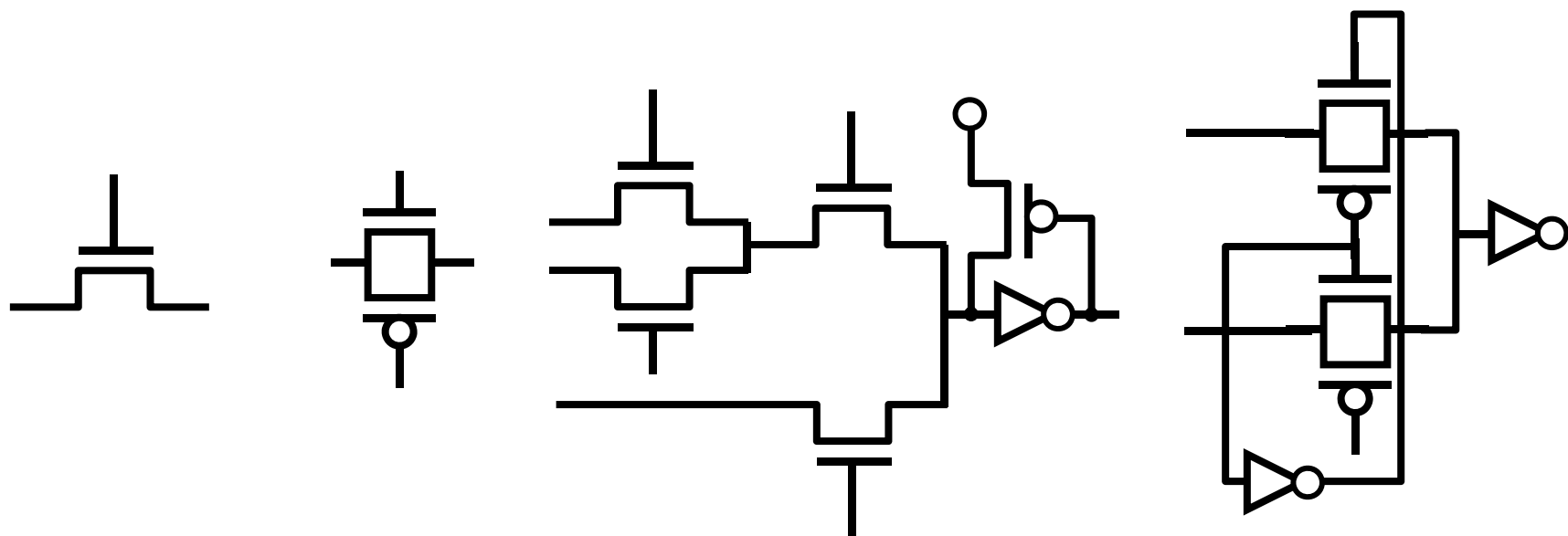


输入信号加在栅极上，而输出由漏极输出  
输出为低电平逻辑时  
输出为高电平逻辑

优点：低功耗

缺点：随着逻辑的复杂性增加，晶体管成倍增加

## 传输门逻辑电路

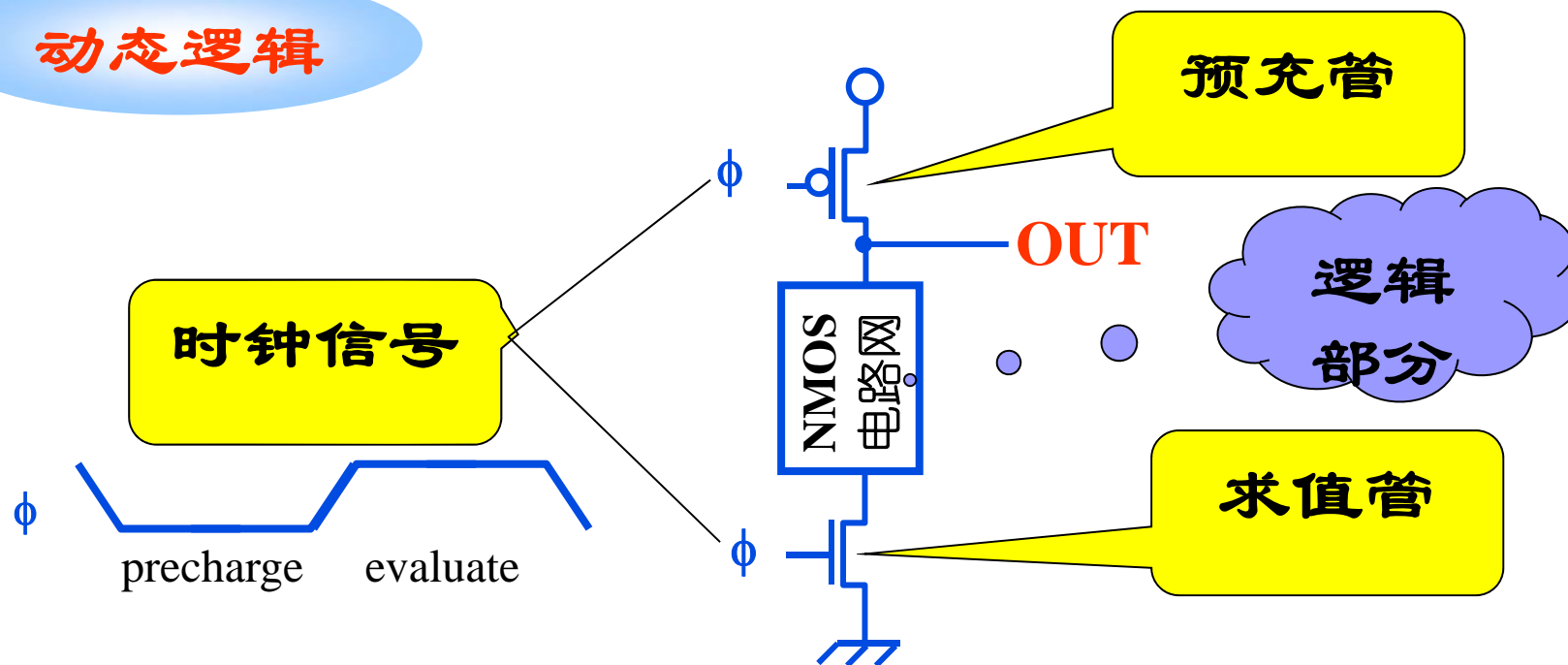


输入信号可以从栅极、源极、漏极输入  
使用传输门构成传输门逻辑

特点：需要的晶体管数目少

# 动态逻辑电路

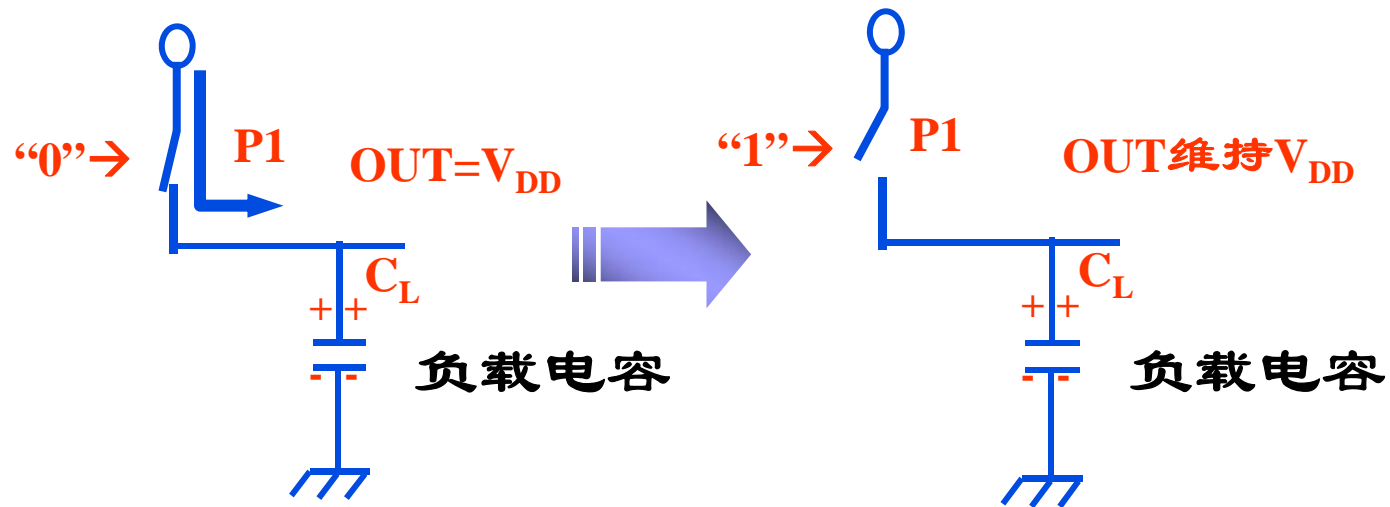
动态逻辑



逻辑部分由输出低电平的NMOS网组成  
输出信号与电源之间插入了栅控制极为时钟信号的PMOS,  
NMOS网与地之间插入了栅控制极为时钟信号的NMOS

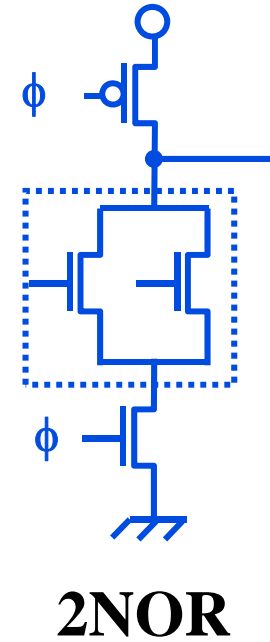
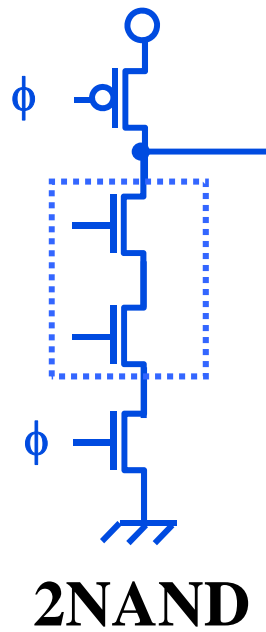
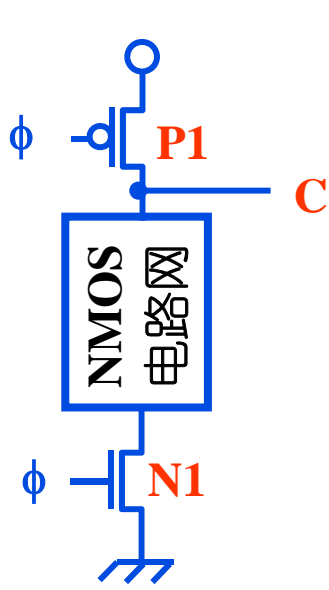
# 一、动态逻辑电路的工作原理

## 晶体管的栅极电容存储效应



# 一、动态逻辑电路的工作原理

## 动态逻辑电路

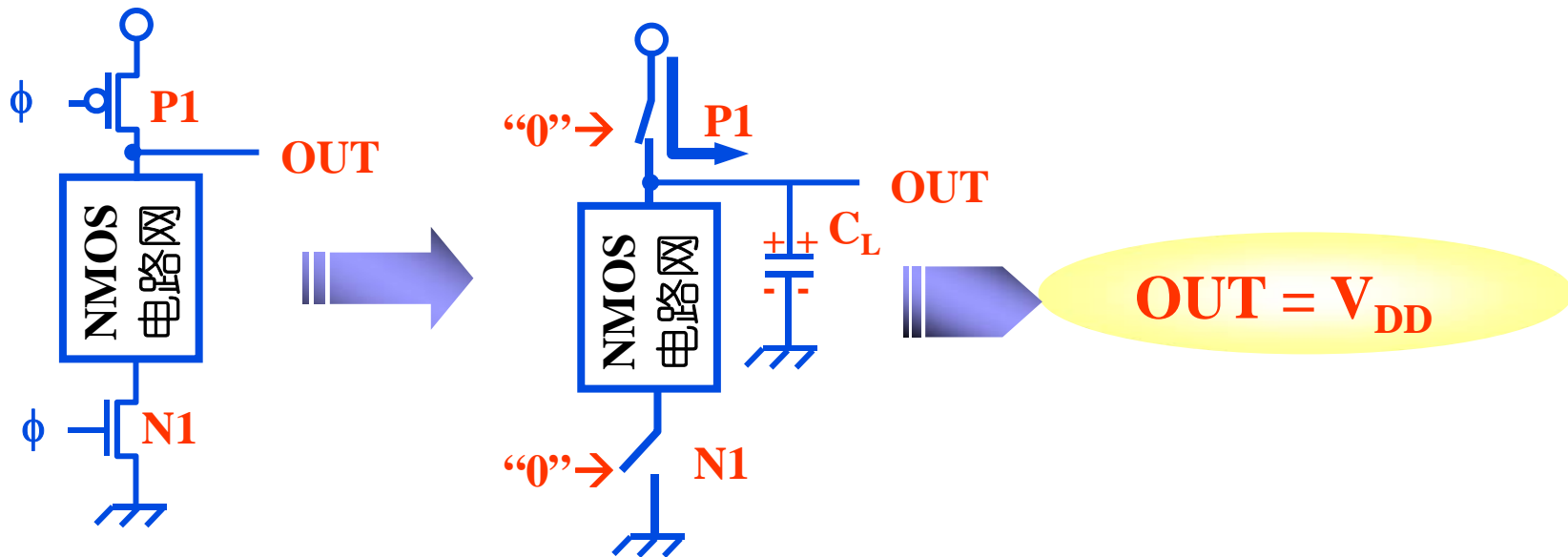




# 一、动态逻辑电路的工作原理

## 1. 时钟脉冲为低电平时：

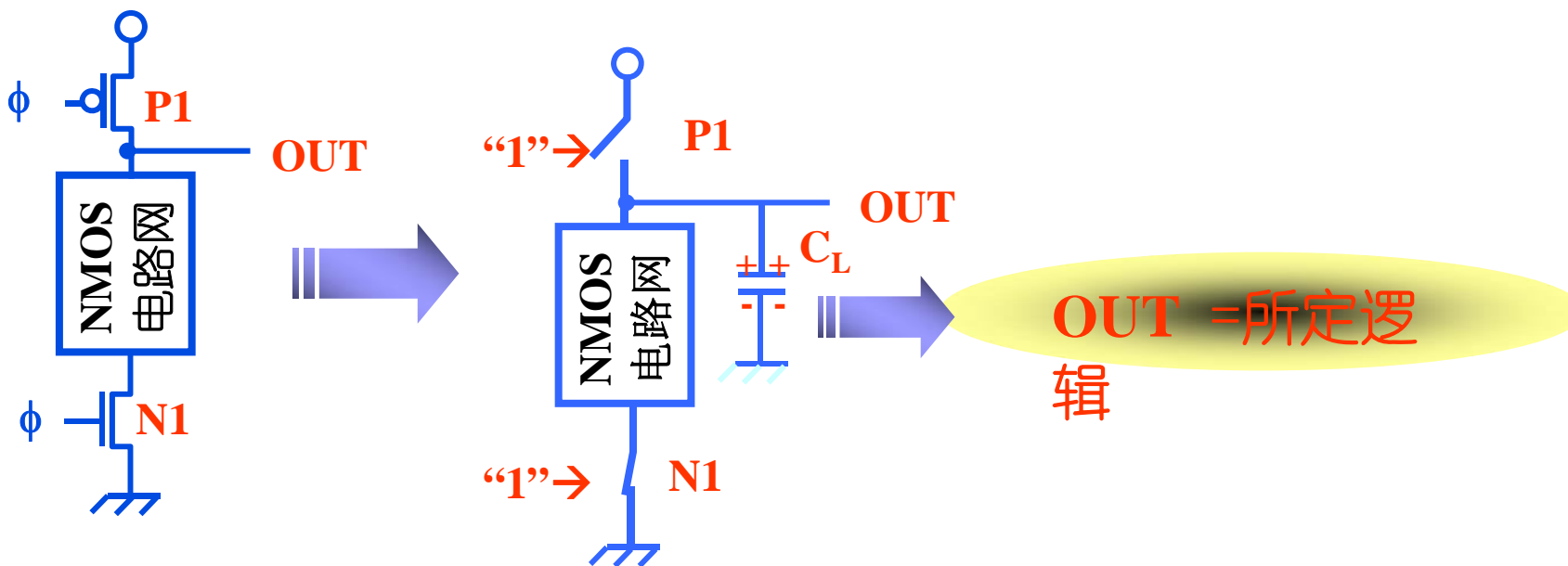
P1管导通，N1管截止



# 一、动态逻辑电路的工作原理

## 2. 时钟脉冲为高电平时：

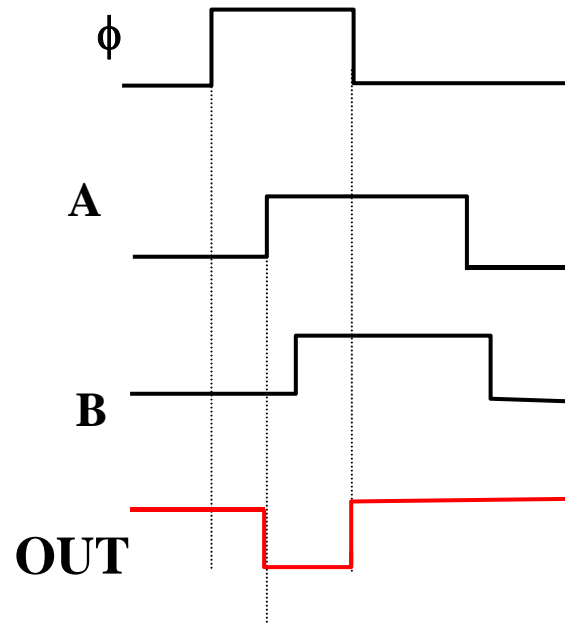
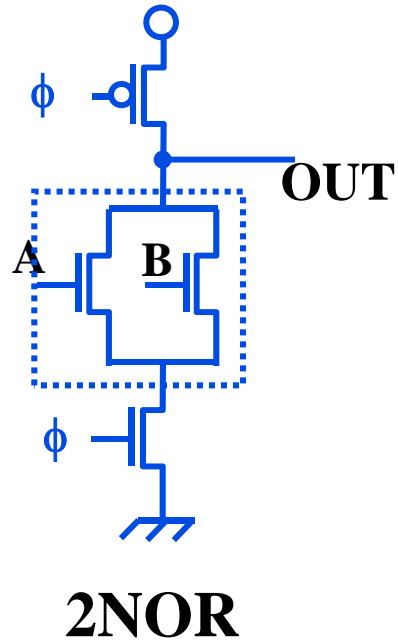
P1管截止，N1管导通

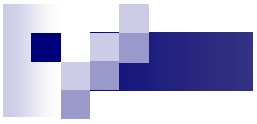




# 一、动态逻辑电路的工作原理

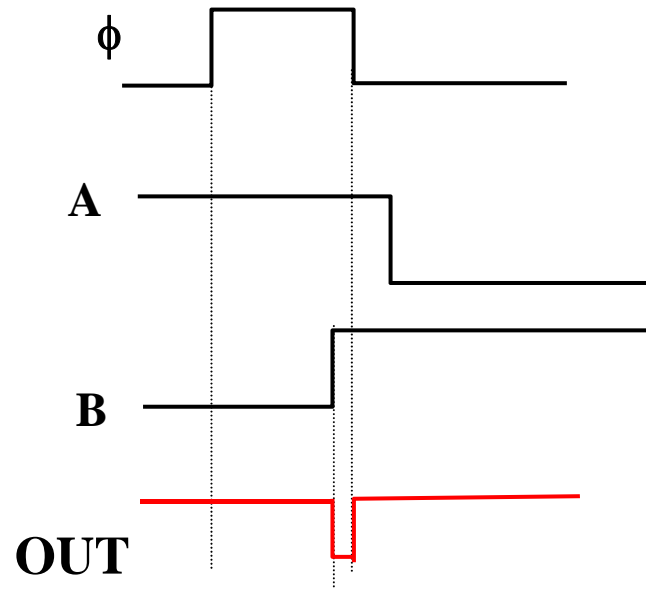
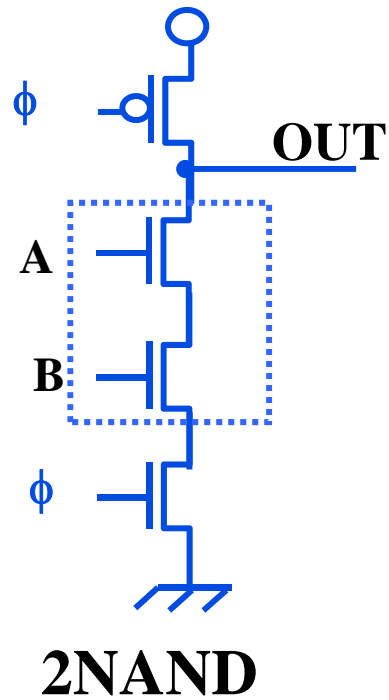
## 举例1：2输入或非门





# 一、动态逻辑电路的工作原理

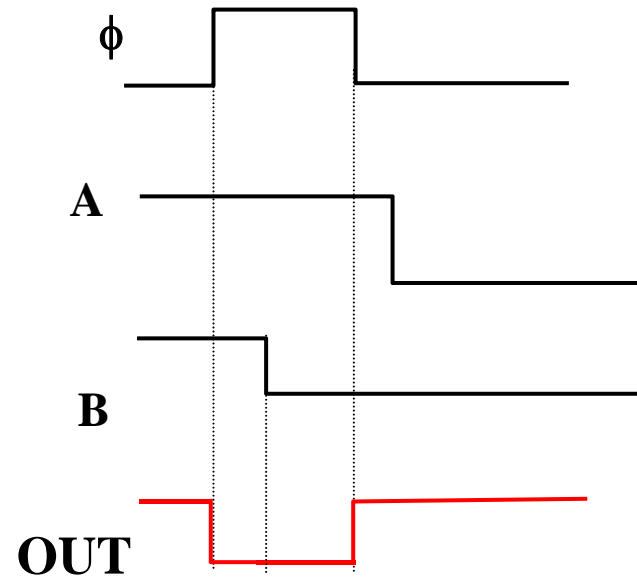
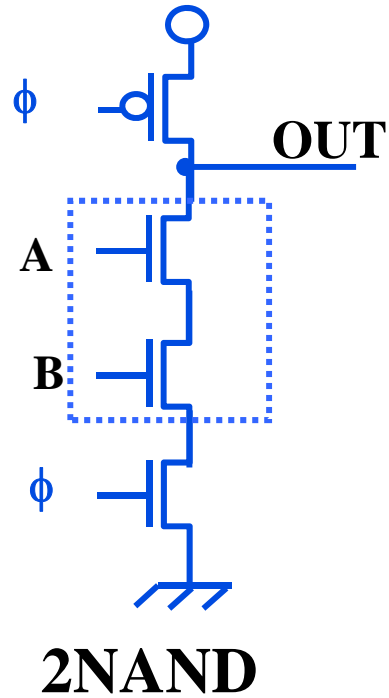
## 举例2：2输入与非门





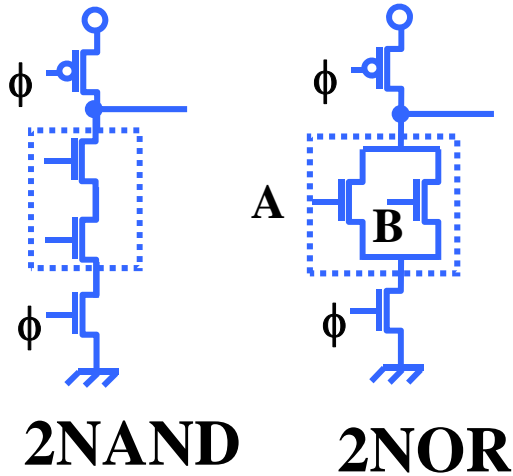
# 一、动态逻辑电路的工作原理

## 举例3：2输入与非门

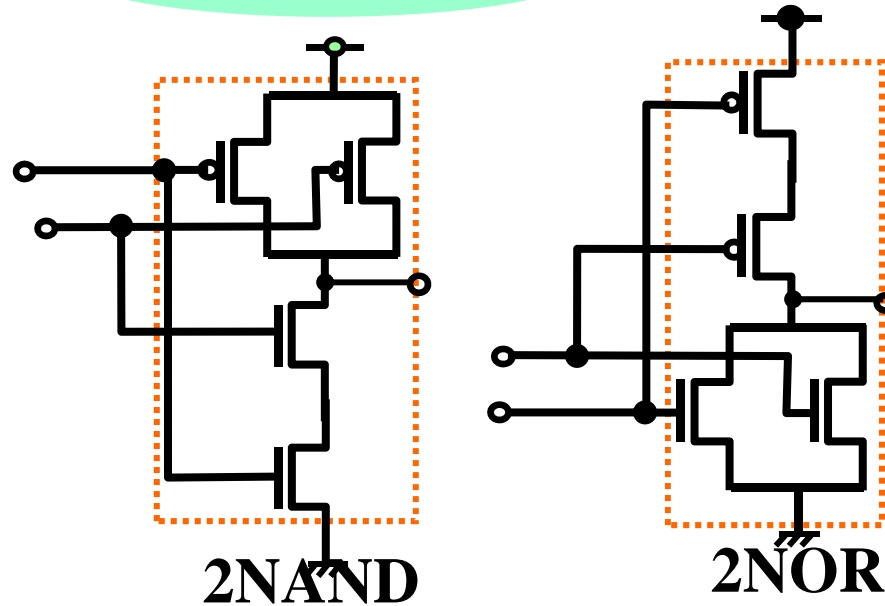


## 二、动态逻辑电路的优点

动态逻辑电路



静态逻辑电路

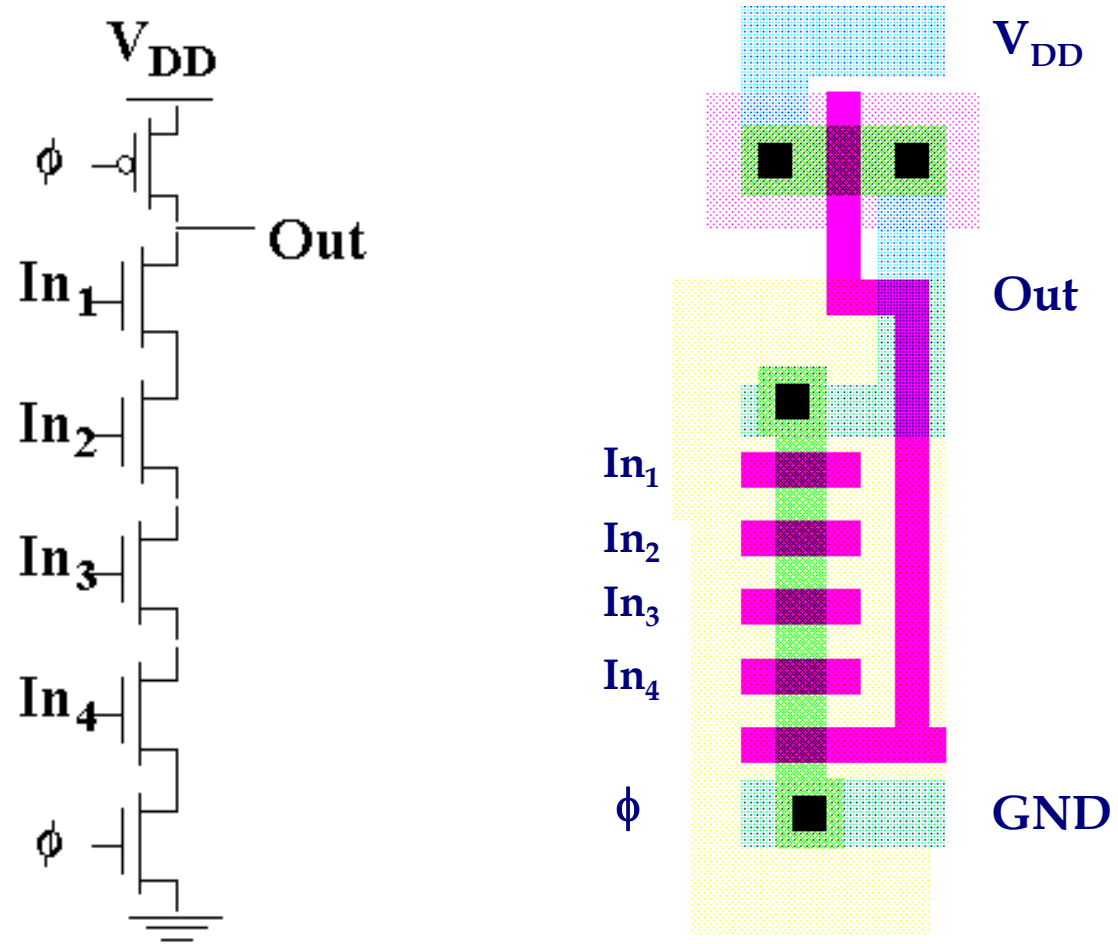


### 优点

- ❖ 输入电容减半.
- ❖ 只使用开关速度比较高速的NMOS
- ❖ 只要输入电压高于阈值电压，电路开始工作

与静态逻辑电路相比，动作速度快2-3倍，通常应用于高速电路

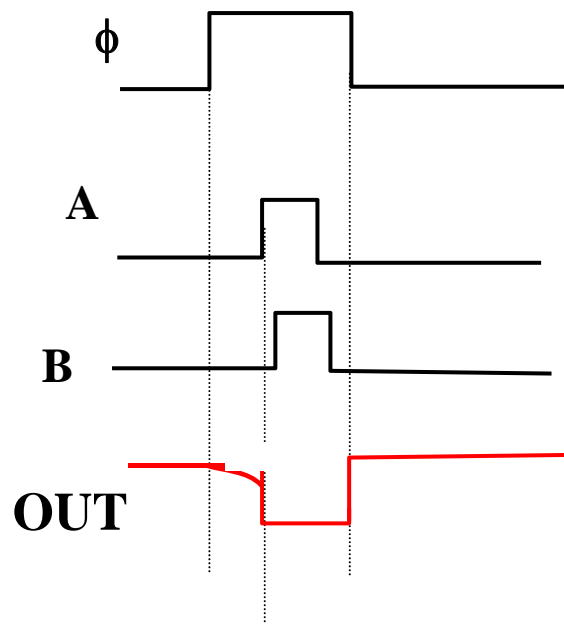
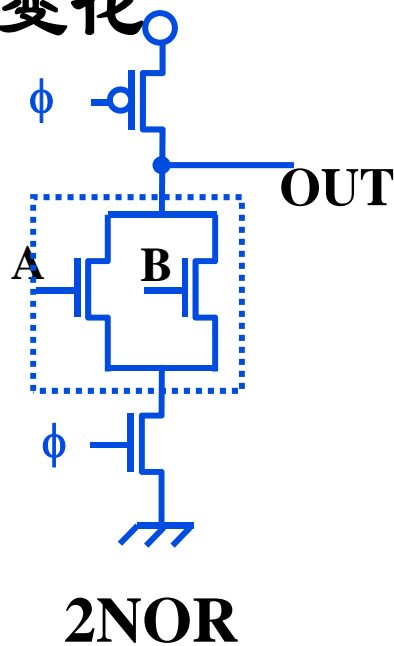
# 动态四输入与非门



### 三、动态逻辑电路的缺点

1. 输出信号一旦错误的放电一次，便不能输出高电平。
2. 噪声耐性、漏电流耐性较低。
3. 有时间制约。

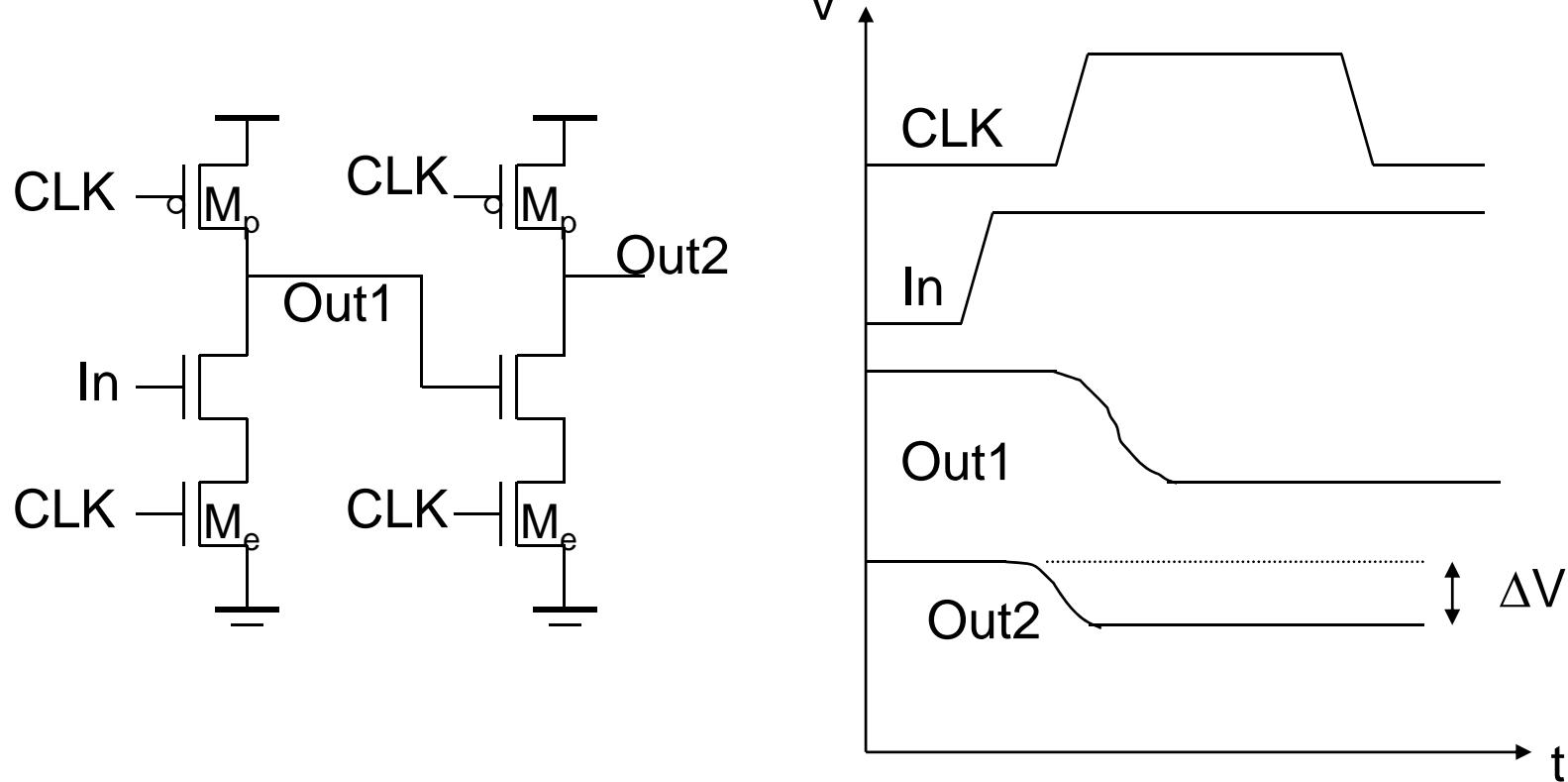
低电平输入只有在“precharge”区间内输入才有效，在“evaluate”区间内，输入信号只能从低电平→高电平变化



不改进，不能  
直接使用

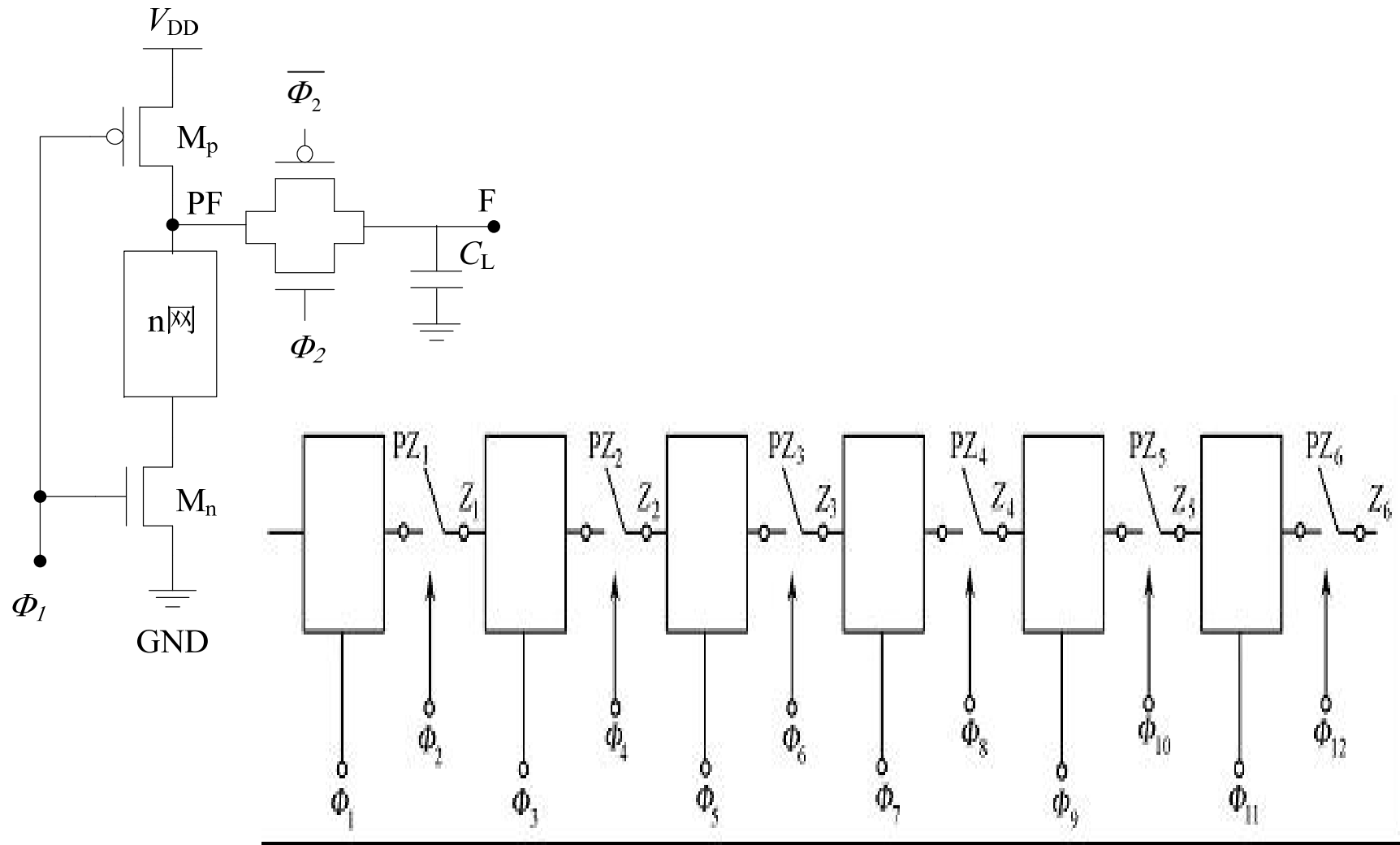


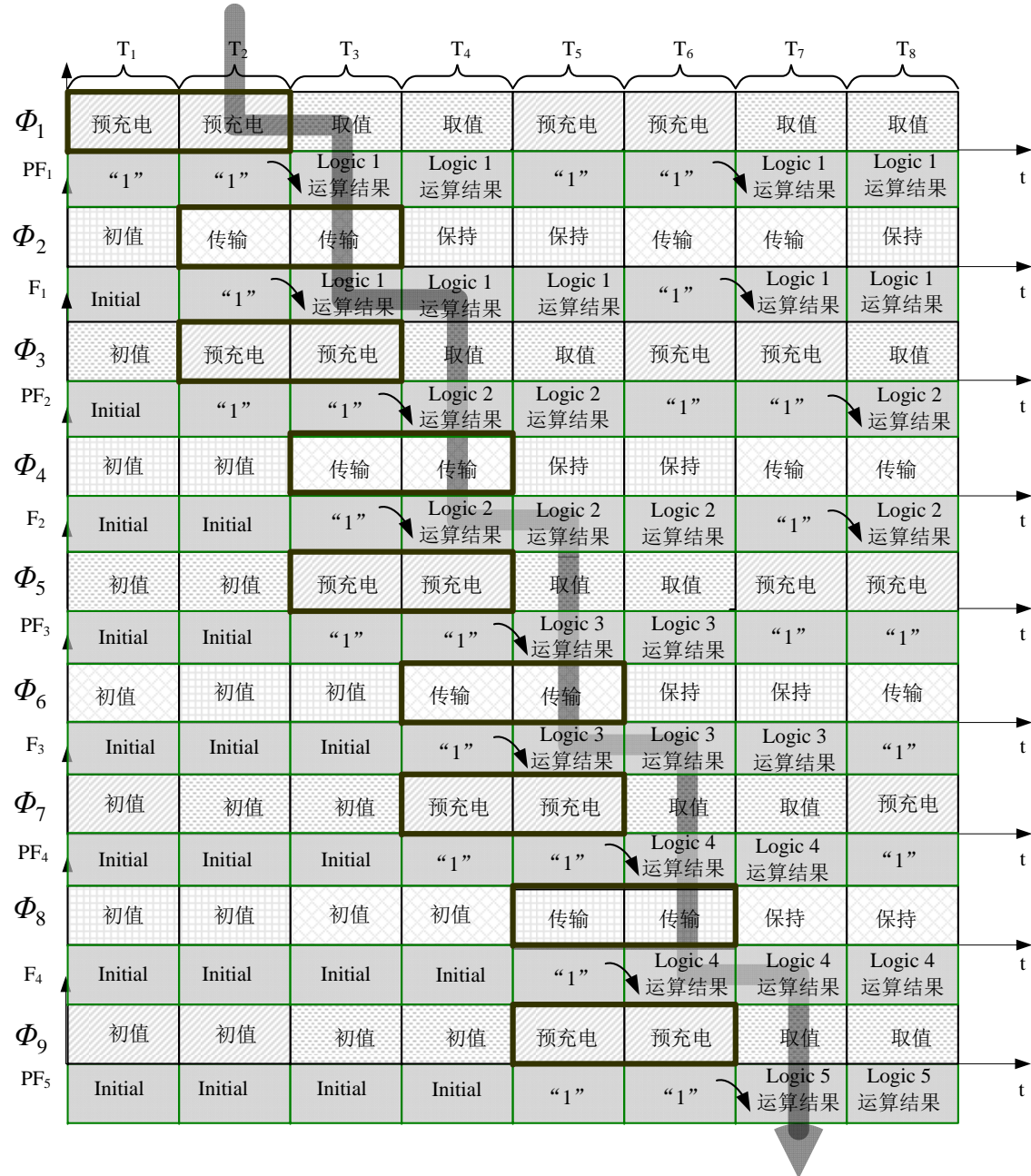
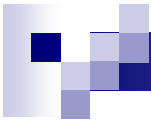
# 动态逻辑门的级联问题

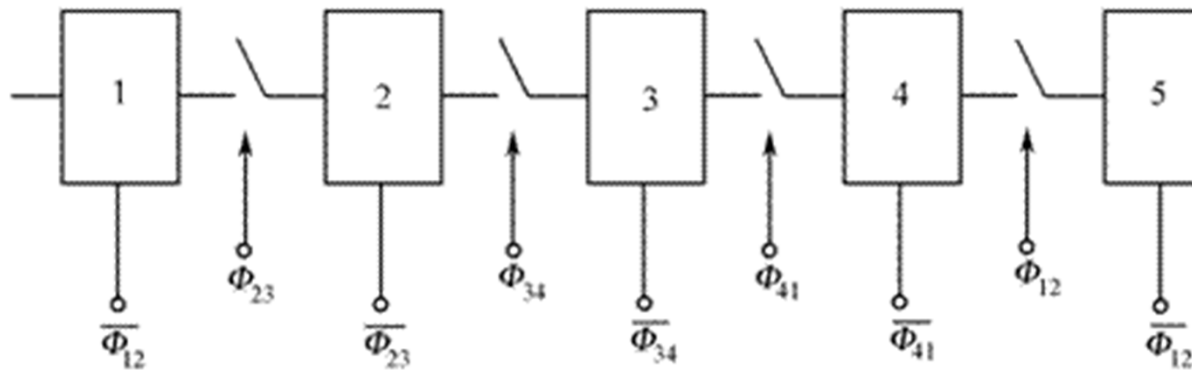
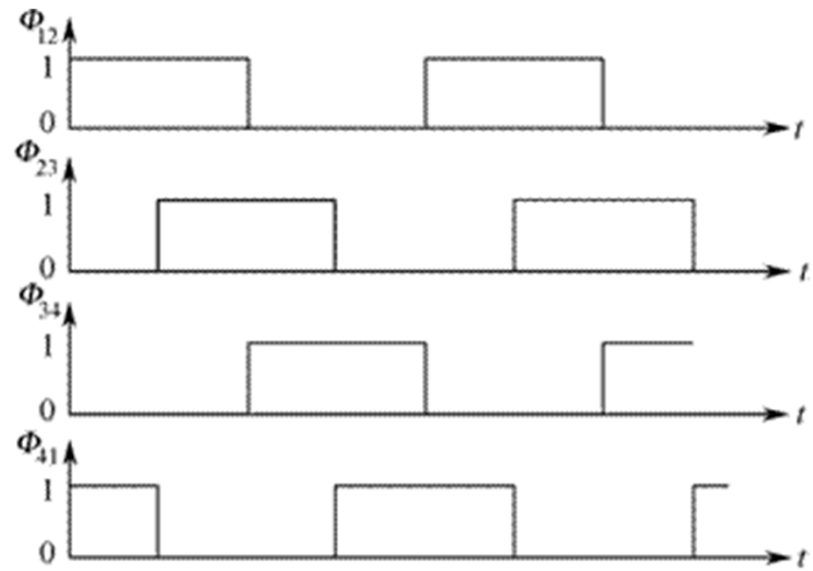
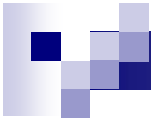


在评估阶段，只允许有 **0 → 1** 的跳变!

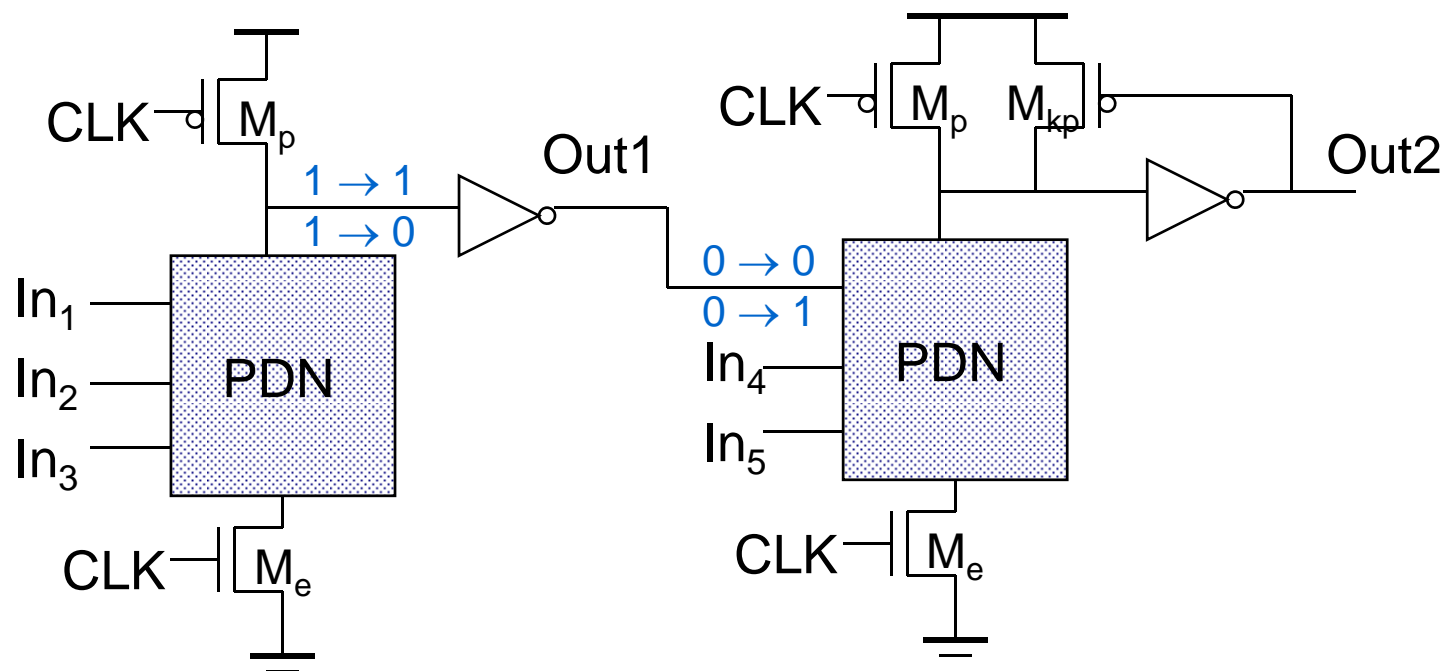
# 传输门隔离动态逻辑电路



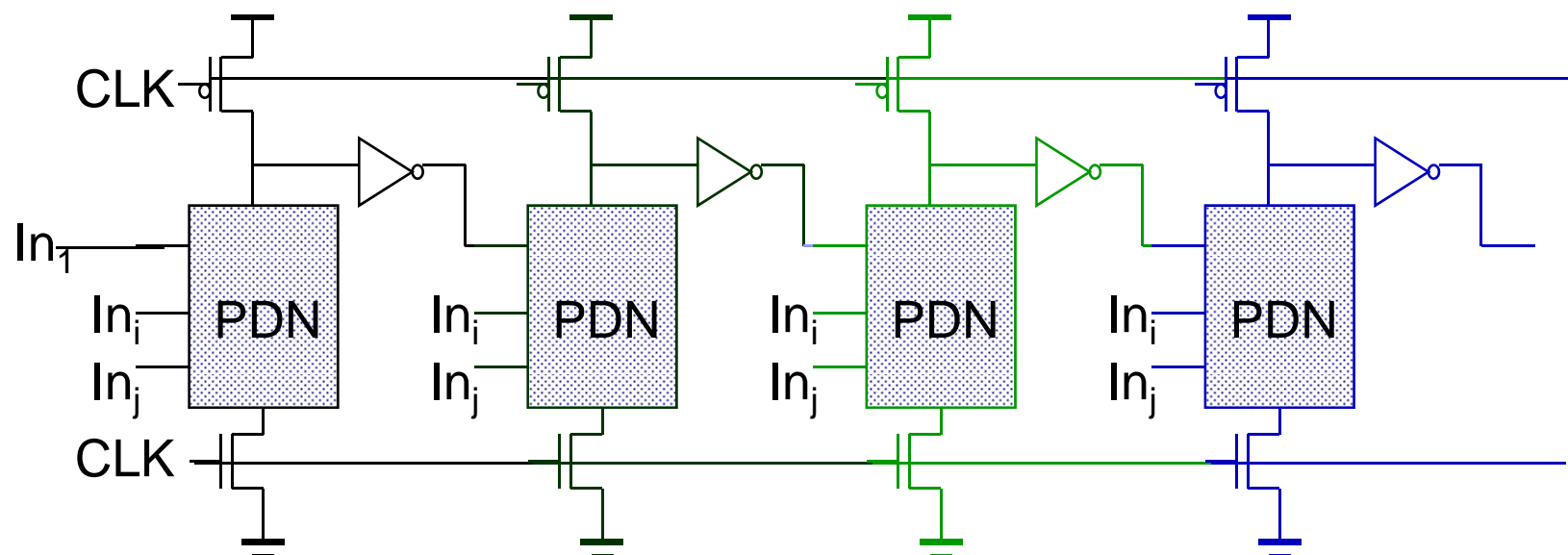




# 多米诺逻辑

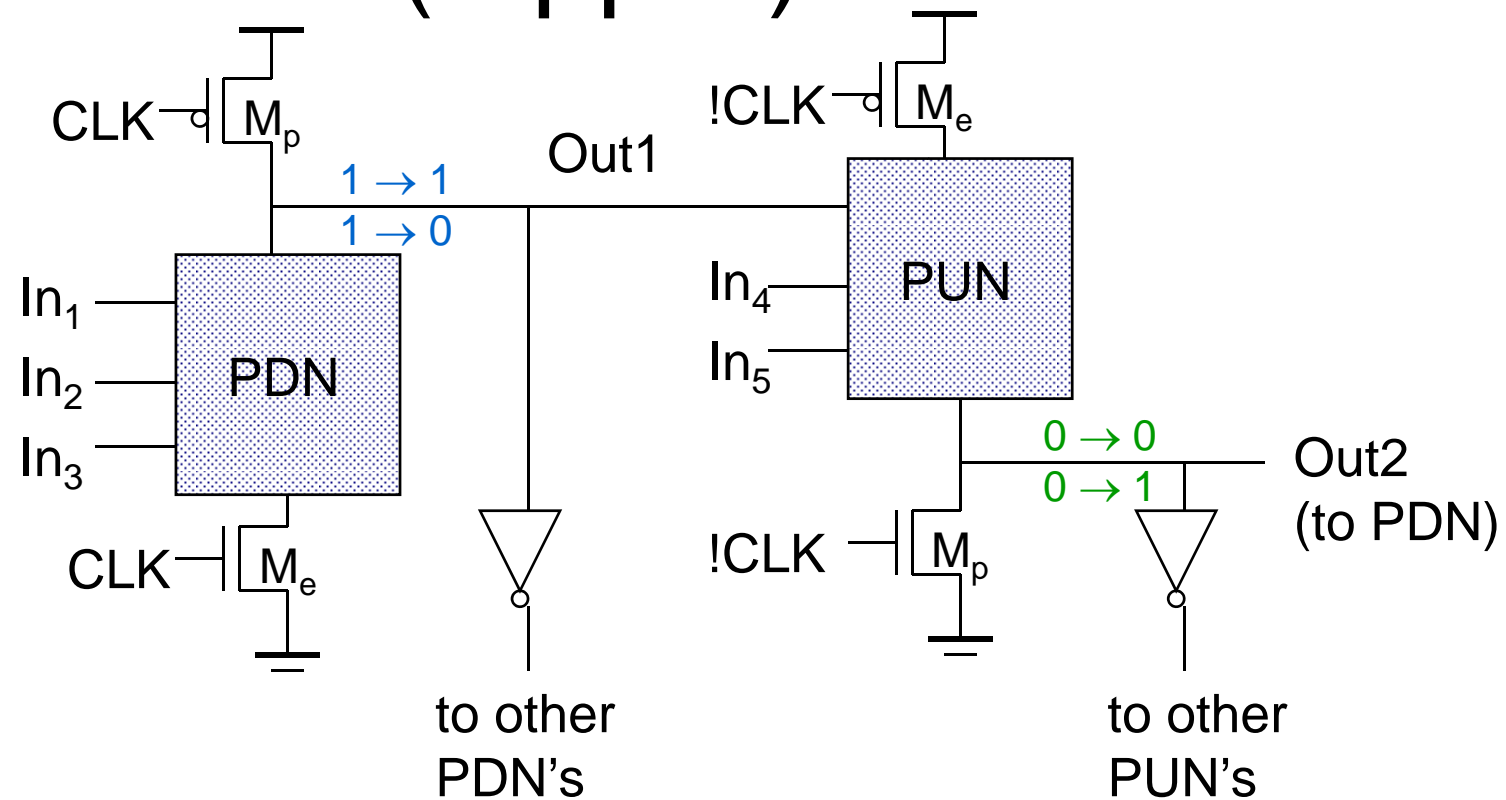


# 为什么称做多米诺?



跳变象多米诺骨牌!

# np-CMOS (Zipper)

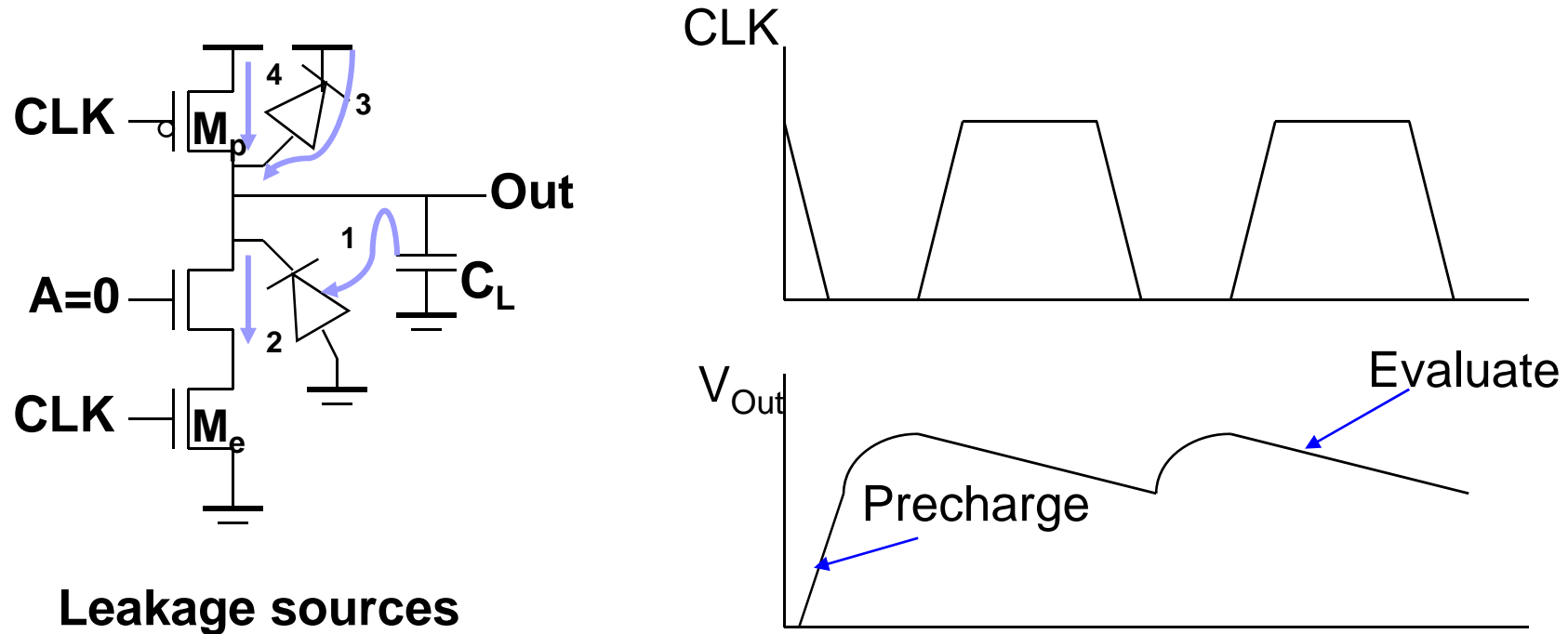


在评估阶段:

对PDN网只允许有  $0 \rightarrow 1$  跳变

对 PUN网只允许有  $1 \rightarrow 0$  跳变

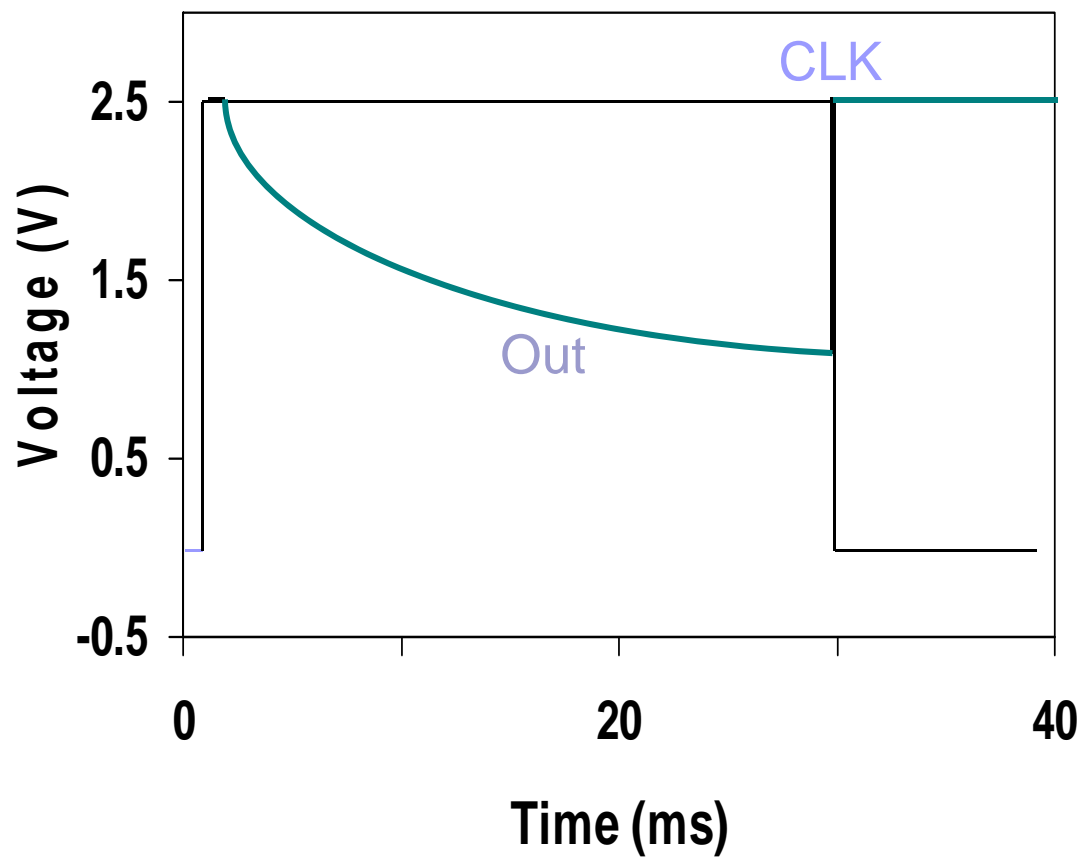
## 四、动态逻辑电路存在的问题-1:电荷泄漏



对最小工作频率有要求,为KHz

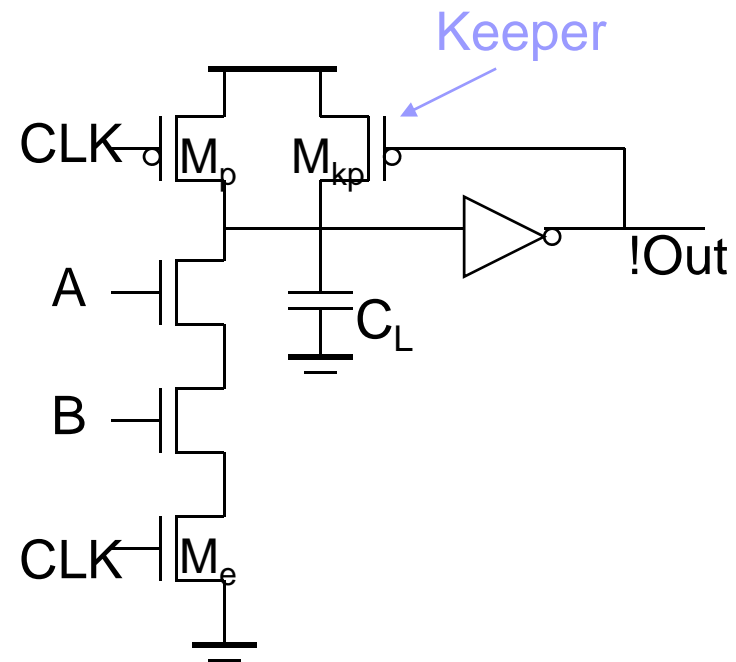


# 泄漏电荷的影响



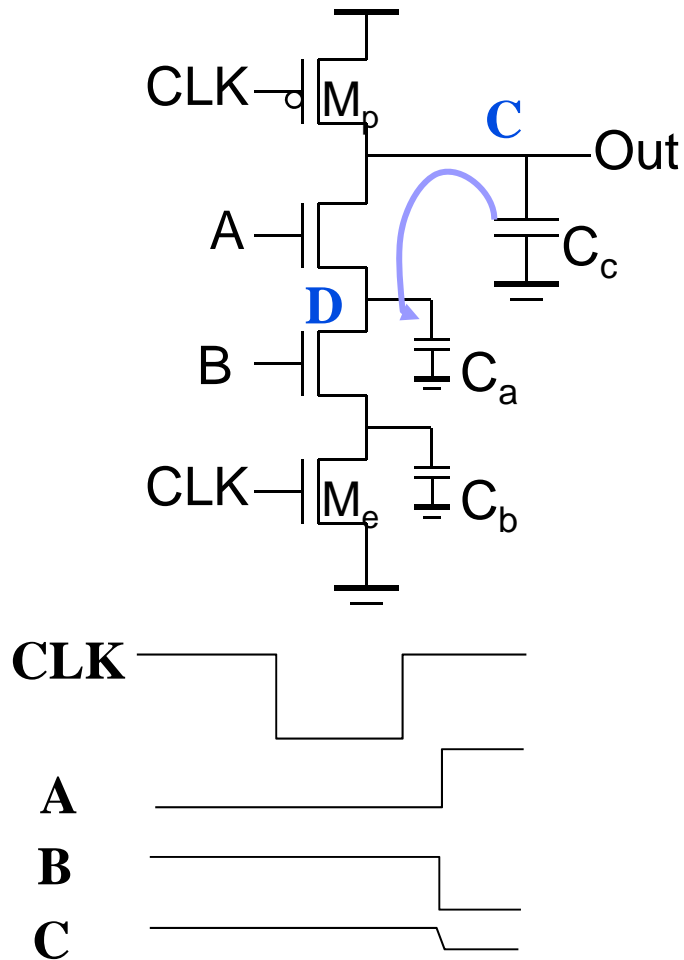
# 电荷泄漏的解决方法

## ■ 增加电荷保持电路



## 四、动态逻辑电路存在的问题-2:电荷分配

问题：2输入NAND的输入信号(A, B)从(“L”, ”H”) → (”H”, ”L”)变化时，输出应保持高电平不变

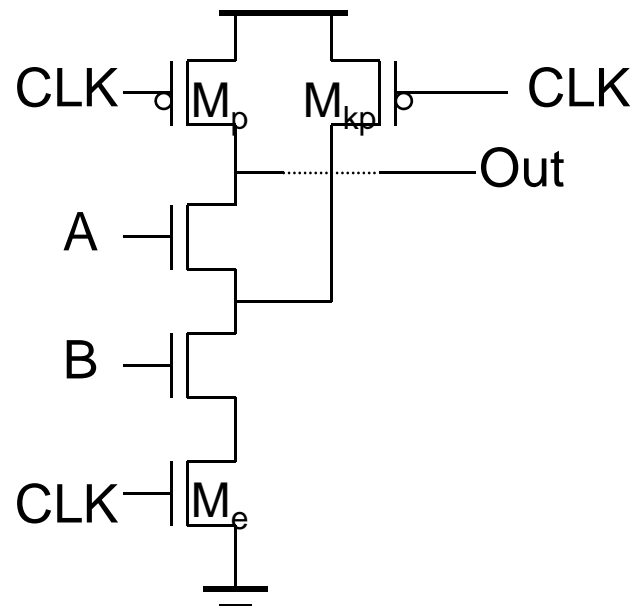


① A=“L” B=“H”，信号“B”控制的nMOS管导通，D点电位变为零。

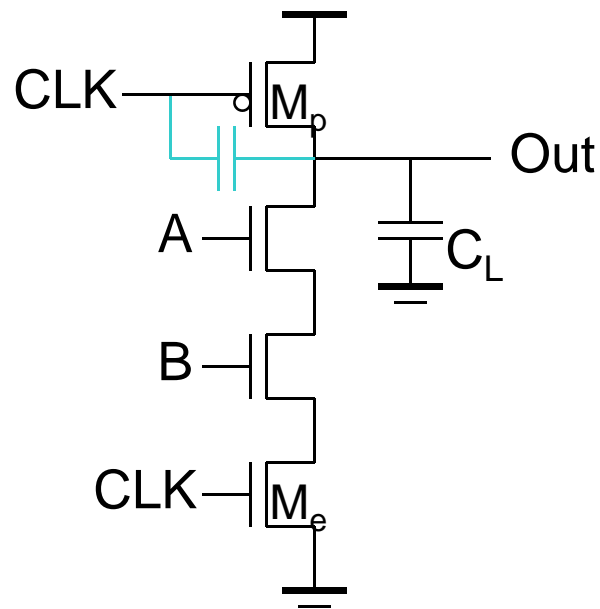
② 假设在电路的预充电阶段，D点的电位保持为零。

③ 设在评估阶段，A=“H” B=“L”，电荷被 $C_c$ ， $C_a$ 分配，C点的电位下降。

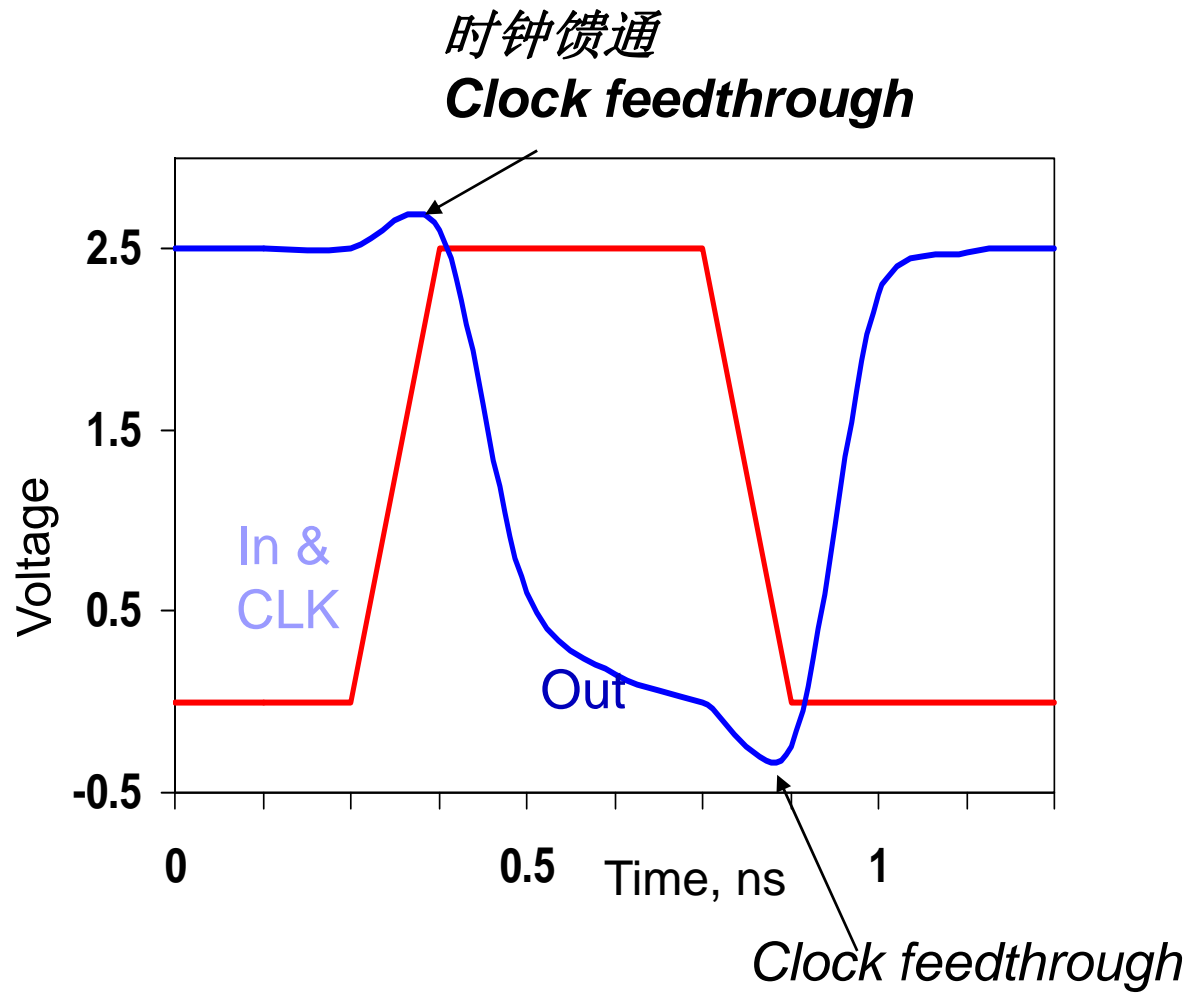
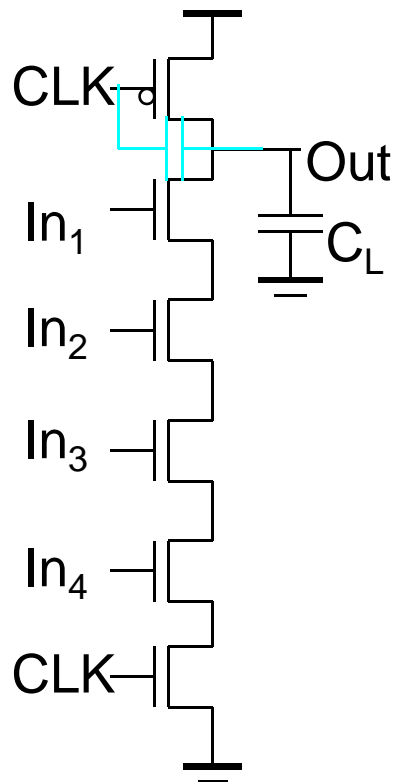
# 解决方法:对中间节点也进行预充电



## 四、动态逻辑电路存在的问题-3:时钟馈通



# 时钟馈通



# 如何选择逻辑方式

设计的简易程度，鲁棒性，面积，速度，功耗

- 静态互补**CMOS**组合逻辑电路具有好的噪声容限，完善的自动化设计工具，因此是最好的通用型逻辑设计方式。但对于大扇入的复合逻辑门会导致面积和性能的退化。
- 传输门逻辑在一些如：多路选择器，以异或门为主的逻辑（如加法器）等特定的电路中具有明显的优势。
- 动态逻辑电路对实现快速、小的复合门方面具有优势，但具有电荷泄漏、电荷分配等效应，设计时需考虑。

# 作业:

请分析下列电路的工作原理，画出输出端OUT的波形。

