

Ku 波段小型化低相噪捷变频频率综合器研制

郝凤玉, 宁娜

(中国空空导弹研究院 航空科技航空制导武器重点实验室, 河南 洛阳 471009)

摘要: 频率源是现代雷达导引系统必不可少的关键电路, 是决定雷达导引系统性能的关键设备。雷达、电子对抗的迅猛发展, 对频率源提出了越来越高的要求。提出了一种小型化低相位噪声捷变频频率综合器的设计方案。实际测试表明: 该系统有着良好的性能。

关键词: 捷变频; 低相噪; 频率综合器

本文引用格式: 郝凤玉, 宁娜. Ku 波段小型化低相噪捷变频频率综合器研制[J]. 四川兵工学报, 2014(9): 99-101.

中图分类号: TN958.92

文献标识码: A

文章编号: 1006-0707(2014)09-0099-03

Ku Band Low Phase Noise Frequency Agility Frequency Synthesizer Design

HAO Feng-yu, NING Na

(Key Laboratory of Aviation Guided Weapon, China Airborne Missile Academy, Luoyang 471009, China)

Abstract: As the key component of the modern radar guidance system, frequency source is the essential circuits which decides the performance of the system. Due to the rapid development of radar and electronic countermeasure, the demand on high-performance frequency synthesizer is more urgent. This paper introduces a design and realization of miniature low phase noise frequency synthesizer used for radar seeker. The measured results prove the system have a high performance.

Key words: frequency agility; low phase noise; frequency synthesizer

Citation format: HAO Feng-yu, NING Na. Ku Band Low Phase Noise Frequency Agility Frequency Synthesizer Design[J]. Journal of Sichuan Ordnance, 2014(9): 99-101.

频率综合器是现代雷达制导系统中的一个关键部件, 它不仅为雷达制导系统提供接收机的本振信号, 而且为全相参雷达提供发射激励信号和各种调制信号。随着雷达技术的发展, 为了满足整机性能, 对频综合器的各项指标均提出很高的要求^[1-3]。对于脉冲多普勒制导雷达, 为了抑制目标的背景杂波, 提高低空探测能力, 一般要求其频综器具有全相参特性; 为了便于提取目标的多普勒频移, 还要求频综器具有很高频率的稳定性和频谱纯度。

本文介绍了一种 Ku 波段宽带捷变频制导雷达频综器的设计方案, 对本振源和发射激励信号采用一体化设计, 采用直接数字频率合成 (DDS) 技术产生的信号作为锁相环 (PLL) 的输入参考信号锁相产生 L 波段跳频环路^[4], 并与 Ku 波段点频源做上混频, 产生所需要的本振信号和发射激励信号等。将 DDS 和 PLL 技术结合起来可以实现高速频率

捷变、高分辨力、高频率稳定性和高频谱纯度的信号源。

1 Ku 波段弹载频综器总体方案设计

本文介绍了一种弹载频综器的设计方案, 采用基于 L 波段跳频环、跟踪环与 Ku 波段频标相混频的方案, 其原理框图如图 1 所示。该方案设计思路是: 以恒温高稳晶振为参考, 通过锁相产生 L 波段捷变频信号, 与 Ku 波段频标上混频产生所需要的本振信号; 另外一路以 DDS 信号作为参考源, 锁相产生 L 波段捷变频跟踪信号, 与 Ku 波段频标上混频产生所需要的发射激励信号。

该方案把频率捷变和多普勒频率的锁相跟踪放在技术比较成熟的 L 波段实现, 系统工作稳定、可靠; 由于采用锁相跟踪滤波, 输出具有杂散分量小、输出相噪低的优点。通过

DDS 信号,进行多普勒频率的跟踪,不仅可以实现系统信号的全相参,还可以大大提高多普勒频率的跟踪精度。

1.1 L 波段锁相环设计

L 波段 PLL2 和 PLL1 的原理框图分别如图 1 所示。PLL2 的输出频率 f_2 为 1.31 ~ 1.46 GHz,其采用的是分频锁相方案;PLL1 的输出频率 f_1 比 f_2 低 60 MHz,其采用的是与

PLL2 相参的混频分频锁相方案。PLL1 和 PLL2 采用大规模锁相集成芯片 PE3336 构成锁相环电路,外加电压预置电路对 VCO 控制电压进行快速预置,大大缩短了频率捷变时间,并运用相噪最优理论设计环路参数,实现了低杂散、低相噪、快速频率捷变的性能要求。

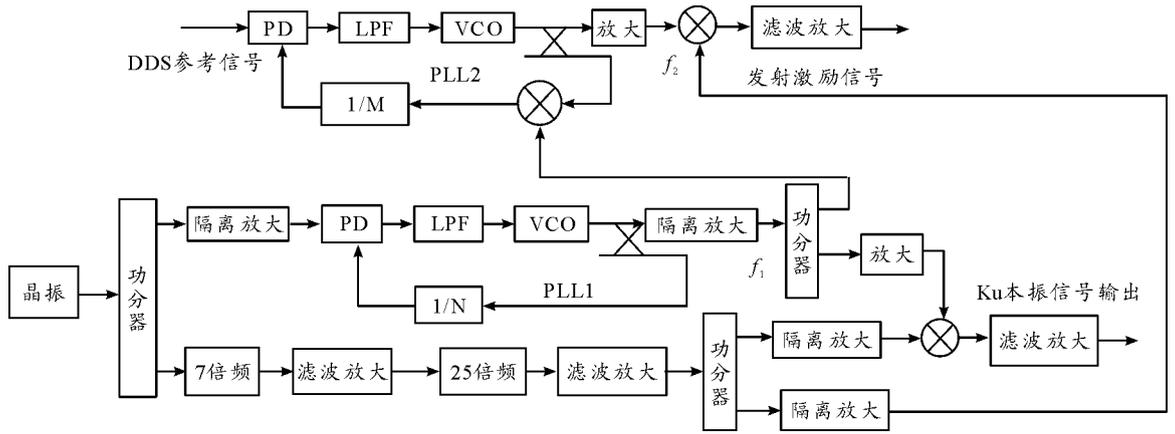


图 1 Ku 波段频率综合器原理框图

1) 环路滤波器设计

锁相频率合成器的设计与调试工作主要集中在环路滤波器上。环路滤波器的作用是抑制鉴相器输出电压中的载频分量和高频噪声,降低由 VCO 控制电压的不纯而引起的寄生输出。由于各种杂散干扰信号在环路中所影响的位置不同,所表现的噪声特性也有所不同。在设计环路滤波器时就需要具体分析干扰来源,合理选择滤波器参数,以获得最佳的滤波性能。环路带宽对各种噪声源和捕获时间的影响可以总结为表 1 所示。

表 1 环路带宽对各种噪声源和捕获时间的影响

设计问题	环路带宽的选择
抑制输入信号的噪声	减小
抑制 PFD 和 CP 非线性引起的噪声	减小
抑制控制电压的噪声	减小
抑制 VCO 的噪声	增大
抑制分频器的噪声	减小
减小捕获时间	增大

环路带宽的一般选择鉴相频率的十分之一,相位裕度取 45 ~ 75°。本设计中采用精密运算放大器 OP187 组成的二阶有源比例积分滤波器。

对于使用高直流增益的有源比例积分环路滤波器的二阶环的频率转换时间,即有捕获时间 T_p ,有

$$T_p \approx \frac{\Delta\omega_0^2}{2\xi\omega_n^3} \quad (1)$$

可见,跳频步进越小,捕获时间越短;环路带宽越宽,捕获时间越短;阻尼系数越大,捕获时间越短;由于高次幂的原

因,环路带宽和跳频步进对捕获时间的长短起主要作用。而阻尼系数 ξ 对暂态过程的曲线形状有决定性的影响,阻尼系数 ξ 大于 1 时,在带宽附近不会有过冲; ξ 小于 1 时,在带宽附近有过冲的出现,且阻尼系数 ξ 越小过冲越大,直至无穷大。过冲的出现会影响频率合成器的相位噪声性能,当过冲无穷大时,频率合成器即产生振荡。因此,阻尼系数 ξ 取大有利于环路的稳定。但也不是越大越好,当 $\xi \gg 1$ 时,高阶环会退化为低阶环,环路滤除杂散的能力变差,其频率响应与阻尼系数之间的关系见图 2。

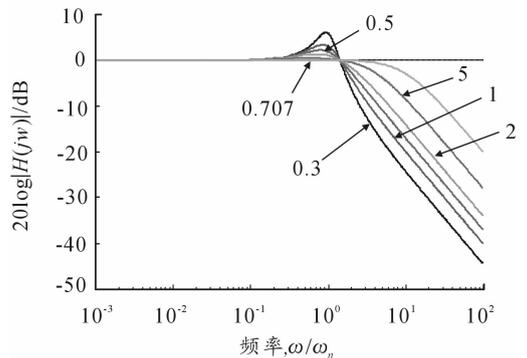


图 2 频率响应与阻尼系数之间关系

当环路参数 ω_n (自然角频率), ξ (阻尼系数) 选定后即可求出滤波器的参数。 ω_n 、 ξ 的选择受环路的噪声性能、稳定性和环路的频率变换时间的限制。

2) 环路稳定性分析

有源滤波器的传递函数为

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \quad (2)$$

式中 $\tau_1 = R_1 C$, $\tau_2 = R_2 C$ 。对于锁相环开环的传递函数为

$$T(s) = \frac{K_v K_\phi F(s)}{N_s} \quad (3)$$

另 $s = j\omega$ 计算出式(3)的幅度和相位

$$|T(j\omega)|^2 = \frac{(K_v K_\phi / \omega N)^2 (1 + \omega^2 \tau_2^2)}{\omega^2 \tau_1^2} \quad (4)$$

$$\angle T(j\omega) = -180 + \tan^{-1}(\omega \tau_2) \quad (5)$$

当 $\omega = \omega_n$ 时,环路的相位裕度为 63.43° ,所以环路是稳定的。

1.2. Ku波段频标设计

Ku波段频标以晶振输入为参考,经过175次倍频得到。其中7倍频和25倍频通过谐波发生器产生,再经过滤波放大得到所需频率。谐波发生器有直流功耗小、谐波输出效率高、附加相噪恶化小等优点,广泛应用于倍频电路中。

2 指标分析

2.1 相位噪声分析

参考晶振的相位噪声是 $-150 \text{ dBc/Hz}@10 \text{ kHz}$,DDS外参考输入的相位噪声基底为 $-110 \text{ dBc/Hz}@10 \text{ kHz}$,锁相环中鉴相器的噪声基底在 5 MHz 鉴频鉴相时约为 -158 dBc 。L波段PLL1采用普通的分频锁相环,其输出频率为 $1.31 \sim 1.46 \text{ GHz}$,分频比 N 为 $229 \sim 256$ 。输出频率相位噪声为: $-158 + 20\lg 256 = -109.8 \text{ dBc/Hz}@10 \text{ kHz}$ 。PLL2采用相参的混频分频锁相环,由于鉴相器的相位噪声基底很低,因此PLL2的相位噪声主要取决于PLL1和DDS外参考经4分频后的相位噪声。DDS外参考经4分频后的相位噪声远低于PLL1的相位噪声,所以的相位噪声取决于PLL1的相位噪声 $-109.8 \text{ dBc/Hz}@10 \text{ kHz}$ 。Ku波段频标相对于晶振倍频了175倍,则频标的相噪约为 $-150 + 20\lg 175 = -105.1 \text{ dBc/Hz}@10 \text{ kHz}$ 。所以混频后的跳频信号的相噪取决于Ku波段频标的相位噪声为 $-105.1 \text{ dBc/Hz}@10 \text{ kHz}$ 。

2.2 跳频时间分析

跳频时间由频率代码处理时间和锁相环锁定时间构成。其中控制采用高速FPGA芯片,数据处理时间小于 $1 \mu\text{s}$ 。所以跳频时间主要取决于锁相环锁定时间。本方案对锁相环锁定时间也采取了多项措施,确保能够快速频率跳变。采取的措施有增大锁相环的环路带宽,以提高环路速度,使频率跳变时间加快。另外还对锁相环的VCO采用数字预置跳频电压,将VCO预置到锁相环的快捕带内。

2.3 杂散分析

其中交互调分量反串要尤为关注,在设计中通过增大反向隔离来抑制无用的交互调分量,使其满足技术指标的要求。本振电路的杂散主要是混频器采用的高RF/LO隔离混频器,RF/LO隔离达 44 dB ,混频后有用信号对本振的抑制有 16 dB ,为达到指标要求的 65 dBc 的杂波指标,滤波器须对本振抑制 50 dB 以上。

3 频率综合器主要性能指标的实测结果

对频率综合器的主要性能指标进行测试的结果如下:

1) 输出杂散和相位噪声

用R&S公司FSUP测得杂散抑制为 65 dBc ,测得Ku波段点频相噪曲线如图3所示,其相位噪声相对于参考输入信号的相位噪声恶化了 46 dB ,与理论计算 $20\lg(175) = 44.9 \text{ dB}$ 相吻合。

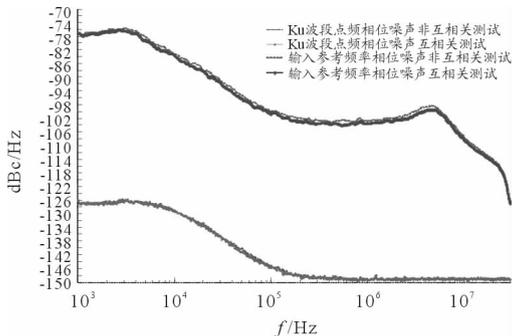


图3 Ku波段点频源相位噪声测量

2) L波段跳频源指标参数测量

用Agilent E5052A信号源分析仪测得L波段跳频源的输出频率范围为 $1.1 \sim 1.4 \text{ GHz}$,跳频间隔为 5 MHz ,频率捷变时间优于 $14 \mu\text{s}$,测试结果如图4所示。

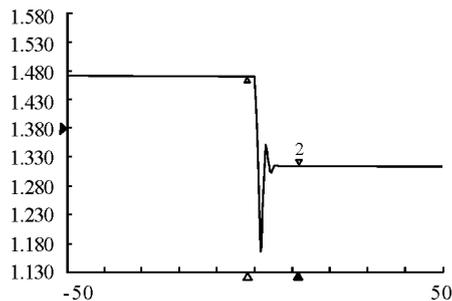


图4 跳频时间测试结果

4 结束语

本文介绍的Ku波段捷变频频率综合器的研制方案,由倍频的点频源和L波段的捷变频频率源上变频得到。其中,谐波取样锁相点频源保证相位噪声性能。试验结果表明,该源在偏离载频 10 kHz 处,相位噪声低于 -105 dBc/Hz ,频率捷变时间少于 $16 \mu\text{s}$,杂散抑制优于 -65 dBc 。

参考文献:

- [1] 张闾盛,郑继禹,万心平. 锁相技术[M]. 西安:西安电子科技大学出版社,1994.
- [2] 连汉雄. 微波锁相振荡源[M]. 北京:人民邮电出版社,1982.
- [3] 刘顺英. 锁相环原理、设计及其应用[M]. 北京:人民邮电出版社,1988.
- [4] 李倩. AD9910在雷达信号源中的应用[J]. 四川兵工学报,2013(7):19-21.

(责任编辑 杨继森)