EDA 技术实用教程

第 3 章
FPGA/CPLD 结构与应用

3.1 概　述

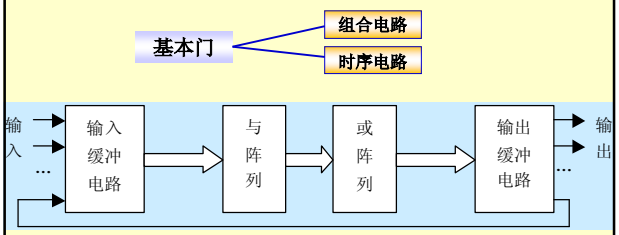


图3-1 基本PLD器件的原理结构图

3.1 概　述

3.1.1 可编程逻辑器件的发展历程

- PROM (Programmable Read Only Memory)
- PLA (Programmable Logic Array)
- PAL (Programmable Array Logic)
- GAL (Generic Array Logic)
- EPLD
- CPLD
- FPGA

3.1 概　述

3.1.2 可编程逻辑器件的分类

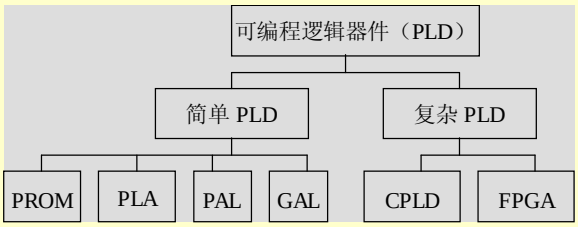


图3-2 PLD按集成度分类

3.2 简单可编程逻辑器件原理

3.2.1 电路符号表示

	非门	与门	或门	异或门
常用符号	A—▷○— $\bar{A}$	A, B—&—F	A, B—≥1—F	A, B—=1—F
国标符号	A—1○— $\bar{A}$	A, B—&—F	A, B—≥1—F	A, B—=1—F
逻辑表达式	$\bar{A}$= NOT A	F=A•B	F=A+B	F=A⊕B

图3-3 常用逻辑门符号与现有国标符号的对照

3.2 简单可编程逻辑器件原理

3.2.1 电路符号表示

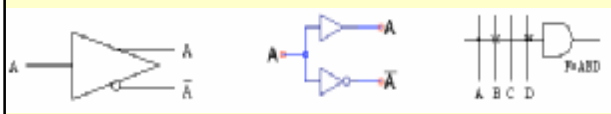


图3-4 PLD的互补缓冲器　图3-5 PLD的互补输入　图3-6 PLD中与阵列表示

3.2 简单可编程逻辑器件原理

3.2.1 电路符号表示

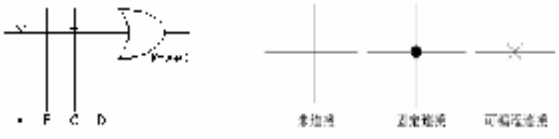


图3-7 PLD中或阵列的表示　　图3-8 阵列线连接表示

3.2 简单可编程逻辑器件原理

3.2.2 PROM

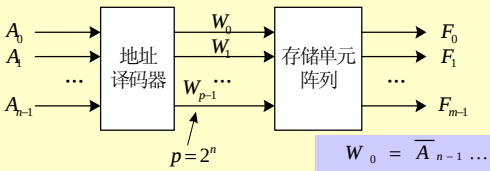


图3-9 PROM基本结构

$$W_0 = \overline{A}_{n-1} \ldots \overline{A}_1 \overline{A}_0$$
$$W_1 = \overline{A}_{n-1} \ldots \overline{A}_1 A_0$$
$$\ldots$$
$$W_{2^n-1} = A_{n-1} \ldots A_1 A_0$$

3.2 简单可编程逻辑器件原理

3.2.2 PROM

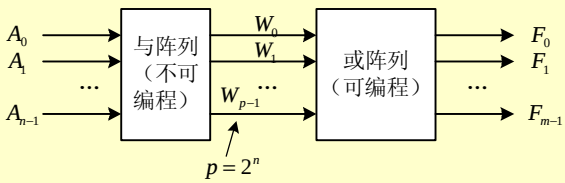


图3-10 PROM的逻辑阵列结构

3.2 简单可编程逻辑器件原理

3.2.2 PROM

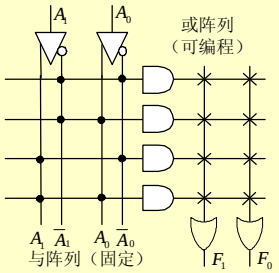


图3-11 PROM表达的PLD阵列图

3.2 简单可编程逻辑器件原理

3.2.2 PROM

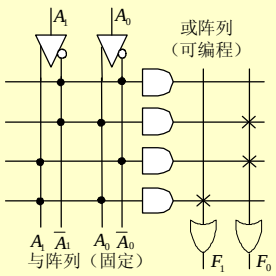


图3-12 用PROM完成半加器逻辑阵列

3.2 简单可编程逻辑器件原理

3.2.3 PLA

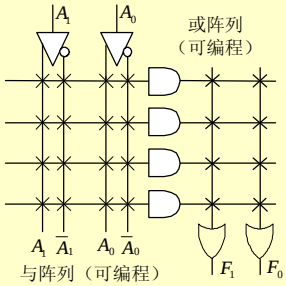


图3-13 PLA逻辑阵列示意图

3.2 简单可编程逻辑器件原理

3.2.3 PLA

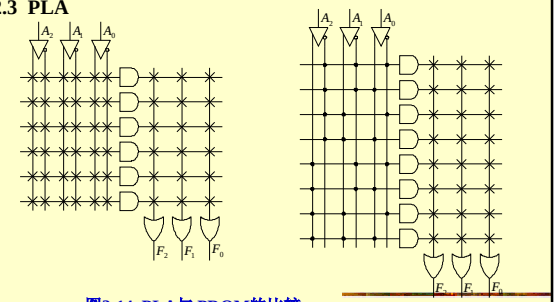


图3-14 PLA与 PROM的比较

康芯科技

3.2 简单可编程逻辑器件原理

3.2.4 PAL

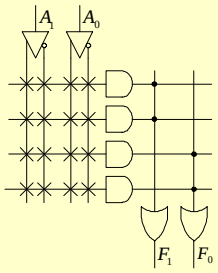


图3-15 PAL结构

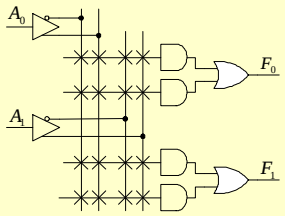


图3-16 PAL的常用表示

康芯科技

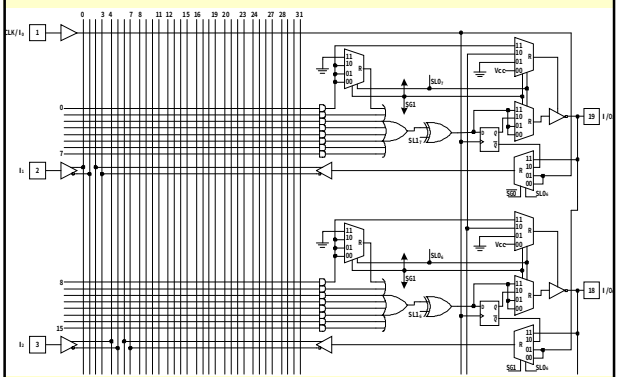


图3-17 一种PAL16V8的部分结构图

康芯科技

3.2.5 GAL

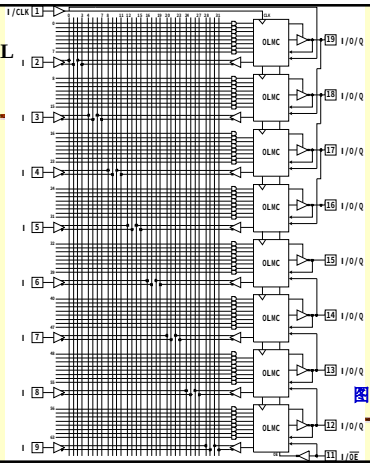


图3-15 PAL结构

16

康芯科技

3.2 简单可编程逻辑器件原理

3.2.5 GAL

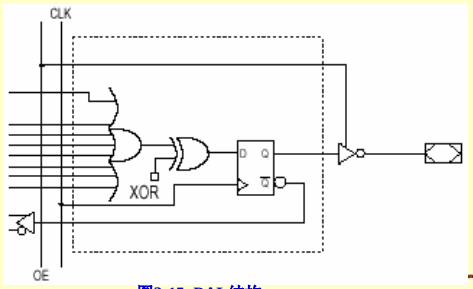


图3-15 PAL结构

17

康芯科技

3.2 简单可编程逻辑器件原理

3.2.5 GAL

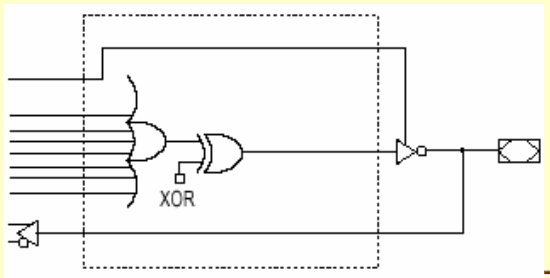


图3-20 寄存器模式组合双向输出结构

18

康芯科技

3.2 简单可编程逻辑器件原理

3.2.5 GAL

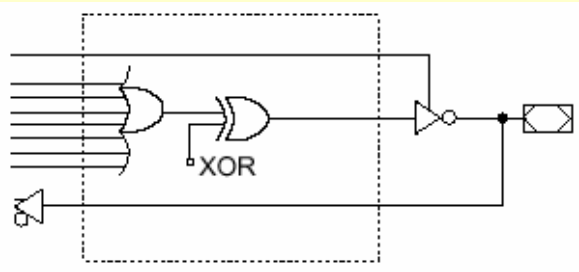


图3-21 组合输出双向结构

19

康芯科技

3.2 简单可编程逻辑器件原理

3.2.5 GAL

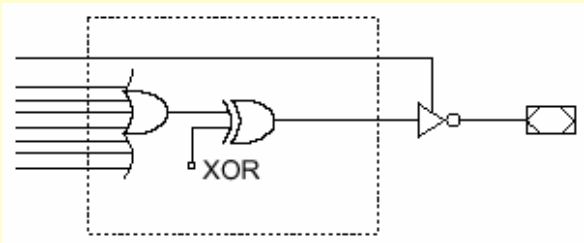


图3-22 复合型组合输出结构

20

康芯科技

3.2 简单可编程逻辑器件原理

3.2.5 GAL

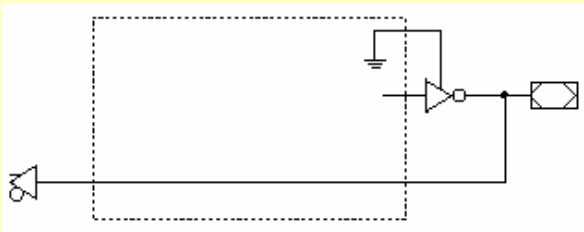


图3-23 反馈输入结构

21

康芯科技

3.2 简单可编程逻辑器件原理

3.2.5 GAL

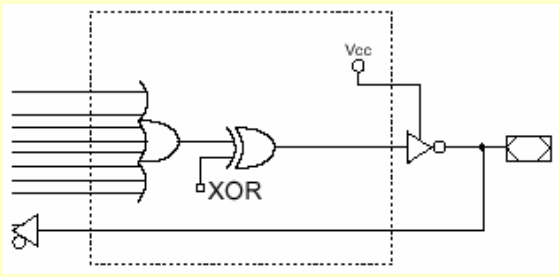


图3-24 输出反馈结构

3.2 简单可编程逻辑器件原理

3.2.5 GAL

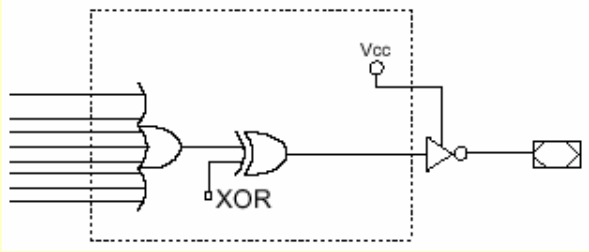


图3-25 简单模式输出结构

3.3 CPLD的结构与工作原理

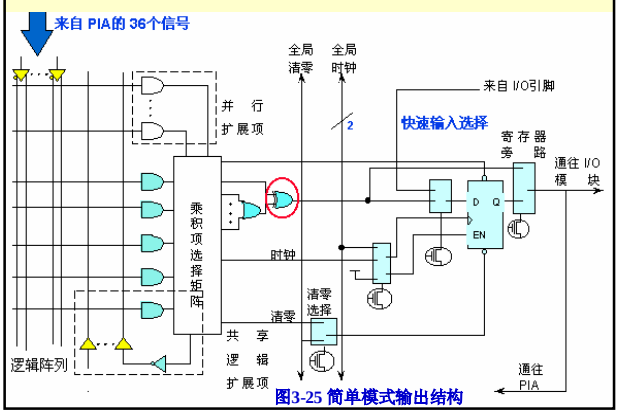


图3-25 简单模式输出结构

3.3 CPLD的结构与工作原理

1. 逻辑阵列块(LAB)

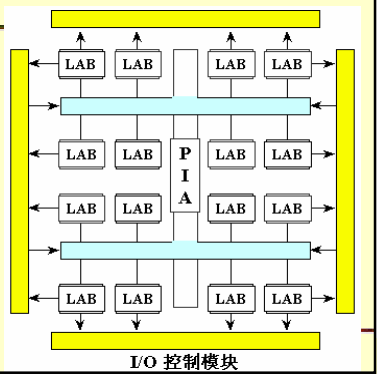


图3-27 MAX7128S的结构

3.3 CPLD的结构与工作原理

2. 宏单元

MAX7000系列中的宏单元

- 逻辑阵列
- 乘积项选择矩阵
- 可编程寄存器

三种时钟输入模式

- 全局时钟信号
- 全局时钟信号由高电平有效的时钟信号使能
- 用乘积项实现一个阵列时钟

3.3 CPLD的结构与工作原理

3. 扩展乘积项

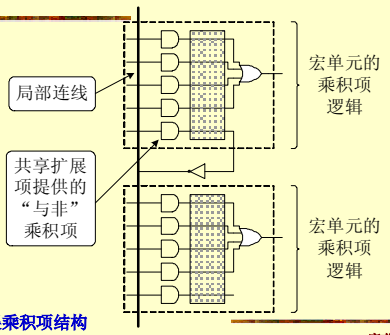


图3-28 共享扩展乘积项结构

3.3 CPLD的结构与工作原理

3．扩展乘积项

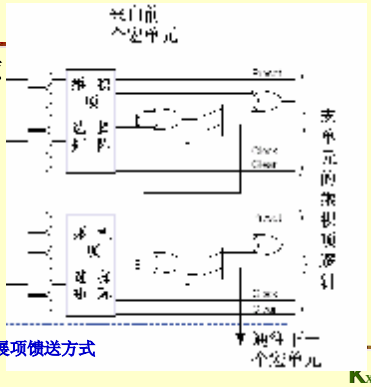


图3-29 并联扩展项馈送方式

3.3 CPLD的结构与工作原理

4．可编程连线阵列(PIA)

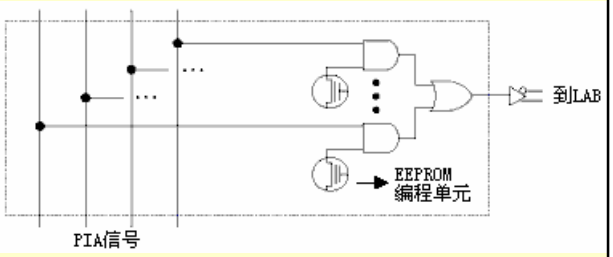


图3-30 PIA信号布线到LAB的方式

3.3 CPLD的结构与工作原理

5．I/O控制块

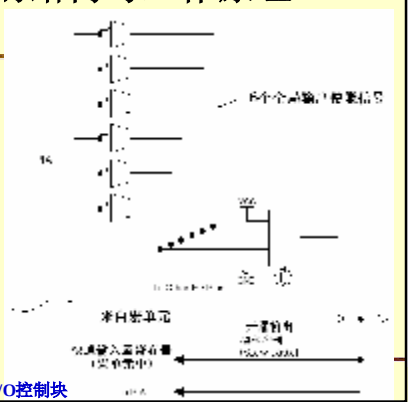


图3-31 EPM7128S器件的I/O控制块

3.4 FPGA的结构与工作原理

3.4.1 查找表逻辑结构

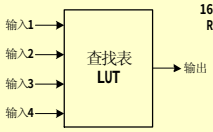


图3-32 FPGA查找表单元

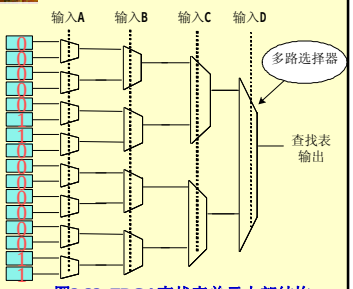


图3-33 FPGA查找表单元内部结构

康芯科技

3.4.2 Cyclone/CycloneII系列器件的结构与原理

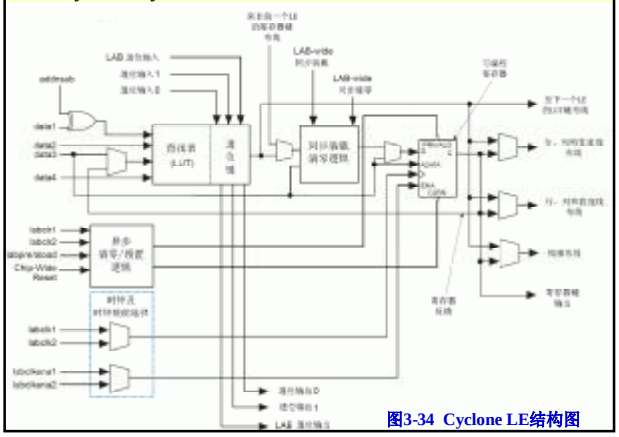


图3-34 Cyclone LE结构图

3.4 FPGA的结构与工作原理

3.4.2 Cyclone/CycloneII系列器件的结构与原理

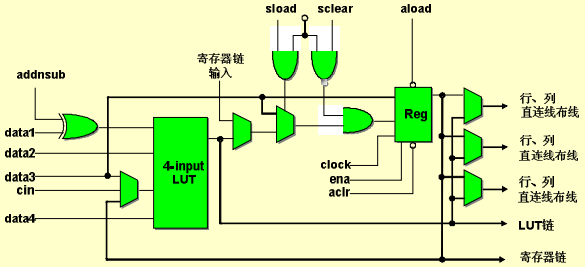


图3-35 Cyclone LE普通模式

康芯科技

3.4.2 Cyclone/CycloneII系列器件的结构与原理

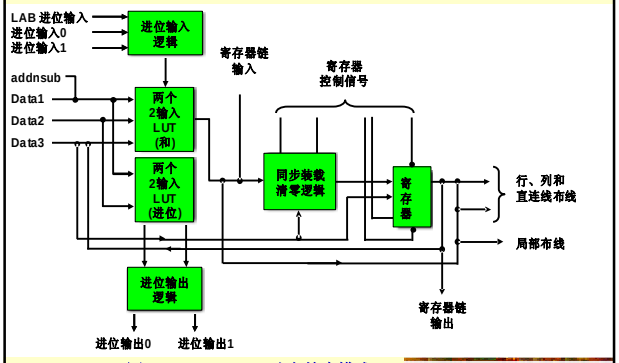


图3-36 Cyclone LE动态算术模式

3.4.2 Cyclone/CycloneII系列器件的结构与原理

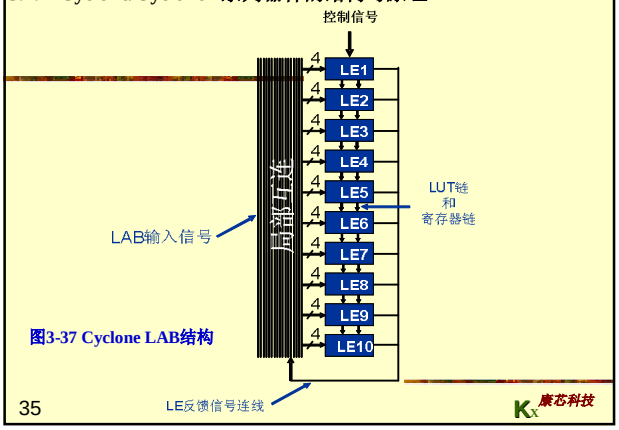


图3-37 Cyclone LAB结构

3.4.2 Cyclone/CycloneII系列器件的结构与原理

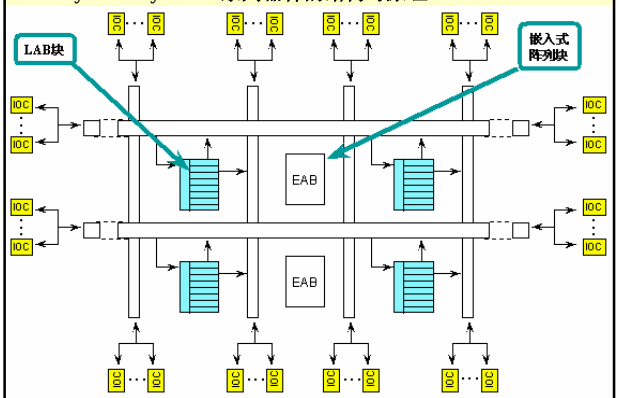
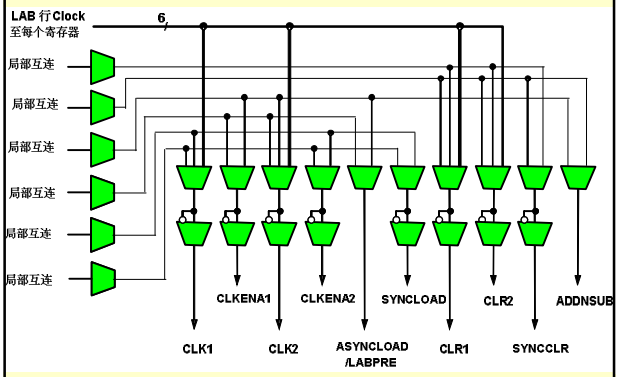


图3-38 LAB阵列

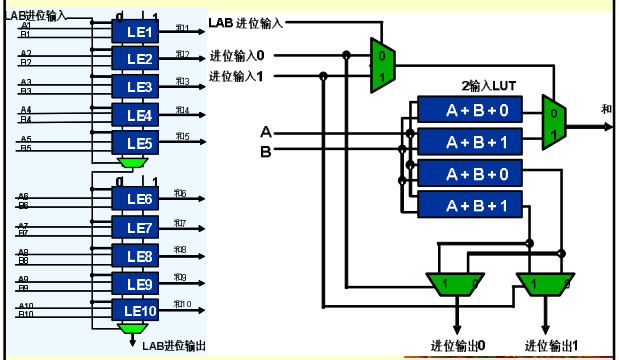
3.4.2 Cyclone/CycloneII系列器件的结构与原理



37 图3-39 LAB控制信号生成

Kx 康芯科技

3.4.2 Cyclone/CycloneII系列器件的结构与原理



38 图2-40 快速进位选择链

Kx 康芯科技

3.4 FPGA的结构与工作原理

3.4.2 Cyclone/CycloneII系列器件的结构与原理

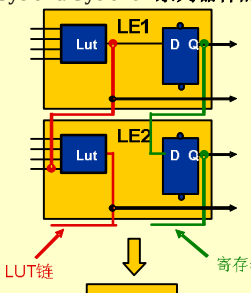


图3-41 LUT链和寄存器链的使用

39

Kx 康芯科技

3.4 FPGA的结构与工作原理

3.4.2 Cyclone/CycloneII系列器件的结构与原理

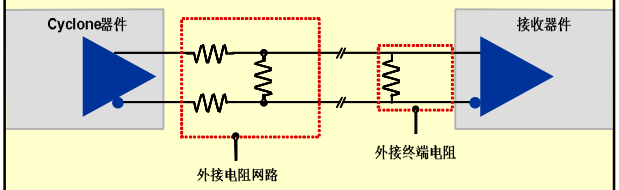


图3-42 LVDS连接

3.5 硬件测试技术

3.5.1 内部逻辑测试

3.5.2 JTAG边界扫描测试

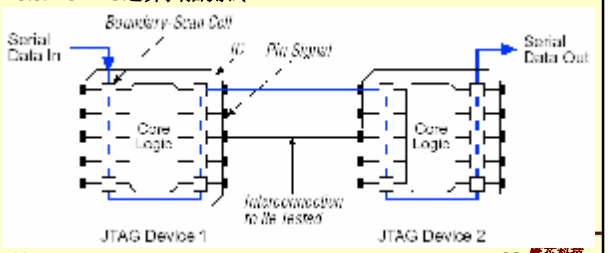


图3-43 边界扫描电路结构

3.5 硬件测试技术

3.5.2 JTAG边界扫描测试

表3-1 边界扫描IO引脚功能

引脚	描 述	功 能
TDI	测试数据输入(Test Data Input)	测试指令和编程数据的串行输入引脚。数据在TCK的上升沿移入。
TDO	测试数据输出(Test Data Output)	测试指令和编程数据的串行输出引脚，数据在TCK的下降沿移出。如果数据没有被移出时，该引脚处于高阻态。
TMS	测试模式选择(Test Mode Select)	控制信号输入引脚，负责TAP控制器的转换。TMS必须在TCK的上升沿到来之前稳定。
TCK	测试时钟输入(Test Clock Input)	时钟输入到BST电路，一些操作发生在上升沿，而另一些发生在下降沿。
TRST	测试复位输入(Test Reset Input)	低电平有效，异步复位边界扫描电路(在IEEE规范中，该引脚可选)。

3.5 硬件测试技术

3.5.2 JTAG边界扫描测试

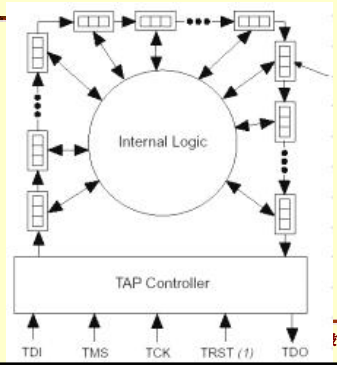


图3-44 边界扫描数据移位方式

43

3.5.2 JTAG边界扫描测试

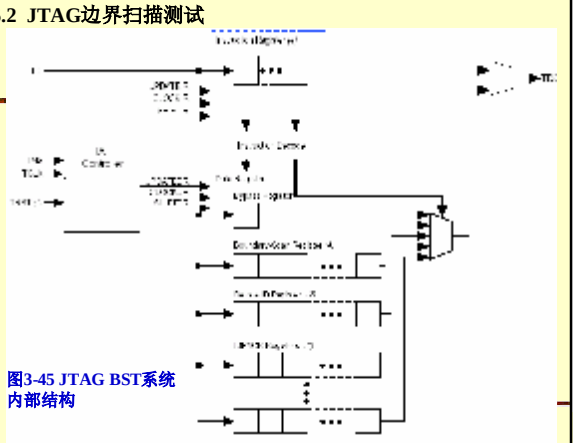


图3-45 JTAG BST系统内部结构

44

3.5.2 JTAG边界扫描测试

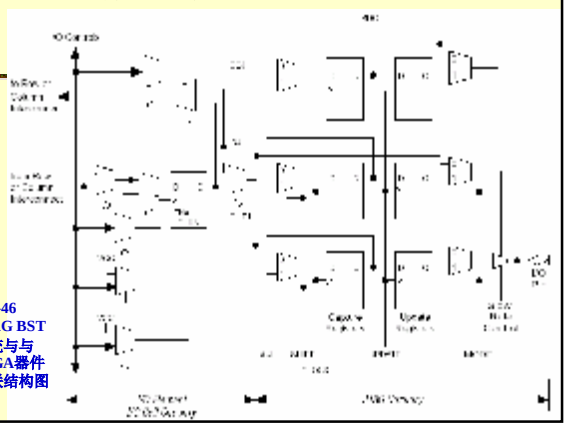


图3-46 JTAG BST系统与与FPGA器件关联结构图

45

3.5 硬件测试技术

3.5.2 JTAG边界扫描测试

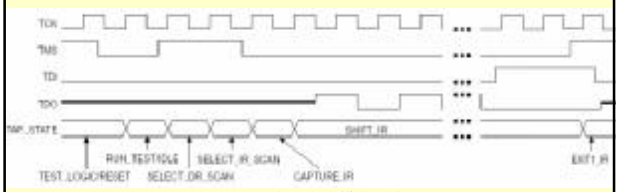


图3-47 JTAG BST选择命令模式时序

3.5.3 嵌入式逻辑分析仪

3.6 FPGA/CPLD产品概述

3.6.1 Lattice公司CPLD器件系列

1. ispLSI器件系列
   - ispLSI1000E系列
   - ispLSI2000E/2000VL/200VE系列
   - ispLSI5000V系列
   - ispLSI 8000/8000V系列
2. ispMACH4000系列
   - IspMACH 4000Z、ispMACH 4000V 、 ispMACH 4000Z
3. Lattice EC & ECP系列

3.6 FPGA/CPLD产品概述

3.6.2 Xilinx公司的FPGA和CPLD器件系列

1. Virtex-4系列FPGA
   - Virtex-4 LX
   - Virtex-4 SX
   - Virtex-4 FX
2. SpartanⅡ& Spartan-3 & Spartan 3E器件系列
3. XC9500 & XC9500XL系列CPLD
4. Xilinx FPGA配置器件SPROM
5. Xilinx的IP核

3.6 FPGA/CPLD产品概述

3.6.3 Altera公司FPGA和CPLD器件系列

1. Stratix II 系列FPGA
2. Stratix系列FPGA
3. ACEX系列FPGA
4. FLEX系列FPGA
5. MAX系列CPLD
6. Cyclone系列FPGA低成本FPGA
7. Cyclone II系列FPGA
8. MAX II系列器件
9. Altera宏功能块及IP核

3.6 FPGA/CPLD产品概述

3.6.4 Actel公司的FPGA器件

3.6.5 Altera公司的FPGA配置方式与配置器件

表3-2 Altera FPGA常用配置器件

器 件	功能描述	封装形式
EPC2	1695680×1位，3.3/5V供电	20脚PLCC、32 脚 TQFP
EPC1	1046496×1位，3.3/5V供电	8脚PDIP、20脚PLCC
EPC1441	440 800×1位，3.3/5V供电	8脚PDIP、20脚PLCC

3.7 编程与配置

编程工艺
- 基于电可擦除存储单元的EEPROM或Flash技术
- 基于SRAM查找表的编程单元
- 基于反熔丝编程单元

表3-3 图3-48接口各引脚信号名称

引脚	1	2	3	4	5	6	7	8	9	10
PS模式	DCK	GND	CONE_DONE	VCC	nCONFIG	-	nSTATUS	-	DATA0	GND
JATG模式	TCK	GND	TDO	VCC	TMS	-	-	-	TDI	GND

3.7 编程与配置

3.7.1 JTAG方式的在系统编程

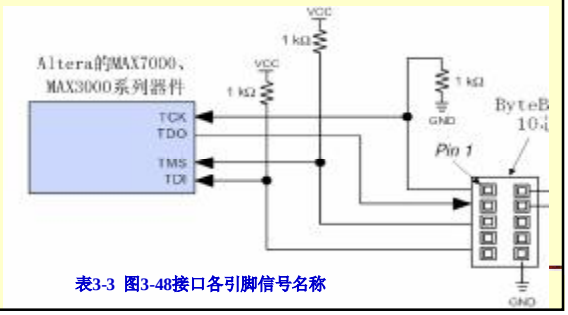


表3-3 图3-48接口各引脚信号名称

52

3.7 编程与配置

3.7.1 JTAG方式的在系统编程

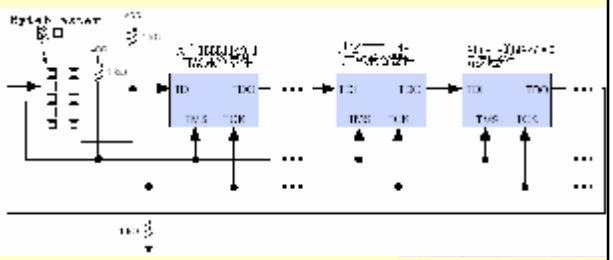


图3-49 多CPLD芯片ISP编程连接方式

53

3.7 编程与配置

3.7.2 使用PC并行口配置FPGA

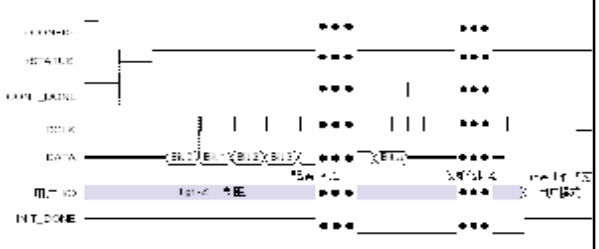


图3-50 PS模式的FPGA配置时序

54

3.7 编程与配置

3.7.3 FPGA专用配置器件

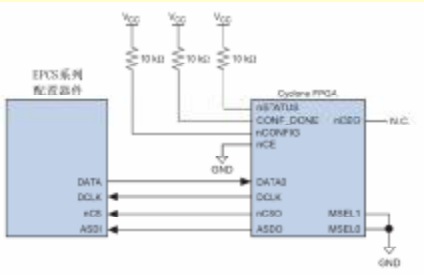


图3-51 EPCS器件配置FPGA的电路原理图

3.7 编程与配置

3.7.4 使用单片机配置FPGA

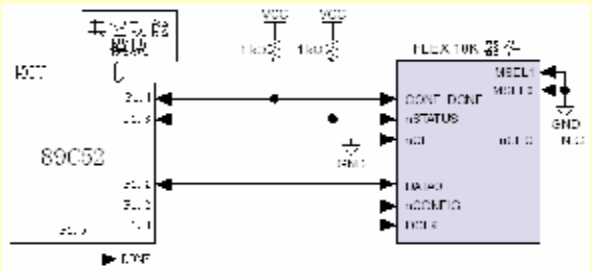


图3-52 用89C52进行配置

3.7 编程与配置

3.7.5 使用CPLD配置FPGA

使用单片机配置的缺点：

1、速度慢，不适用于大规模FPGA和高可靠应用；

2、容量小，单片机引脚少，不适合接大的ROM以存储较大的配置文件；

3、体积大，成本和功耗都不利于相关的设计。

习 题

习题3-1 OLMC有何功能？说明GAL是怎样实现可编程组合电路与时序电路的。

习题3-2 什么是基于乘积项的可编程逻辑结构？

习题3-3 什么是基于查找表的可编程逻辑结构？

习题3-4 FPGA系列器件中的EAB有何作用？

习题3-5 与传统的测试技术相比，边界扫描技术有何优点？

习题3-6 解释编程与配置这两个概念。

习题3-7 请参阅相关资料，并回答问题：如本章给出的归类方式，将基于乘积项的可编程逻辑结构的PLD器件归类为CPLD；将基于查找表的可编程逻辑结构的PLD器件归类为FPGA，那么，APEX系列属于什么类型PLD器件？MAX II系列又属于什么类型的PLD器件？为什么？