

山东大学

二〇一四年招收攻读硕士学位研究生入学考试试题

科目代码 831

科目名称 数字电路

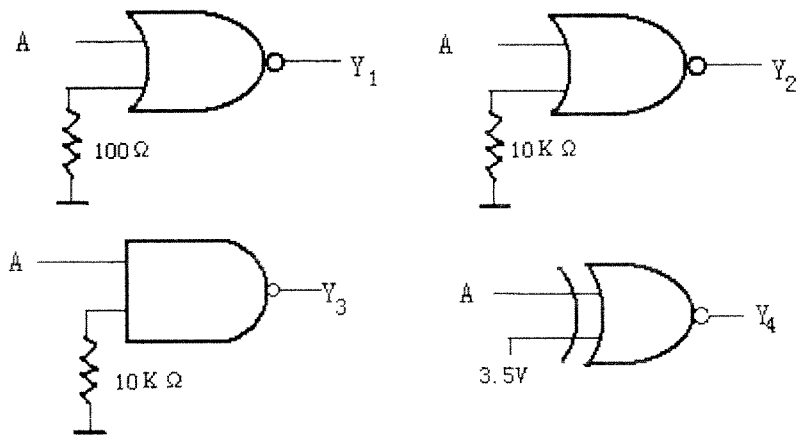
(答案必须写在答卷纸上, 写在试题上无效)

一、填空题 (共 35 分)

1、(10000111)_{8421BCD} = ()₂ = ()₈ = ()₁₀ = ()₁₆

2、以“1”和“0”分别代表高、低电平, 试给出下图各电路的输出 (图中均为 TTL 门电路)。

$Y_1 = ()$ $Y_2 = ()$ $Y_3 = ()$ $Y_4 = ()$



- CMOS 或非门的多余输入端的处理方法是 ()。
- 负逻辑或门是正逻辑 () 门。
- RAM 中的地址译码器一般都分成 () 地址译码器和 () 地址译码器。
- 一个边沿 JK 触发器, 如果 $J=K=0$, 在时钟信号到来时触发器的状态 ()。
- 电源电压为 12 伏的 555 定时器接成施密特触发器, 控制端接 6 伏电压, 该触发器的上限触发电平为 (), 下限触发电平为 (), 回差为 ()。

二、简答题 (共 15 分, 共 3 个题, 每题 5 分, 要有解题过程)

1、用公式法将函数化为最简与或式

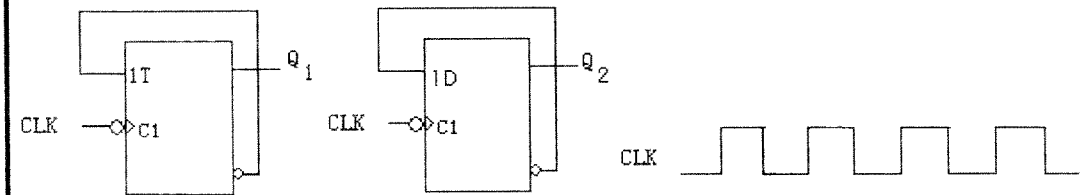
考试结束后请与答卷一起交回

$$F = AB'C + CD + BD' + C'$$

2、用图形法化简函数为最简与或式, $\sum d$ 为约束项之和。

$$F(A, B, C, D) = \sum m(0,1,2,3,4,7,15) + \sum d(8,9,10,11,12,13)$$

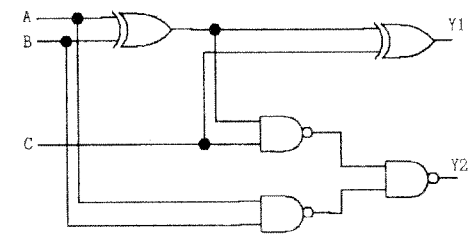
3、各触发器的初始状态皆为 0, 试画出在 CLK 信号连续作用下各触发器输出端的电压波形。



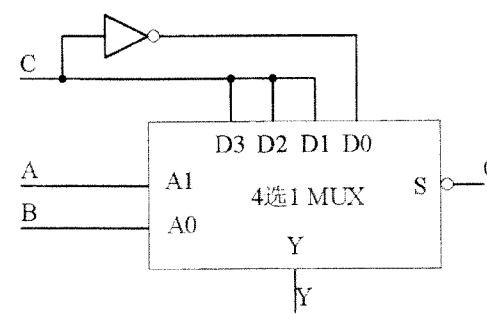
三、综合题 (共 100 分, 共 8 个题)

1、(10 分) 组合电路如图所示。

- 写出 Y_1 、 Y_2 的逻辑表达式。
- 列出真值表。



2、(10 分) 分析图示逻辑电路, 求输出 $Y_{(A,B,C)}$ 的最小项之和表达式 (用 $\sum m$ 的形式表示)。4 选 1 数据选择器的功能表如图所示。



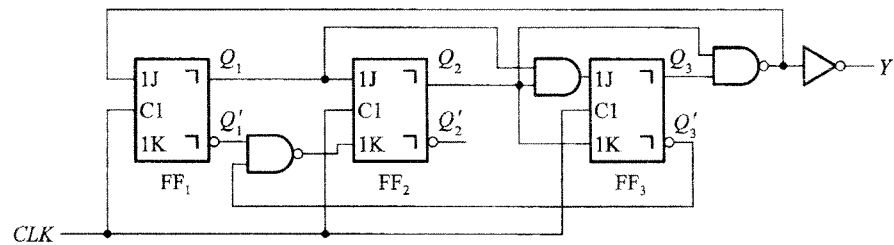
S	A ₁	A ₀	Y
0	0	0	D ₀
0	0	1	D ₁
0	1	0	D ₂
0	1	1	D ₃
1	×	×	0

3、(15 分) 检查实现逻辑函数 $Y = A'B + B'C + ACD'$ 的组合电路中, 在单个变量改变时, 有无竞争冒险? 若不存在, 请说明理由; 若存在, 写出克服竞争冒险的逻辑表达式。

考试结束后请与答卷一起交回

4、(15分) 设计一个组合逻辑电路，该电路输入为两个二位无符号二进制数(A=A₁A₀)和(B=B₁B₀)，当A=B时，输出F为1，否则F为0，试用异或门和或非门组成最简电路。(要有设计过程，画出逻辑图)。

5、(10分) 分析下图电路，写出驱动方程，状态方程，画出状态转换图，并判断该电路实现什么功能。



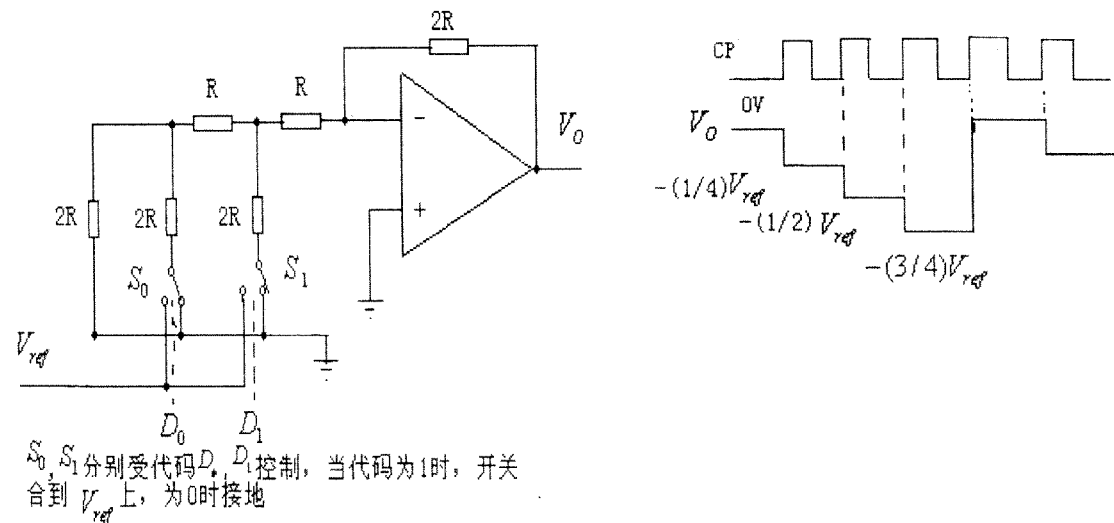
6、(10分) 用D触发器和必要的门电路设计一个同步三位右移移位寄存器。在此基础上再加必要的门电路构成序列信号发生器，产生序列信号00010111。

7、(15分) 设计一串行数据检测器。输入为Y、X，输出为Z。当X连续输入数据101后，Y输入一个1时，电路的输出Z为1，其他情况下，Z为0。Y每输入1时，电路都返回初始状态。Y、X不会同时为1。请用JK触发器加必要的门电路实现之。(状态编号按二进制顺序，即：0、1、2、……对应00、01、10、……)

8、(15分)

- (1) 设计一个同步4进制计数器，用JK触发器和必要的门电路实现。
- (2) 写出下图电路的输出V₀与输入D₀、D₁之间的关系式。
- (3) 利用(1)、(2)两问的电路通过适当调整和连接实现下图波形的电路。

说明：下图中的CP就是CLK时钟



S₀, S₁分别受代码D₀, D₁控制，当代码为1时，开关合到V_{ref}上，为0时接地