

基于工艺参数扰动的 IC 参数成品率 多目标优化算法

李鑫^{1,2}, 孙晋³, 肖甫², 田江山³

(1. 江苏省安全生产科学研究院科技研发中心, 江苏南京 210042; 2. 南京邮电大学江苏省无线传感网
高技术研究重点实验室, 江苏南京 210013; 3. 南京理工大学计算机科学与工程学院, 江苏南京 210094)

摘要: 在芯片制造工艺中, 参数扰动影响了集成电路(Integrated Circuit, IC)成品率, 使不同参数成品率间存在着此消彼长的相互制约关系, 而目前 IC 参数成品率优化算法却主要局限于单一优化目标问题. 本文提出一种基于工艺参数扰动的参数成品率多目标优化算法. 该算法针对漏电功耗成品率及芯片时延成品率, 首先构建具有随机相关性的漏电功耗及芯片时延统计模型; 随后根据其相互制约特性建立基于切比雪夫仿射理论的参数成品率多目标优化模型; 最后利用自适应加权求和得到分布均匀的帕雷托优化解. 实验结果表明, 该算法对于具有不同测试单元的实验电路均可求得大约 30 个分布均匀的帕雷托优化解, 不仅能够有效权衡多个优化目标间的相互制约关系, 还可以使传统加权求和优化方法在帕雷托曲线变化率较小之处得到优化解.

关键词: 可制造性设计; 参数成品率; 统计建模; 多目标优化; 帕累托最优

中图分类号: TN47 **文献标识码:** A **文章编号:** 0372-2112 (2016)12-2960-07

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2016.12.021

A Multi-objective Optimization Framework for Robust IC Parametric Yield Predication Under Process Variations

LI Xin^{1,2}, SUN Jin³, XIAO Fu², TIAN Jiang-shan³

(1. *Technology Innovation Center, Jiangsu Academy of Safety Science and Technology, Nanjing, Jiangsu 210042, China;*
2. *Jiangsu High Technology Research Key Laboratory for Wireless Sensor Networks, Nanjing University of Posts and
Telecommunications, Nanjing, Jiangsu 210013, China;* 3. *School of Computer Science and Engineering,
Nanjing University of Science and Technology, Nanjing, Jiangsu 210094, China*)

Abstract: Process variations lead to a significant degradation of IC parametric yield, and they also tend to cause a negative correlation between different parametric yields. However, previous yield optimization works are limited to deal with single objective problem. To deal with the above-mentioned limitation, this paper proposes a multi-objective optimization framework for co-optimization of power and timing yields under process variations. The proposed method starts with establishing explicit statistical models for power and timing metrics respectively. Then considering the negative correlation between the metrics, we employ Chebyshev affine arithmetic to formulate a multi-objective optimization model, optimize power and timing yields simultaneously by adaptive weighted sum method, and provide a well-distributed set of Pareto-optimal solutions. Experimental results demonstrate that the proposed method explores about 30 well-distributed solutions for each benchmark circuit with different test units. In addition, it can not only balance the restricted correlation between multiple optimization objectives, but make the traditional weighted sum method to get optimal solutions on the Pareto curve where change rate is small.

Key words: design for manufacturability; parametric yield; statistical modeling; multi-objective optimization; Pareto optimality

1 引言

随着半导体工艺水平的不断进步, IC 特征尺寸减小, 工艺参数扰动对当今 IC 参数成品率的影响正在日

益加剧^[1-5]. 此时, 工艺参数扰动所引起的 ULSI 电路性能与设计指标背离, 必然会引起依赖于工艺参数的性能参数成品率显著下降^[6-8]. 而且, 由于漏电功耗成品率和芯片时延成品率之间存在此消彼长的相互制约特

性^[9]. 因此,将漏电功耗和芯片时延同时作为优化目标进行成品率均衡优化,使芯片参数成品率达到最优就变得至关重要.

目前,国内外学者针对 IC 芯片参数成品率优化的研究主要还局限于单一优化目标^[10-12]. 针对此情况,Mani 等提出了一种二阶优化模型,在优化功耗成品率的同时一定程度上改进了时延成品率^[13]. 此外,Hwang 和 Orshansky 等还分别提出了基于时延成品率约束的芯片功耗优化算法,其在保证一定时延成品率的基础上提高了芯片的功耗成品率^[14,15]. 然而,由于上述方法均未将漏电功耗及芯片时延同时作为优化目标进行参数成品率优化,因此忽略了漏电功耗成品率和芯片时延成品率之间的强相关特性. 特别是当计算机芯片制造工艺发展到 20nm 制程后,Mani 和 Hwang 等所提出的参数成品率优化算法会在很大程度上影响优化精度,具有一定的局限性.

针对以上问题,本文基于切比雪夫仿射理论(CAA)及自适应加权求和方法(AWS)提出一种新的功耗-时延成品率多目标优化算法. 该算法首先考虑工艺参数扰动,确定具有随机相关性的漏电功耗和芯片时延概率统计模型,随后提出利用累积概率边界估算构建功耗-时延成品率多目标优化模型,并通过自适应加权求和得到一组分布均匀的帕雷托优化解. 仿真实验结果表明,该方法不仅能够有效权衡多个优化目标间的相互制约关系,而且可以解决传统优化方法在帕雷托曲线变化率较小之处得不到优化解的问题.

2 漏电功耗及芯片时延统计模型

工艺参数扰动对 IC 芯片的影响可分为片内工艺扰动和片间工艺扰动两部分^[16]. 此时,以 ΔP 表征任意工艺参数扰动,则 ΔP 可表示为:

$$\Delta P = \Delta P_l + \Delta P_g \quad (1)$$

其中, ΔP_l 表示片内扰动, ΔP_g 表示片间扰动.

不失一般性,将有效沟道长度 L 、门限电压 V_{th} 和氧化层厚度 T_{ox} 作为考虑的工艺参数扰动. 此时,漏电功耗可描述为亚阈值电流 I_{sub} 与栅极电流 I_{gate} 之和的形式^[3]:

$$Leakage = I_{sub,nom} \cdot e^{a\Delta L^2 + b\Delta L + c\Delta V_{th}} + I_{gate,nom} e^{d\Delta T_{ox}} \quad (2)$$

其中, $I_{sub,nom}$ 为亚阈值电流均值, $I_{gate,nom}$ 为栅极漏电流的均值,变化量 ΔL , ΔV_{th} , ΔT_{ox} 分别表示 L 、 V_{th} 和 T_{ox} 所引起的工艺扰动影响.

在此根据式(1), L 、 V_{th} 、 T_{ox} 所引起的工艺扰动影响可进一步表示为:

$$\begin{aligned} \Delta L &= \Delta L_l + \Delta L_g \\ \Delta V_{th} &= \Delta V_{th,l} + \Delta V_{th,g} \\ \Delta T_{ox} &= \Delta T_{ox,l} + \Delta T_{ox,g} \end{aligned} \quad (3)$$

其中, ΔL_l 、 ΔL_g 、 $\Delta V_{th,l}$ 、 $\Delta V_{th,g}$ 、 $\Delta T_{ox,l}$ 、 $\Delta T_{ox,g}$ 分别为 L 、 V_{th} 、

T_{ox} 的片内工艺扰动及片间工艺扰动.

将式(3)分解模型代入式(2),则漏电功耗统计模型可改写为:

$$\begin{aligned} Leakage &= I_{sub,nom} e^{a(\Delta L_l + \Delta L_g)^2 + b(\Delta L_l + \Delta L_g) + c(\Delta V_{th,l} + \Delta V_{th,g})} \\ &\quad + I_{gate,nom} e^{d(\Delta T_{ox,l} + \Delta T_{ox,g})} \\ &= I_{sub,nom} e^{a\Delta L_l^2 + 2a\Delta L_l\Delta L_g + \Delta L_g^2 + b\Delta L_l + b\Delta L_g + c\Delta V_{th,l} + c\Delta V_{th,g}} \\ &\quad + I_{gate,nom} e^{d\Delta T_{ox,l} + d\Delta T_{ox,g}} \\ &= I_{sub,nom} e^{a\Delta L_l^2 + (2a\Delta L_g + b)\Delta L_l + c\Delta V_{th,l}} \cdot e^{a\Delta L_g^2 + b\Delta L_g + c\Delta V_{th,g}} \\ &\quad + I_{gate,nom} e^{d\Delta T_{ox,l}} \cdot e^{d\Delta T_{ox,g}} \end{aligned} \quad (4)$$

同理,针对芯片时延统计模型,将一阶泰勒展开引入芯片时延建模过程^[17],则芯片时延方程可线性近似为:

$$Delay = D_{nom} + \sum_i \left(\frac{\partial D}{\partial P_i} \right) \Delta P_i \quad (5)$$

其中, D_{nom} 表示芯片时延均值, $\partial D / \partial P_i$ 表示工艺参数扰动 P_i 的时延灵敏度.

此时,将式(3)引入式(5)线性方程,则芯片时延模型可建立为:

$$\begin{aligned} Delay &= D_{nom} + (g\Delta L_l + h\Delta V_{th,l} + k\Delta T_{ox,l}) \\ &\quad + (g\Delta L_g + h\Delta V_{th,g} + k\Delta T_{ox,g}) \end{aligned} \quad (6)$$

其中, g , h , k 为相应的灵敏度参数.

在此需特别说明的是,由于漏电功耗和时延的统计模型均与相同工艺扰动参数成函数关系,因此它们是具有随机相关性的.

3 基于 CAA 理论的功耗-时延成品率多目标优化模型

3.1 CAA 仿射逼近

CAA 理论是用于处理基于不确定性区间估计问题的一种分析方法^[18,19]. 根据该方法,一个部分确定的随机变量 x 可以表示成一阶仿射形式,记为 x' :

$$x' = x_0 + x_1\varepsilon_1 + x_2\varepsilon_2 + \cdots + x_n\varepsilon_n \quad (7)$$

其中,常量 x_0 为标称值(均值). ε_i , ($i = 1, \dots, n$) 为不确定性符号,表示标称值扰动中的独立组成部分. x_i 表示相应 ε_i 的扰动系数.

在此,对于任意常量 α, ζ ,当二元运算 $z' \leftarrow f(x', y')$ 中 f 为仿射函数时,共有三种仿射运算可将其表示为仿射形式:

$$\begin{cases} x' \pm y' = (x_0 \pm y_0) + (x_1 \pm y_1)\varepsilon_1 + \cdots + (x_n \pm y_n)\varepsilon_n \\ \alpha x' = (\alpha x_0) + (\alpha x_1)\varepsilon_1 + \cdots + (\alpha x_n)\varepsilon_n \\ x' \pm \zeta = (x_0 \pm \zeta) + x_1\varepsilon_1 + \cdots + x_n\varepsilon_n \end{cases} \quad (8)$$

然而,当函数 f 为非仿射函数时, z' 却无法直接以仿射形式表示,此时,根据简单性和有效性原则,通常考虑利用自身为 x' 和 y' 仿射运算的函数对 z' 进行仿射逼

近^[20],其表达式为:

$$f^{\alpha}(\varepsilon_1, \dots, \varepsilon_n) = \alpha x' + \beta y' + \zeta \quad (9)$$

随后,通过最大误差最小化的切比雪夫逼近方法确定式(9)中的优化系数 α, β, ζ ,即可保证仿射逼近的准确性.

3.2 基于 CAA 仿射逼近的累积概率边界估算

通常,一个仅部分确定的随机变量可通过 P-box 进行描述,其 P-box 曲线上下边界可通过分段线性概率边界方法(PLPB)进行切比雪夫逼近^[20].逼近结果为分段线性的 CDF 上下边界函数,如图 1 所示:

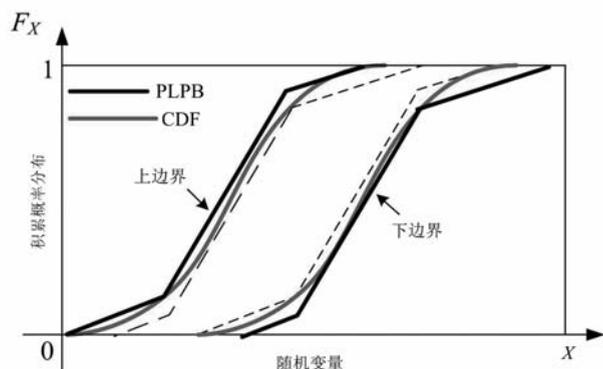


图1 部分确定随机变量的PLPB边界

在此,针对本文所需解决的实际问题,以两个相关性未知的随机变量 X, Y 表示任意工艺参数, $(\bar{F}_X, \bar{F}_Y$ 和 $\underline{F}_X, \underline{F}_Y$ 分别为 X, Y 累积概率函数的 PLPB 上下边界, $(\bar{F}_Z^{-1}, \underline{F}_Z^{-1}$ 分别表示二元操作 $Z = X * Y, * \in \{+, -, \times, \div\}$ 的 CDF 反函数上下边界.此时,根据文献[21], ‘+’操作的 CDF 反函数上下边界可表示为:

$$\underline{F}_Z^{-1}(p) = \underline{F}_{X+Y}^{-1}(p) = \min_{u \in [p, 1]} [\underline{F}_X^{-1}(u) + \underline{F}_Y^{-1}(p - u + 1)] \quad (10)$$

$$\bar{F}_Z^{-1}(p) = \bar{F}_{X+Y}^{-1}(p) = \max_{u \in [0, p]} [\bar{F}_X^{-1}(u) + \bar{F}_Y^{-1}(p - u)] \quad (11)$$

同理,对于‘-’操作有:

$$\underline{F}_Z^{-1}(p) = \underline{F}_{X-Y}^{-1}(p) = \min_{u \in [p, 1]} [\underline{F}_X^{-1}(u) - \bar{F}_Y^{-1}(u - p)] \quad (12)$$

$$\bar{F}_Z^{-1}(p) = \bar{F}_{X-Y}^{-1}(p) = \max_{u \in [0, p]} [\bar{F}_X^{-1}(u) - \underline{F}_Y^{-1}(u - p + 1)] \quad (13)$$

在此,以式(10)为例计算 Z 的累积概率函数 PLPB 上下边界.对确定的概率 p ,令 $g(u) = \underline{F}_X^{-1}(u) + \underline{F}_Y^{-1}(p - u + 1)$,则式(10)的求解过程如图 2 所示.

由图 2 曲线易知, $g(u)$ 是分段线性的,其折点共有四个.此时 $g(u)$ 的最小值在 s_4 处,而该值即为概率 p 时, $\underline{F}_{X+Y}^{-1}(p)$ 的值.此外,由图 2 分析还可知, $\underline{F}_X^{-1}(u)$ 与 $\underline{F}_Y^{-1}(p - u + 1)$ 的概率区间被一系列折点分成若干子区间.在此,对 $g(u)$ 的概率区间进行重新划分后,概率子

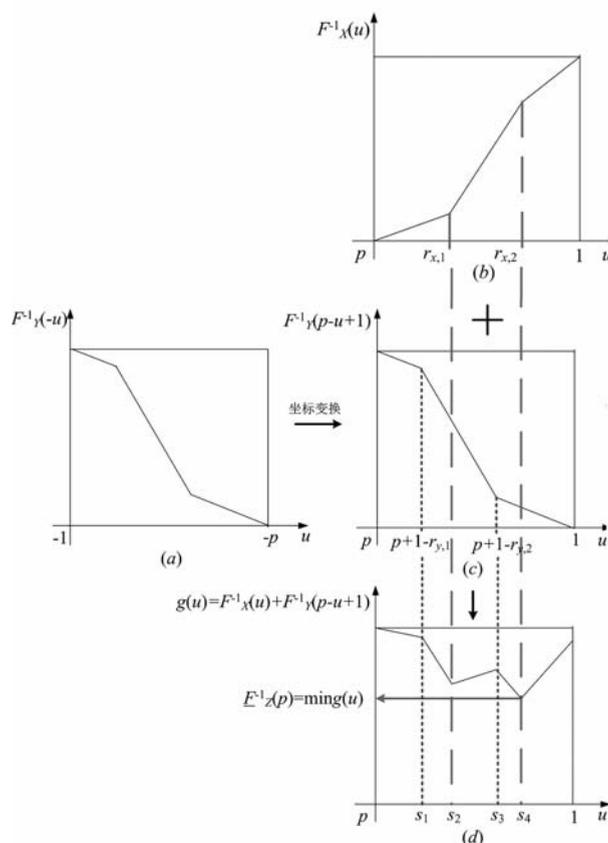


图2 给定概率 p 的 $F_{X+Y}^{-1}(p)$ 求解说明

区间 $[s_i, s_{i+1}]$ 内 $g(u)$ 的最小值必然出现在其端点处(如图 2(d) 所示),而整个区间 $[p, 1]$ 内的最小值则可通过选取其内部所有子区间最小的最小值来确定.

随后,对 p 从 0 至 1 分别取值计算式(10),并通过交换横纵轴坐标对 $\underline{F}_{X+Y}^{-1}(p)$ 求逆,即可得“+”操作的 PLPB 下界曲线.同理,对式(11)~(13)可得其他操作的 PLPB 上下界曲线.

3.3 功耗-时延成品率多目标优化模型

在此,不失一般性,以漏电功耗统计模型为例对其成品率 Y_{Leakage} 进行估算.而芯片时延成品率 Y_{Delay} 则可依同样方法获得.

首先,对于具有随机扰动的工艺参数 P ,其仿射形式有:

$$P' = P_0 + 1 \cdot \varepsilon \quad (14)$$

其中, P_0 为工艺参数均值, ε 为相应的具有零均值的部分确定随机扰动.

此时,根据文献[22]对漏电功耗模型进行仿射表示,可得:

$$\text{Leakage} = I_{\text{sub, nom}} \cdot e^{a\Delta L'_i + (2a\Delta L'_i + b)\Delta L'_i + c\Delta V'_{a,i}} \cdot e^{a\Delta L'_i + b\Delta L'_i + c\Delta V'_{a,i}} + I_{\text{gate, nom}} e^{d\Delta T'_{m,i}} \cdot e^{d\Delta T'_{m,i}} \quad (15)$$

其中, $\Delta L'_i = 0 + 1 \cdot \Delta L_i, \Delta V'_{th,i} = 0 + 1 \cdot \Delta V_{th,i}, \Delta T'_{ox,i} = 0$

$+1 \cdot \Delta T_{\text{ox},L}$.

由于 $\Delta L'_i$ 的二次方项与指数函数均为非仿射操作,因此可分别利用两次切比雪夫逼近 $z \leftarrow x'^2, z \leftarrow e^{x'}$ 将其变换为仿射形式,而漏电功耗模型则可化简为一系类随机变量的仿射操作,其 CDF 上下边界也易由 CAA 仿射理论以 PLPB 描述.

在此,为对漏电功耗成品率进行估算,仅考虑 CDF 的下边界 F_{Leakage} ,其几何意义如图 3 所示.

此时,若 L_0 为漏电功耗标称值,则该标称值下的成品率可表示为:

$$Y_{\text{Leakage}} = F_{\text{Leakage}}(L_0) = P(\text{Leakage} < L_0) \quad (16)$$

同理,芯片时延成品率为:

$$Y_{\text{Delay}} = F_{\text{Delay}}(D_0) = P(\text{Delay} < D_0) \quad (17)$$

由于漏电功耗与芯片时延均可表示成工艺参数扰动函数的形式,因此芯片参数成品率多目标优化模型可构造为:

$$\begin{cases} \text{maximize} & Y_{\text{Leakage}} = F_{\text{Leakage}}(L_0) = P(\text{Leakage} \leq L_0) \\ \text{maximize} & Y_{\text{Delay}} = F_{\text{Delay}}(D_0) = P(\text{Delay} \leq D_0) \\ \text{subject to} & L_L \leq L \leq L_U, \\ & V_{\text{th},L} \leq V_{\text{th}} \leq V_{\text{th},U}, \\ & T_{\text{ox},L} \leq T_{\text{ox}} \leq T_{\text{ox},U} \end{cases} \quad (18)$$

其中, F_{Leakage} 和 F_{Delay} 分别为漏电功耗与芯片时延的 CDF 下边界, $L_L, V_{\text{th},L}, T_{\text{ox},L}$ 和 $L_U, V_{\text{th},U}, T_{\text{ox},U}$ 分别为 L, V_{th} 和 T_{ox} 的优化边界, L_0, D_0 为事先确定的漏电功耗与芯片时延标称值.

4 基于 AWS 的多目标优化算法

不失一般性,假设目标函数向量 $f(L, V_{\text{th}}, T_{\text{ox}}) = [f_1(L, V_{\text{th}}, T_{\text{ox}}), f_2(L, V_{\text{th}}, T_{\text{ox}})]$ 分别代表漏电功耗成品率和芯片时延成品率.此时,根据传统加权求和方法,归一化后的单目标优化模型可表示为:

$$\begin{cases} \text{maximize} & \alpha f'_1 + (1 - \alpha) f'_2 \\ \text{subject to} & L_L \leq L \leq L_U, \\ & V_{\text{th},L} \leq V_{\text{th}} \leq V_{\text{th},U}, \\ & T_{\text{ox},L} \leq T_{\text{ox}} \leq T_{\text{ox},U}, \\ & \alpha \in [0, 1] \end{cases} \quad (19)$$

其中, α 为权值因子, f'_i 为目标函数 $Y_{\text{Leakage}}, Y_{\text{Delay}}$ 的归一化函数,由 $f'_i = (f_i - f_i^U) / (f_i^N - f_i^U)$ 获得.在此,假设 L_i^* , $V_{\text{th},i}^*, T_{\text{ox},i}^*$ 为以 f_i 为优化目标的优化解,则 $f'_i = f_i(L_i^*, V_{\text{th},i}^*, T_{\text{ox},i}^*)$, $f_i^N = \min [f_i(L_1^*, V_{\text{th},1}^*, T_{\text{ox},1}^*), f_i(L_2^*, V_{\text{th},2}^*, T_{\text{ox},2}^*)]$.而对于权值因子 α ,其更新步长为 $\Delta\alpha = 1/n_0$, n_0 为 α 的划分次数.

一般来说,由于式(19)优化模型所得的优化解并不是均匀分布的,其解大都集中于帕雷托曲线变化率较大的地方.因此,为使优化解均匀分布,需进一步细化求解以获得曲线变化率较小处的帕雷托优化解.此时,优化模型中需细化求解的区域可通过计算相邻解间距离确定:若相邻解间距离小于预设值,则该区域不需细化;反之,则通过引入新的约束条件建立细化区域子优化模型进行优化求解.其具体求解过程如图 4 所示,其中 P_1, P_2 为第 i 个细化区域的两个端点, δ_f 为我们预定义的偏移距离常量.

在此,引入新的约束条件如图 4(a) 所示,新的优化区域为在原区域基础上分别从端点 P_1, P_2 沿 f_1, f_2 反方向偏移 δ_1 和 δ_2 距离,其值由 δ_f 与 θ 确定.此时,在该子区域内根据加权求和方法建立子优化模型为:

$$\begin{cases} \text{maximize} & \alpha_i f'_1 + (1 - \alpha_i) f'_2 \\ \text{subject to} & f_1(L, V_{\text{th}}, T_{\text{ox}}) \leq P_1^{f_1} - \delta_1, \\ & f_2(L, V_{\text{th}}, T_{\text{ox}}) \leq P_2^{f_2} - \delta_2, \\ & \alpha_i \in [0, 1], \\ & L_L \leq L \leq L_U, \\ & V_{\text{th},L} \leq V_{\text{th}} \leq V_{\text{th},U}, \\ & T_{\text{ox},L} \leq T_{\text{ox}} \leq T_{\text{ox},U} \end{cases} \quad (20)$$

通过求解式(20)子优化模型,细化区域内新的优化解即可被确定,如图 4(b) 所示.在所有细化区域内重复以上优化过程直至所有满足条件的优化解均被求

得,此时即可得到分布均匀的帕雷托优化解。

5 实验结果与比较

本文所有实验均在配置为 3.0GHz,2.0GB RAM 的 PC 上以 MATLAB 完成.仿真实验通过国际电路与系统研讨会 (ISCAS) 基准电路进行算法有效性验证,而漏电功耗及芯片时延统计模型中系数则由 HSPICE 仿真结果拟合获得.

在此,假设所有工艺参数均服从截断高斯分布, L 、 V_{th} 、 T_{ox} 的 3σ 值分别为20%、10%、8%.并且对所有的工艺参数,片内扰动与片间扰动各占50%.

5.1 CDF 函数边界估算方法有效性验证

为证明本文所提出的 CDF 函数边界估算方法可以处理工艺参数相关性为任意的情况,我们选择 C432 电路以及蒙特卡罗仿真来进行验证实验.在实验中,我们比较三种相关性情况:正相关性,负相关性,无相关性.图 5(a)、图 5(b)分别给出了不同相关性条件下的漏电功耗和芯片时延 CDF 下边界曲线及本文方法所得的 CDF 下边界曲线.由图中曲线易知,所有相关性情况均有效的包含在本文方法所得的 CDF 下边界曲线内.因此,该方法可以有效估计各种相关性情况的累积分布函数.

除此以外,由于漏电功耗模型中的指数项将显著增加工艺参数扰动对漏电功耗的影响,因此漏电功耗相较于芯片时延对工艺参数扰动具有更高的灵敏度,漏电功耗的变化范围较芯片时延要大的多.该点也可由图 5(a)、图 5(b)直观的看出.

5.2 多目标优化算法有效性验证

在此,我们假设式(20)模型中芯片时延标称值 D_0 为时延均值的1.02倍,漏电功耗标称值 L_0 为其均值的

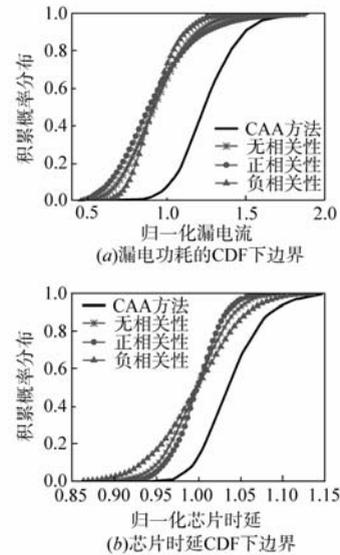


图5 漏电功耗和芯片时延CDF下边界比较曲线

1.13倍,并对其进行算法有效性验证实验.表1给出了特定权值因子下对基准电路优化所得的优化解、优化解总数及算法运行时间.由表1可看出,每个实验电路大约可得到30个优化解.

为进一步说明多目标优化算法的有效性,本文在不同标称值限制下,对 C432 电路进行优化求解.当芯片时延标称值控制在均值的1.02倍时,图6(a)给出了不同漏电功耗标称值下的优化曲线;当漏电功耗标称值控制在均值的1.13倍时,图6(b)给出了不同时延标称值下的优化曲线.其中,每条曲线代表漏电功耗-芯片时延优化模型下的帕雷托曲线,而曲线上的各点则代表了确定的帕雷托优化解.

表1 固定功耗及时延标称值所得部分成品率优化解

电路型号	性能标称值 $\{D_0 = 1.02D_{mean}, L_0 = 1.13L_{mean}\}$							运行时间 (Sec)
	优化解个数 $\alpha([0,1])$	优化解#1 ($\alpha=0$)		优化解#2 ($\alpha=0.5$)		优化解#3 ($\alpha=1$)		
		功耗成品率	时延成品率	功耗成品率	时延成品率	功耗成品率	时延成品率	
C432	30	0.9947	0.5443	0.8339	0.6859	0.1037	0.8730	20
C499	30	0.9993	0.5196	0.8232	0.6766	0.1182	0.8979	24
C880	30	1	0.4609	0.8390	0.7075	0.1764	0.9558	42
C1335	27	0.9934	0.5606	0.8393	0.7042	0.0996	0.8593	51
C1908	29	0.9918	0.5183	0.8198	0.6614	0.0994	0.8865	64
C2670	28	1	0.5192	0.8319	0.6793	0.0247	0.8914	88
C3540	29	0.9732	0.5240	0.8191	0.6441	0.0660	0.8400	119
C5315	31	0.9733	0.5259	0.8199	0.6463	0.0661	0.8741	152
C6288	29	0.9965	0.3692	0.8193	0.5636	0.1093	0.8408	219
C7552	29	1	0.4341	0.9127	0.6549	0.0559	0.9793	207

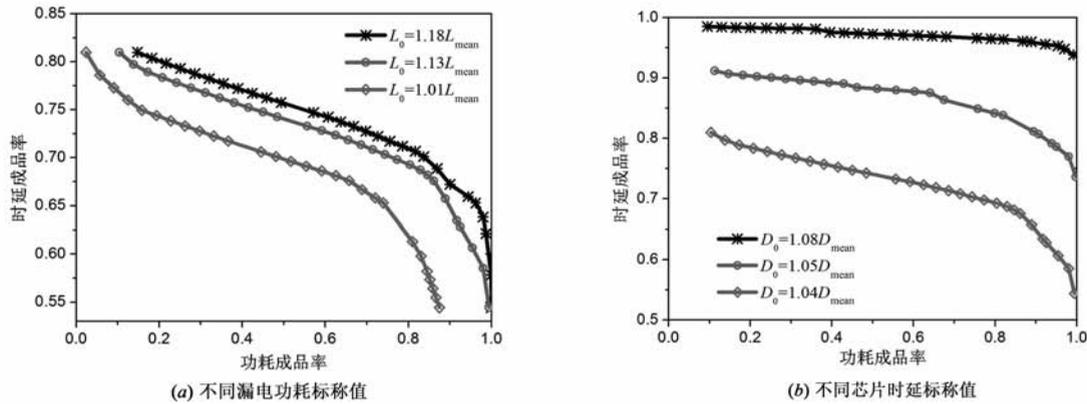


图6 不同漏电功耗和芯片时延标称值下的帕雷托优化曲线

6 结论

考虑工艺参数扰动的随机相关性及漏电功耗成品率、芯片时延成品率间的相互制约特性,提出一种基于工艺参数扰动的 IC 参数成品率多目标优化算法.该算法首先构建漏电功耗及芯片时延的概率统计模型,然后考虑漏电功耗成品率及芯片时延成品率间的相互制约特性,建立功耗-时延成品率多目标优化模型,并采取自适应加权求和方法得到分布均匀的帕雷托优化解.实验结果表明,本文提出的优化算法对于每个实验电路均可求得大约 30 个分布均匀的帕雷托优化解,不仅能够有效权衡漏电功耗成品率及芯片时延成品率间的相互制约关系,还可解决传统优化方法在帕雷托曲线变化率较小的地方求解不到优化解的问题.

参考文献

- [1] 肖杰,江建慧,等.一个面向缺陷分析的电路成品率与可靠性关系模型[J].电子学报,2014,42(4):747-755.
Xiao Jie, Jiang Jian-hui, et al. A defect analysis-oriented relation model of circuit yield and reliability[J]. Acta Electronica Sinica, 2014, 42(4): 747-755. (in Chinese)
- [2] Banerjee A, Chatterjee A. Signature driven hierarchical post-manufacture tuning of RF systems for performance and power[J]. IEEE Transactions on VLSI Systems, 2015, 23(2): 342-355.
- [3] Radfar M, Singh J. A yield improvement technique in severe process, voltage, and temperature variations and extreme voltage scaling[J]. Microelectronics Reliability, 2014, 54(12): 2813-2823.
- [4] Mani M, Devgan A, Orshansky M. An efficient algorithm for statistical minimization of total power under timing yield constraints[A]. Proceedings of Design Automation Conference[C]. California, USA: ACM, 2005. 309-314.
- [5] 李鑫, Janet M Wang, 等. 工艺随机扰动下非均匀互连线串扰的谱域方法分析[J]. 电子学报, 2009, 37(2): 398-403.
- [6] Li Xin, Janet M Wang, et al. Spectral method for analysis of crosstalk of non-uniform RLC interconnects in the presence of process variations[J]. Acta Electronica Sinica, 2009, 37(2): 398-403. (in Chinese)
- [7] Liu X X, Palma-Rodriguez A A, Rodriguez-Chavez S. Performance bound and yield analysis for analog circuits under process variations[A]. Proceedings of The Asia and South Pacific Design Automation Conference[C]. Yokohama, Japan: ACM, 2013. 761-766.
- [8] Wei W E, Li H Y, Han C Y. A flexible TFT circuit yield optimizer considering process variation, aging, and bending effects[J]. IEEE/OSA Journal of Display Technology, 2014, 10(12): 1055-1063.
- [9] 卜登立, 江建慧. 基于对偶逻辑的混合极性 RM 电路极性转换和优化方法[J]. 电子学报, 2015, 43(1): 79-85.
Bu Deng-li, Jiang Jian-hui. Dual logic based polarity conversion and optimization of mixed polarity RM circuits[J]. Acta Electronica Sinica, 2015, 43(1): 79-85. (in Chinese)
- [10] Srivastava A, Kaviraj C, et al. A novel approach to perform gate-level yield analysis and optimization considering correlated variations in power and performance[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2008, 27(2): 272-285.
- [11] Xie L, Davoodi A. Robust estimation of timing yield with partial statistical information on process variations[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2008, 27(12): 2264-2276.
- [12] Orshansky M, Bandyopadhyay A. Fast statistical timing analysis handling arbitrary delay correlations[A]. Proceedings of Design Automation Conference[C]. California, USA: ACM, 2004. 337-342.
- [13] Rao R, Srivastava A, et al. Statistical analysis of sub-threshold leakage current for VLSI circuits[J]. IEEE Transactions on Very Large Scale Integration Systems, 2009, 17(12): 1055-1063.

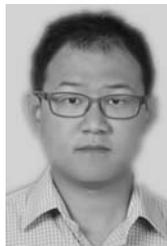
- 2004, 12(2): 131 – 139.
- [13] Mani M, Devgan A, et al. A statistical algorithm for power-and timing-limited parametric yield optimization of larger integrated circuits[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2007, 26(10): 1790 – 1802.
- [14] Hwang E J, Kim W, Kim Y H. Timing yield slack for timing yield-constrained optimization and its application to statistical leakage minimization[J]. IEEE Transactions on Very Large Scale Integration Systems, 2013, 21(10): 1783 – 1796.
- [15] Orshansky M. Statistical minimization of total power under timing yield constraints[A]. Proceedings of IEEE International Conference on Integrated Circuit Design & Technology[C]. Grenoble, France: IEEE, 2006. 1 – 4.
- [16] Mande S S, Chandorkar A N, Iwai H. Computationally efficient methodology for statistical characterization and yield estimation due to inter-and intra-die process variations[A]. Proceedings of Asia Symposium on Quality Electronic Design[C]. Penang, Malaysia: IEEE, 2013. 287 – 294.
- [17] Sheng Y, Xu K, Wang D, Chen R. Performance analysis of FET microwave devices by use of extended spectral-element time-domain method[J]. International Journal of Electronics, 2013, 100(5): 699 – 717.
- [18] Sun J, Huang Y, et al. Chebyshev affine arithmetic based parametric yield prediction under limited descriptions of uncertainty[A]. Proceedings of The Asia and South Pacific Design Automation Conference[C]. Seoul, Korea: ACM, 2008. 531 – 536.
- [19] Zhu W, Wu Z. The stochastic ordering of mean-preserving transformations and its applications[J]. European Journal of Operational Research, 2014, 239(3): 802 – 809.
- [20] Stolfi J, Figueiredo L H. Self-validated numerical methods and applications[A]. Proceedings of Brazilian Math. Colloq. Monograph[C]. Netherlands: Academic Press, 1997. 15 – 20.
- [21] Williamson R C, Downs T. Probabilistic arithmetic I: numerical methods for calculating convolutions and dependency bounds[J]. International Journal of Approximate Reasoning, 1990, (4): 89 – 158.
- [22] Tiwary S K, Tiwary P K, Rutenbar R A. Generation of yield-aware Pareto surfaces for hierarchical circuit design space exploration[A]. Proceedings of Design Automation Conference[C]. California, USA: ACM, 2006. 31 – 36.

作者简介



李 鑫 男, 1983 年 2 月出生于江苏省徐州市. 2009 年毕业于南京理工大学计算机学院. 现为江苏省安全生产科学研究院高级工程师, 从事 VLSI 计算机辅助设计与芯片可靠性估计及优化方面的研究工作.

E-mail: lin65002@hotmail.com



孙 晋 男, 1983 年 5 月出生于江苏省淮安市. 2011 年毕业于亚利桑那大学电子与计算机工程系. 现为南京理工大学计算机科学与工程学院副教授. 从事集成芯片鲁棒性设计与多核片上网络低功耗设计方面的研究工作.

E-mail: sunj@njust.edu.cn