

# 考虑多时钟周期瞬态脉冲叠加的 锁存窗屏蔽模型

闫爱斌<sup>1,2</sup>, 梁华国<sup>3</sup>, 黄正峰<sup>3</sup>, 蒋翠云<sup>4</sup>, 易茂祥<sup>3</sup>

(1. 合肥工业大学计算机与信息学院, 安徽合肥 230009; 2. 安徽大学计算机科学与技术学院, 安徽合肥 230601;  
3. 合肥工业大学电子科学与应用物理学院, 安徽合肥 230009; 4. 合肥工业大学数学学院, 安徽合肥 230009)

**摘 要:** 集成电路工艺水平的提升, 使得由单粒子瞬态脉冲造成的芯片失效越发不容忽视. 为了准确计算单粒子瞬态脉冲对锁存器造成的失效率, 提出一种考虑多时钟周期瞬态脉冲叠加的锁存窗屏蔽模型. 使用提出的考虑扇出重汇聚的敏化路径逼近搜索算法查找门节点到达锁存器的敏化路径, 并记录路径延迟; 在扇出重汇聚路径上, 使用提出的脉冲叠加计算方法对脉冲进行叠加; 对传播到达锁存器的脉冲使用提出的锁存窗屏蔽模型进行失效率的计算. 文中的锁存窗屏蔽模型可以准确计算扇出重汇聚导致的脉冲叠加, 并对多时钟周期情形具有很好的适用性. 针对ISCAS'85基准电路的软错误率评估结果表明, 与不考虑多时钟周期瞬态脉冲叠加的方法相比, 文中方法使用不到2倍的时间开销, 平均提高7.5%的软错误率评估准确度.

**关键词:** 锁存窗屏蔽; 脉冲叠加; 多时钟周期; 扇出重汇聚

**中图分类号:** TP391.72、TN432

**文献标识码:** A

**文章编号:** 0372-2112 (2016)12-3011-09

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2016.12.028

## A Latching-Window Masking Model Considering Overlapped Transient Pulses in Multi-cycle

YAN Ai-bin<sup>1,2</sup>, LIANG Hua-guo<sup>3</sup>, HUANG Zheng-feng<sup>3</sup>, JIANG Cui-yun<sup>4</sup>, YI Mao-xiang<sup>3</sup>

(1. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China;

2. School of Computer Science and Technology, Anhui University, Hefei, Anhui 230009, China;

3. School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China;

4. School of Mathematics, Hefei University of Technology, Hefei, Anhui 230009, China)

**Abstract:** Technology scaling results in that chip failure caused by single event transient pulses is becoming more and more serious. In order to accurately compute the failure rates introduced by the transient pulses impacting on latches, a novel latching-window masking model considering overlapped transient pulses in multi-cycle is proposed. Firstly, sensitized paths and delays are calculated by the proposed re-convergence aware sensitized path searching algorithm. Further, on re-convergence paths, pulses are overlapped by the proposed pulse overlapping calculation technique. Finally, as regards transient pulses arriving at latches, failure rates are computed by the proposed latching-window masking model. The proposed technique can accurately compute re-convergence induced pulse overlap and it is suitable to estimate failure rates considering multi-cycle. Experimental results for ISCAS85 benchmarks show that, compared with the approach which has not considered pulse overlap in multi-cycle, the proposed technique improves 7.5% soft error rate accuracy on average with only less than twice the simulation time overhead.

**Key words:** latching-window masking; pulse overlap; multi-cycle; re-convergence

## 1 引言

工艺尺寸的降低,使得空间辐射效应引起的软错误成为纳米集成电路相当主要的不可靠因素来源之一<sup>[1,2]</sup>.软错误是由集成电路瞬态故障引起的暂时性错误,而集成电路发生瞬态故障的主要原因是空间辐射环境中各种能量的中子或芯片封装材料中铀和钍掺杂发生放射性衰减发出 $\alpha$ 粒子的撞击<sup>[2]</sup>.随着工艺水平的提高,组合逻辑门节点电容与工作电压呈现减小趋势,致使门节点临界电荷降低,导致低能量粒子的撞击便可产生足够的沉积电荷从而发生软错误,加重了组合逻辑对软错误的敏感性,并且组合逻辑相对于存储单元发生软错误的比重越发突出<sup>[3]</sup>,由此引发的集成电路容错设计面临巨大挑战.

粒子撞击组合逻辑门单元敏感区,在门的输出端产生可观测的电压扰动,表现为单粒子瞬态(Single Event Transient, SET)脉冲<sup>[2]</sup>.产生的 SET 脉冲若能够传播到存储单元,则可能被捕获,从而发生软错误.在早期深亚微米工艺水平下,组合逻辑对 SET 脉冲的屏蔽效应相对显著,主要体现在<sup>[2,4]</sup>:(1)逻辑屏蔽,即产生 SET 脉冲的引脚,由于受到逻辑门控制值的影响,不存在到达存储单元或主输出的数据通路,脉冲被屏蔽;(2)电气屏蔽,即在数据通路上传播的 SET 脉冲,由于受到逻辑门的削弱作用,其宽度/幅值被弱化;(3)锁存窗屏蔽,即到达存储单元的 SET 脉冲,由于未落在有效的锁存窗口之内,或其有效宽度和幅值较小,不满足存储单元采样时间,脉冲被屏蔽.有效幅值为器件逻辑值翻转阈值,有效宽度为正/负脉冲上升/下降沿到达有效幅值的时间点与下降/上升沿到达有效幅值的时间点之差.下文提及的脉冲宽度如不特殊说明,均指有效宽度.易知,SET 脉冲能否被捕获,最终取决于锁存窗屏蔽效应.

失效率是指工作到某一时刻尚未失效的器件或系统,在该时刻后,单位时间内发生失效的概率.由空间辐射效应引起的失效率,其评估方法大体上分为两类:辐射试验和软件仿真.由于辐射试验方法需要流片,成本高、试验周期长,因而软件仿真的方法被业界广泛采用.软件仿真方法的准确性高度依赖于故障模型和故障传播模型<sup>[5]</sup>,而锁存窗屏蔽模型恰恰是故障模型和故障传播模型的核心,亦是评估组合电路失效率的关键步骤,因而锁存窗屏蔽模型的精确与否,将对失效率的计算结果造成不同程度的偏差.

在纳米工艺下,由于时钟周期和路径延迟的减小,扇出重汇聚问题变得越发不容忽视,并且对于单粒子事件,扇出重汇聚是导致 SET 脉冲发生叠加的一个重要因素<sup>[6]</sup>.粒子撞击组合逻辑门单元  $G$  产生的 SET 脉

冲,沿着以  $G$  的各个扇出门为起始点的多条路径进行传播,并且最终汇聚到同一个门单元,脉冲可能会发生叠加,这种现象称为 SET 脉冲的扇出重汇聚.以 NOR2 为例,图 1 给出扇出重汇聚导致 SET 脉冲叠加的情形.如图 1(a)所示,粒子撞击  $G1$  产生的 SET 脉冲分别沿路径 1 和路径 2 传播到达汇聚点  $G6$ ,发生叠加,形成一个新的 SET 脉冲.叠加结果如图 1(b)所示,左半部分为最坏情况,即门  $G2$ 、 $G3$  延迟的和  $T_{\text{aly}}$  与脉宽相当,叠加后脉宽最大.右半部分为最好情况,即  $T_{\text{aly}}$  很小或当  $G2$ 、 $G3$  逻辑门不存在时,叠加后脉宽最小,且由两个脉冲变为一个脉冲.若不考虑脉冲叠加,则认为传播到达  $G6$  的两个脉冲相互独立,计算失效率时分别被采样/屏蔽,相当于被计算两次,这显然与实际情况不符,对失效率的计算结果造成了偏差.

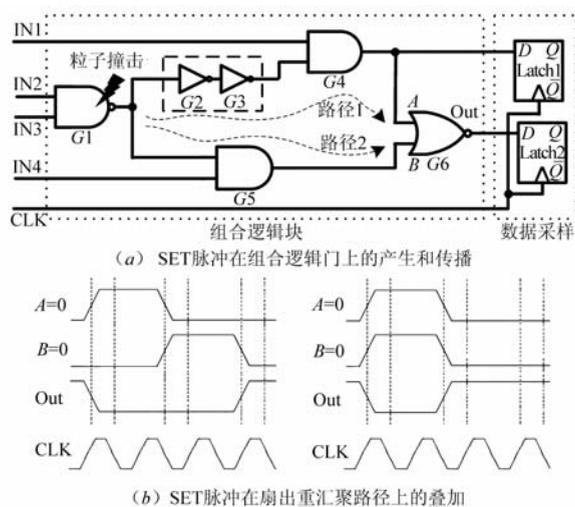


图1 扇出重汇聚导致的SET脉冲叠加情形

Massengill L W 等人对 90-nm 体硅工艺 CMOS 器件产生的 SET 脉冲宽度进行了实测,在室温下的最大脉宽为 1500ps<sup>[7]</sup>.这意味着,当时钟频率超过 667Mhz,此类脉冲将对多个时钟周期的采样造成影响.与此同时, Schwank J R 等人也指出脉宽会大于一个时钟周期的情形<sup>[8]</sup>.进一步地,由图 1(b)可知,传播到  $A$ 、 $B$  输入端的脉冲宽度已超过一个时钟周期的宽度  $T_{\text{clk}}$ ,叠加后的脉冲宽度可能会比  $T_{\text{clk}}$  大得多,因此需要考虑多时钟周期内的情形. SET 脉冲的产生可由双指数电流源进行模拟<sup>[9]</sup>.对宽脉冲考虑多时钟周期内的情形相当于对故障点在多个时钟周期持续施加故障模拟电流源;仅考虑单个时钟周期内的情形相当于对故障点只在发生故障的单个时钟周期之内施加故障模拟电流源,并在下一个时钟周期到来时撤销施加故障模拟电流源.

目前国际上较为典型的几种失效率评估方法都使用了不同的锁存窗屏蔽模型<sup>[10-14]</sup>,这些模型至少存在如下缺陷:

- (1) 存在明显的建模错误<sup>[10,11,13,14]</sup>;
- (2) 未考虑脉冲叠加的情形,认为汇聚到门节点的各个脉冲是相互独立的<sup>[10,12-14]</sup>;
- (3) 未考虑多时钟周期的情形,认为一个脉冲最多只被锁存一次<sup>[10-13]</sup>;
- (4) 考虑了脉冲叠加的情形,但没有考虑多时钟周期的情形<sup>[11]</sup>;
- (5) 考虑了多时钟周期的情形,但模型不准确,论证不充分<sup>[14]</sup>.

本文提出的锁存窗屏蔽模型考虑了多时钟周期脉冲叠加的情形,提高了锁存窗屏蔽效应评估的准确度. 首先使用提出的敏化路径逼近搜索算法可以准确计算门节点到达锁存器的敏化路径及路径延迟;其次在扇出重汇聚路径上,使用提出的脉冲叠加计算方法可以对叠加的脉冲进行准确的脉宽计算;最后对传播到达锁存器的脉冲使用提出的锁存窗屏蔽模型可以准确进行失效率的评估. 分析验证和针对 ISCAS'85 基准电路的实验结果表明,提出的锁存窗屏蔽模型对于纳米工艺下组合电路的失效率和软错误率的评估,适用性更好,计算结果更精确,能够为组合电路脆弱节点的筛选和选择性加固提供参考,具有重要的研究意义和应用价值.

## 2 现有的锁存窗屏蔽模型

以高电平采样的锁存器为例,图2给出了SET脉冲被锁存和被屏蔽的情形. 脉冲覆盖锁存窗口,且其有效宽度  $d$  大于锁存窗口宽度  $T_{sh}$ , 则被锁存. 此外的情形,脉冲均被屏蔽.  $T_{sh}$  由锁存器建立时间  $t_s$  和保持时间  $t_h$  决定.  $t_s$  是时钟翻转之前输入的数据必须保持稳定的时间,  $t_h$  是时钟翻转之后输入数据必须保持稳定的时间. 一个数据若要在上升沿被锁存,那么这个数据就要在时钟上升沿的建立时间和保持时间内保持稳定.

美国东北大学 Tahoori M B 等人提出一种粗略的锁存窗屏蔽模型<sup>[10]</sup>,具体如式(1)所示. 其中  $d$  为脉冲宽度,  $P_{latching}$  为 SET 脉冲被锁存的概率,即锁存器失效率. 图3给出了对该模型的解释,认为失效率是  $d$  与  $t_s$  和  $t_h$  的重叠量相对整个时钟周期  $T_{clk}$  所占的比例. 但是,当  $d < t_s + t_h$  时,脉冲被屏蔽(不满足采样时间),失效率为零,而此时式(1)的计算结果为非零,因此该模型是错误的.

$$P_{latching} = \frac{d + t_s + t_h}{T_{clk}} \quad (1)$$

美国卡内基梅隆大学 Marculescu D 等人提出一种改进的锁存窗屏蔽模型<sup>[11]</sup>,具体如式(2)所示. 其中  $d_k$  为沿着不同敏化路径到达锁存器的 SET 脉冲宽度,  $d_{init}$  为 SET 脉冲初始宽度. 认为到达锁存器的各个脉冲是

相互独立的,失效率的计算是机械式的累加,并且也未对多时钟周期的情形进行分析验证. 此外,在纳米工艺下,时钟频率的提高导致  $T_{clk}$  降低,  $d_{init}$  可能会与  $T_{clk}$  相当,甚至大于  $T_{clk}$ ,导致模型计算结果为无穷大或为负,进一步说明该模型是不合理的.

$$P_{latching} = \begin{cases} 0, & d < t_s + t_h \\ \sum_k \frac{d_k - (t_s + t_h)}{T_{clk} - d_{init}} \cdot P(d = d_k), & d \geq t_s + t_h \end{cases} \quad (2)$$

美国密歇根大学 Sylvester D M 等人提出一种较为合理的锁存窗屏蔽模型<sup>[12]</sup>,具体如式(3)所示. 但是,由于未考虑到脉冲发生叠加的情形,并且也未对多时钟周期的情形进行分析验证,因此该模型仍然存在缺陷.

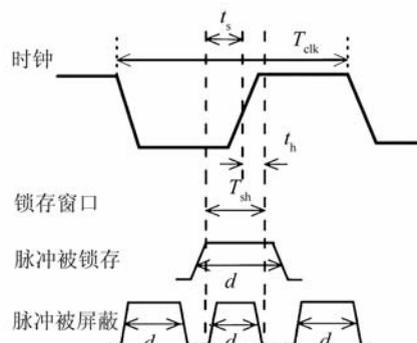


图2 锁存窗对SET脉冲的锁存与屏蔽

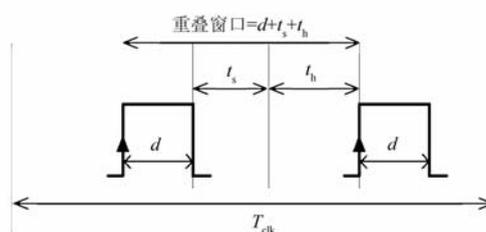


图3 文献[6]对锁存窗屏蔽模型的解释

$$P_{latching} = \begin{cases} 0, & d < t_s + t_h \\ \frac{d - (t_s + t_h)}{T_{clk}}, & d \geq t_s + t_h \end{cases} \quad (3)$$

美国奥本大学的 Agrawal V D 等人对式(3)模型进行改进<sup>[13]</sup>,具体如式(4)所示. 对多周期情形的分析初见端倪,认为过大的SET脉冲必然会造成一次失效. 加入  $P_{latching} = 1$  的条件分支,看似合理. 然而实际上会存在该种情形:过大的SET脉冲会造成多次失效! 如图4所示,脉冲  $d_1$  会被多次锁存. 如果正确的数据始终是低电平,则  $d_1$  会造成锁存器发生两次失效,而式(4)的计算结果最大值仅为1. 此外,式(4)还存在与式(3)相同的缺陷.

$$P_{\text{latching}} = \begin{cases} 0, & d < t_s + t_h \\ \frac{d - (t_s + t_h)}{T_{\text{clk}}}, & t_s + t_h \leq d \leq T_{\text{clk}} + t_s + t_h \\ 1, & d > T_{\text{clk}} + t_s + t_h \end{cases} \quad (4)$$

台湾国立交通大学 Wen H P 等人考虑到脉冲在多个时钟周期被采样,对式(4)模型进行改进<sup>[14]</sup>. 将失效概率表述为失效率,失效率一般以  $\lambda$  表示,取值可以大于 1. 他们将式(4)改写为式(5)的形式,并被提出的式(7)模型进行调用. 其中  $N_{\text{err}}$  为脉宽  $d$  相对于  $T_{\text{clk}}$  的倍数,取下确界整数.  $d'$  为去除  $d$  中  $T_{\text{clk}}$  整数倍宽度的脉宽余量. 认为  $d$  为  $T_{\text{clk}}$  的  $N$  倍,就必然会产生  $N$  次失效. 这显然是不合理的. 如图 4 所示,  $d_2$  为  $T_{\text{clk}}$  的 2 倍,但实际上  $d_2$  只被锁存一次. 同样,式(7)还存在与式(3)相同的缺陷.

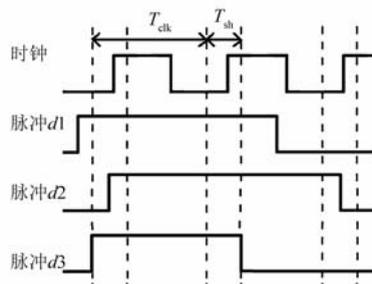


图4 脉冲在多个时钟周期被采样

$$\lambda(d, w) = \begin{cases} 0, & d < w \\ \frac{d - w}{T_{\text{clk}}}, & w \leq d \leq T_{\text{clk}} + w \\ 1, & d > T_{\text{clk}} + w \end{cases} \quad (5)$$

$$w = t_s + t_h \quad (6)$$

$$\lambda(d, w) = N_{\text{err}} + \lambda(d', w) \quad (7)$$

$$N_{\text{err}} = \lfloor \frac{d}{T_{\text{clk}}} \rfloor \quad (8)$$

$$d' = d - N_{\text{err}} \cdot T_{\text{clk}} \quad (9)$$

综上所述,现有的锁存窗屏蔽模型要么未考虑脉冲叠加,要么未考虑多周期的情形,要么存在明显的错误,因而不精确. 使用该类锁存窗屏蔽模型计算电路失效率,并评估电路的脆弱节点,将对集成电路的选择性抗辐射加固造成误导,从而影响集成电路芯片在航空、航天等高可靠需求领域的应用.

### 3 本文方案

本节首先给出扇出重汇聚导致的多时钟周期瞬态脉冲叠加的计算方法,然后给出考虑脉冲叠加的锁存窗屏蔽模型,最后对该模型在单时钟周期情形以及多时钟情形下的适用性进行理论分析和验证.

#### 3.1 多时钟周期瞬态脉冲的叠加

图 1 给出了  $G1$  产生的 SET 脉冲分别沿路径 1 和路

径 2 传播到达汇聚点  $G6$ ,发生叠加并形成一个新 SET 脉冲的情形. 与此同时,图 5 给出了  $G1$ 、 $G5$ 、 $G4$ 、 $G6$  输出端的 SET 脉冲波形.  $G1$  产生一个 0-1-0 型 SET 脉冲,由于路径 2 延迟较小, $G5$  输出端的波形被事先观测到;由于路径 1 延迟较大, $G4$  输出端的波形经过一个延迟差后被观测到;由于脉冲汇聚到  $G6$  并发生叠加,由此产生一个新的 SET 脉冲(1-0-1 型,宽度为  $d_{G5} + d_{G4} - d_{\text{ovlp}}$ ).  $G5$ 、 $G4$  输出端的脉冲存在一个重叠量  $d_{\text{ovlp}}$ ,对于图 5 的情形, $d_{\text{ovlp}}$  越大, $G6$  输出端的脉冲宽度越小. 此时若认为传播到  $G6$  的两个脉冲是独立的(总宽度为  $d_{G5} + d_{G4}$ ),产生的失效率评估误差最大,并且被高估.

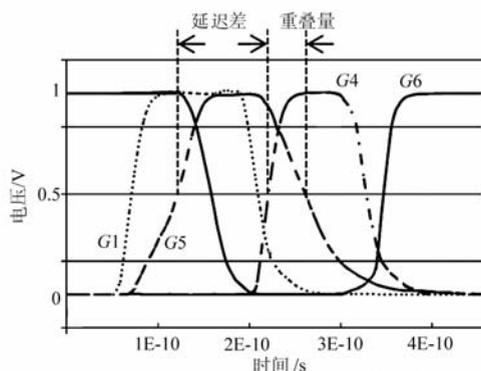


图5  $G1$ 、 $G5$ 、 $G4$ 、 $G6$  输出端的波形

不失一般性,现将汇聚到 NOR2 的脉冲所有叠加情形加以讨论,具体如图 6 所示.  $A$ 、 $B$ 、 $\text{Out}$  分别为 NOR2 的两个输入引脚和输出引脚. 传播到  $A$ 、 $B$  端的脉冲,  $d_{\text{ovlp}}$  为其重叠部分,  $d_{A\text{pure}}$  和  $d_{B\text{pure}}$  分别为去除重叠部分的自身部分. 考虑叠加的情形共有四种,  $\text{Out}$  端给出了叠加后的情形. 忽略脉冲叠加的情形共有两种,认为脉冲是独立的,则当 NOR2 的一个输入引脚为恒定的非控制值时,穿过另一个引脚的脉冲被原样输出.

当考虑脉冲叠加,  $\text{Out}$  端脉冲宽度  $d_{\text{consider}}$  可以表示为:

$$\begin{aligned} d_{\text{consider}} = & P(A + B = 0) \times (d_{A\text{pure}} + d_{B\text{pure}} + d_{\text{ovlp}}) \\ & + P(A + \bar{B} = 0) \times d_{B\text{pure}} \\ & + P(\bar{A} + B = 0) \times d_{A\text{pure}} \\ & + P(\bar{A} + \bar{B} = 0) \times d_{\text{ovlp}} \end{aligned} \quad (10)$$

当不考虑脉冲叠加,  $\text{Out}$  端脉冲宽度  $d_{\text{ignore}}$  可以表示为:

$$d_{\text{ignore}} = P(A = 0) \times d_B + P(B = 0) \times d_A \quad (11)$$

注意到,

$$P(A = 0) = P(A + B = 0) + P(A + \bar{B} = 0) \quad (2)$$

$$P(B = 0) = P(A + B = 0) + P(\bar{A} + B = 0) \quad (13)$$

$$\begin{aligned} P(A + B = 0) + P(A + \bar{B} = 0) + P(\bar{A} + B = 0) \\ + P(\bar{A} + \bar{B} = 0) = 1 \end{aligned} \quad (14)$$

因此有:

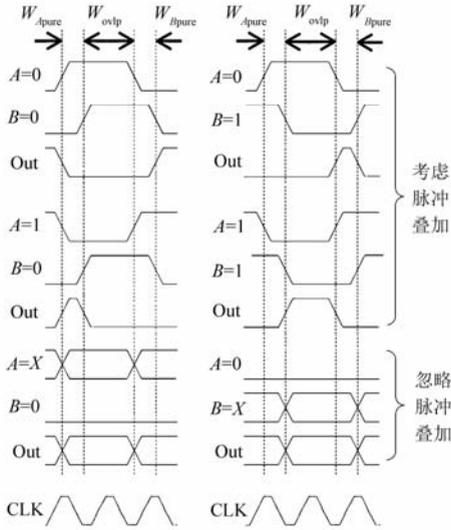


图6 考虑和忽略脉冲叠加的所有情形

$$d_{\text{ignore}} - d_{\text{consider}} = (1 - 2 \times P(A=1, B=1)) d_{\text{ovlp}} \quad (5)$$

$P(A=1, B=1)$  概率值取决于电路拓扑结构和输入激励, 当  $P(A=1, B=1) < 0.5$  时, 忽略脉冲叠加将导致失效率被高估; 当  $P(A=1, B=1) > 0.5$  时, 忽略脉冲叠加将导致失效率被低估. 不失一般性, 假定  $P(A=1) = P(B=1) = 0.5$ , 则  $P(A=1, B=1) = 0.25$ . 因此, 忽略脉冲叠加将导致失效率被高估  $0.5d_{\text{ovlp}}$ . 依据上述方法, 对于其他类型的逻辑门亦可得出类似结论, 在此从略.

对于扇出重汇聚导致脉冲叠加的情形, 准确的敏化路径搜索是需要优先解决的问题. 顾名思义, 敏化路径是被敏化的路径, 它要求处于敏化路径上的逻辑门单元的非敏化引脚需为非控制值, 否则会发生逻辑屏蔽导致路径被切断. 图 1 给出  $G1$  到  $G6$  的两条敏化路径, 当  $IN1$  和  $IN4$  为控制值 0 时, 路径 1 和路径 2 均将被切断. 图 5 给出脉冲延迟差和重叠量, 在搜索敏化路径时通过计算路径 1 和路径 2 路径时延可得. 下面给出考虑扇出重汇聚的敏化路径逼近搜索算法 (算法 1. FindSensPathsByInjFaults).

#### 算法 1 FindSensPathsByInjFaults

```
//输入:初始敏化路径与延迟链表 lstSensPathAndDelayInitial, 故障门 gFtSrc, 目标门 gDest.
//输出:整体敏化路径与延迟链表 lstSensPathAndDelayTotally.
对故障门的扇出进行广度优先搜索 (breadth first search, BFS) 并记录故障敏化扇出门;
//故障敏化扇出门数据结构为 list<gate *> lstFoSensGates
FOR lstFoSensGate ← lstFoSensGates.begin() to lstFoSensGates.end
() DO
    建立当前敏化路径与延迟链表 lstSensPathAndDelayCurrent;
    将 lstSensPathAndDelayInitial 数据记入 lstSensPathAndDelayCur-
```

```
rent;
查找敏化引脚对应延迟并将 lstFoSensGate 与延迟记入 lstSensPathAndDelayCurrent;
IF (lstFoSensGate 逼近到达 gDest)
    将链表 lstSensPathAndDelayCurrent 记入链表 lstSensPathAndDelayTotally;
ELSE
    gFtSrc = lstFoSensGate;
    FindSensPathsByInjFaults (lstSensPathAndDelayCurrent, gFtSrc, gDest);
END IF
END
```

给定电路拓扑结构, 输入激励决定敏化路径序列. 通过电路门级仿真, 可得所有逻辑门各个引脚信号. 算法通过对门 (如,  $G1$ ) 的输出信号进行翻转以模拟故障注入并进行故障传播, 可得待锁存值发生翻转的锁存器  $LA_{\text{upset}}$ . 算法将  $LA_{\text{upset}}$  的元素作为目标门, 将故障注入门作为故障门, 将发生翻转的锁存器与零延迟一并作为初始敏化路径与延迟链表的元素. 进行如上算法所列举的操作, 可得故障门到达锁存器的全部敏化路径. 通过恢复对故障门输出信号的翻转并对其扇出锥进行二次门级仿真, 可以清除故障注入.

算法首先对故障门的扇出进行 BFS 搜索并记录故障敏化扇出门, 而后分别将故障敏化扇出门及其敏化引脚延迟记录到当前敏化路径与延迟链表中, 故障敏化扇出门若已逼近到达目标门, 则需将当前敏化路径与延迟链表记录到整体敏化路径与延迟链表中, 否则便将故障扇出门设定为当前故障门并递归调用本算法, 最终只将能够到达目标门的链表记录到整体敏化路径与延迟链表中而得解.

综上所述, 通过精确搜索敏化路径, 并记录发生扇出重汇聚的子路径及其延迟, 给定初始 SET 脉冲, 便可准确计算  $d_{\text{consider}}$ . 图 6 给出时钟信号 CLK 的变化情况, 以上讨论的 SET 脉冲叠加对多时钟周期的情形具有很好的适用性.

### 3.2 提出的锁存窗屏蔽模型

本文提出考虑多时钟周期瞬态脉冲叠加的锁存窗屏蔽模型, 具体如式 (16) 所示. 其中  $T_{\text{sh}}$  为锁存窗口大小,  $D = \bigcup_{\pi=0}^n T_{\text{pw}}^{\pi}$  为沿路径  $\pi$  传播的各个脉冲  $T_{\text{pw}}^{\pi}$  发生叠加后传播到达锁存器的脉冲宽度, 使用第 2 小节提出的方法进行计算.

$$\lambda(T_{\text{pw}}, T_{\text{sh}}) = \begin{cases} 0, & \bigcup_{\pi=0}^n T_{\text{pw}}^{\pi} \leq T_{\text{sh}} \\ \frac{\bigcup_{\pi=0}^n T_{\text{pw}}^{\pi} - T_{\text{sh}}}{T_{\text{clk}}}, & \bigcup_{\pi=0}^n T_{\text{pw}}^{\pi} > T_{\text{clk}} + T_{\text{sh}} \end{cases} \quad (16)$$

下面对其在单周期情形下的正确性进行验证.

假定脉冲汇聚到任意逻辑门  $G$  发生叠加后宽度为  $D_0$ , 经历时间  $t_{prop}$  最终到达锁存器 LA, 宽度变为  $D$ . 图 7 给出脉冲在单个时钟周期内传播的情形,  $t_{prop}$  为  $D_0$  传播到达 LA 的传播时延,  $V_{S,G}$  为  $G$  的翻转阈值. 有如下结论:

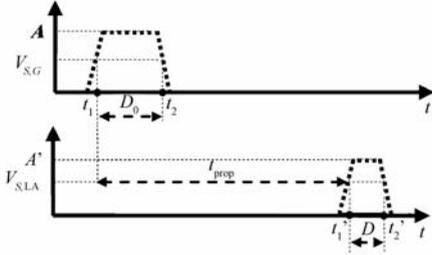


图7 脉冲在单个时钟周期内传播

$$t_{prop} = t'_1 - t_1 \quad (17)$$

$$D = t'_2 - t'_1 \quad (18)$$

若  $D$  被锁存, 需满足以下条件:

$$t'_1 < T_{clk} - t_s \quad (19)$$

$$t'_2 > T_{clk} + t_h \quad (20)$$

$$D > T_{sh} \quad (21)$$

因此有:

$$t_1 \in (T_{clk} + t_h - t_{prop} - D, T_{clk} - t_s - t_{prop}) \quad (22)$$

此外, 若  $D$  被锁存, 还需要满足一个条件, 即要么  $A' > V_{S,LA}$  (当非故障采样值为 0), 要么  $A' < V_{S,LA}$  (当非故障采样值为 1). 由于  $D$  为有效宽度, 显然当式(21)满足时, 该条件必然满足. 因此若  $D$  被锁存, 需满足的条件仅为式(21)和式(22).

由于  $t_1$  在一个时钟周期  $T \in [0, T_{clk}]$  之内随机出现, 假定  $t_1$  在区间  $T$  内服从均匀分布, 则发生式(22)事件的概率为:

$$P(t_1 \in (T_{clk} + t_h - t_{prop} - D, T_{clk} - t_s - t_{prop})) \quad (23)$$

显然, 其值为  $(D - T_{sh})/T_{clk}$ .

综上, 当  $D \leq T_{sh}$ ,  $D$  被锁存的概率为 0; 当  $D > T_{sh}$ ,  $D$  被锁存的概率为  $(D - T_{sh})/T_{clk}$ , 得证.

下面对其在多周期情形下的正确性进行验证.

(1) 当  $D \leq T_{sh}$  时, 失效次数必然为 0,  $\lambda = 0$ ;

(2) 当  $D \in (T_{sh}, T_{clk} + T_{sh}]$  时, 失效次数为 0 或 1. 如图 3 所示, 脉冲  $d_3$  宽度恰好达到该条件的上界, 此时无论  $d_3$  如何移动, 必然覆盖一个锁存窗口, 造成一次失效. 如同单时钟周期情形下正确性的验证, 失效 1 次的概率为  $P_1 = (D - T_{sh})/T_{clk}$ , 则失效 0 次的概率为  $P_0 = 1 - P_1$ , 有  $\lambda = 0 \times P_0 + 1 \times P_1 = P_1 = (D - T_{sh})/T_{clk}$ .

(3) 当  $D \in (T_{clk} + T_{sh}, 2T_{clk} + T_{sh}]$  时, 失效次数为 1 或 2. 一旦脉冲宽度达到该条件上界, 必然覆盖两个锁存窗口, 造成两次失效. 如同单时钟周期情形下正确性

的验证, 失效 2 次的概率为  $P_2 = (D - (T_{clk} + T_{sh}))/T_{clk}$ , 则失效 1 次的概率为  $P_1 = 1 - P_2$ , 有  $\lambda = 1 \times P_1 + 2 \times P_2 = 1 + P_2 = (D - T_{sh})/T_{clk}$ .

(4) 按照上面的方法, 以此类推. 因此有 5).

(5) 当  $D \in (N \cdot T_{clk} + T_{sh}, (N + 1) \cdot T_{clk} + T_{sh}]$  时, 失效次数为  $N$  或  $N + 1$ , 其中  $N = (D - T_{sh})/T_{clk}$ , 取下界整数数值. 一旦脉冲宽度达到该条件的上界, 必然覆盖  $N + 1$  个锁存窗口, 造成  $N + 1$  次失效. 如同单时钟周期情形下正确性的验证, 失效  $N + 1$  次的概率为  $P_{N+1} = (D - (N \cdot T_{clk} + T_{sh}))/T_{clk}$ , 因此失效  $N$  次的概率为  $P_N = 1 - P_{N+1}$ , 有  $\lambda = N \times P_N + (N + 1) \times P_{N+1} = N + P_{N+1} = (D - T_{sh})/T_{clk}$ .

易知, 以上讨论的(1)~(5)情形等价于:

$$\lambda(D, T_{sh}) = \begin{cases} 0, & D \leq T_{sh} \\ \frac{D - T_{sh}}{T_{clk}}, & T_{sh} < D \leq T_{clk} + T_{sh} \\ \frac{D - T_{sh}}{T_{clk}}, & T_{clk} + T_{sh} < D \leq 2 \cdot T_{clk} + T_{sh} \\ \dots, & \dots \\ \frac{D - T_{sh}}{T_{clk}}, & N \cdot T_{clk} + T_{sh} < D \leq (N + 1)T_{clk} + T_{sh} \end{cases} \quad (24)$$

综上, 当  $D \leq T_{sh}$ ,  $D$  造成的失效率为 0,  $\lambda = 0$ ; 当  $D > T_{sh}$ ,  $D$  必然落在区间  $(N \cdot T_{clk} + T_{sh}, (N + 1) \cdot T_{clk} + T_{sh}]$  之内,  $N$  为自然数, 此时  $D$  造成的失效率均为  $(D - T_{sh})/T_{clk}$ ,  $\lambda = (D - T_{sh})/T_{clk}$ , 得证.

## 4 实验与结果分析

为进一步验证本文方法的正确性, 使用 45nm Nanagate 标准单元库, 对 ISCAS'85 基准电路进行考虑多时钟周期瞬态脉冲叠加的软错误率 (soft error rate, SER) 计算, 并与同类文献进行对比分析.

### 4.1 软错误率的计算

软错误率是器件或系统发生软错误的比率, 式(25)给出了软错误率的计算公式.

$$SER = \lambda_{ckt} \times R_{PH} \times R_{eff} \times A_{ckt} \times 3.6 \times 10^{12} \quad (25)$$

上式中  $\lambda_{ckt}$  为电路整体失效率,  $R_{PH}$  与  $R_{eff}$  分别为辐射环境中的粒子通量与有效撞击率, 参考文献[11, 12]分别取值为  $56.5 \text{ m}^{-2} \text{ s}^{-1}$ 、 $2.2 \times 10^{-5}$ .  $A_{ckt}$  为组合电路全部逻辑门单元面积总和.

对于特定标准门单元库, 首先建立各个标准逻辑门单元特征参数表, 将提取的各个门单元引脚电容与延迟、负载参数及面积信息存储到程序数据结构, 然后通过算法 2 计算电路软错误率.

其中  $N$  为测试向量个数,  $S$  为敏化路径条数,  $W$  为脉冲注入个数,  $G$  为敏化路径上的门单元. 算法首先读

取输入参数并解析电路网表,然后随机生成若干组测试向量.针对每一组测试向量,进行如下操作:(1)逻辑仿真,使用提出的敏化路径逼近搜索算法查找各个门单元到锁存器的敏化路径,识别扇出重汇聚子路径并标记扇出点与汇聚点;(2)对处在敏化路径上的第一个门单元进行不同宽度的脉冲注入以模拟不同能量的粒子来袭,然后将脉冲在敏化路径上进行传播,并协同计算脉冲叠加与电气屏蔽效应.通过文献[12]提出的电气屏蔽模型评估电气屏蔽效应;(3)使用提出的锁存窗屏蔽模型计算脉冲对锁存器造成的失效率并统计电路总体失效率.最后,取各个测试向量下的电路平均失效率,进而通过式(25)计算可得电路总体软错误率.

#### 算法 2 SERComputing

//输入:电路网表、测试向量数目、工艺库参数.

//输出:电路总体软错误率.

读取输入参数并解析电路网表;

使用随机向量生成器产生测试向量;

FOR  $i \leftarrow 1$  to  $N$  DO

    电路逻辑仿真;

    查找敏化路径并记录路径延迟;

    识别扇出重汇聚子路径并标记扇出点与汇聚点;

    FOR  $j \leftarrow 1$  to  $S$  DO

        FOR  $w \leftarrow 1$  to  $W$  DO

            FOR  $k \leftarrow 1$  to  $G$  DO

                协同计算脉冲叠加与电气屏蔽效应;

            END

            计算锁存窗屏蔽效应;

            统计电路总体失效率;

        END

    END

END

计算电路总体软错误率;

#### 4.2 实验结果的比较

本文实验环境为 Windows XP x86 SP3 OS、4GB 内存、Intel Quad-Core i5 处理器.

将时钟频率设定为 2GHz,  $T_{sh}$  设定为 30ps<sup>[15]</sup>, 随机产生 1000 组测试向量<sup>[16]</sup>, 使用如下双指数电流源<sup>[9]</sup>进行初始 SET 脉冲宽度生成.

$$I(t) = \frac{Q}{\tau_\alpha - \tau_\beta} (e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (26)$$

其中  $Q$  为电荷收集量,  $\tau_\alpha$  为电荷收集时间常数,  $\tau_\beta$  为电荷通道建立时间常数. 45nm 工艺下,  $\tau_\alpha$  和  $\tau_\beta$  分别取值为  $1.5 \times 10^{-10}$ 、 $5 \times 10^{-11}$  s.

针对  $Q \in [0, 300fc]$  中 10 的整数倍电荷量的粒子进行初始脉宽生成, 使用第 3 节提出的多周期瞬态脉冲叠加方法对 SET 脉冲进行叠加并计算脉冲对电路造成的总体软错误率, 计算结果如表 1 所示.

表 1 中 SER1 与时间 1、SER2 与时间 2 分别为不考虑和考虑多时钟周期瞬态脉冲叠加的软错误率计算结果与时间开销, SER3 与时间 3 为文献[14]中仅考虑多时钟周期情形的软错误率计算结果与时间开销. 由于同类文献甚少, 因此本文主要与同类文献[14]进行比较. 定义  $A$  方法软错误率评估结果  $SER_A$  相对于  $B$  方法软错误率评估结果  $SER_B$  的偏差  $SER_{diff}$  为:

$$SER_{diff} = \frac{SER_A - SER_B}{SER_B} \quad (27)$$

因此有表 1 数据 diff21、diff32, 含义分别为 SER2 相对 SER1 以及 SER3 相对 SER2 的软错误率偏差, 从而有其均值 7.5% 与 9.2%. 这意味着:(1)与考虑多时钟周期瞬态脉冲叠加的软错误率计算结果相比, 不考虑多时钟周期瞬态脉冲叠加的软错误率计算结果要被低估 7.5%. 分析其原因, 虽然 3.1 节从统计学角度指出忽略脉冲叠加将导致失效率被高估  $0.5d_{ovlp}$ , 但是相关实验

表 1 软错误率计算结果与时间开销

电路名称	SER1 (FITs)	时间 1 (s)	SER2 (FITs)	时间 2 (s)	SER3 (FITs)	时间 3 (s)	diff21	diff32
c432	5.23E-04	7.09	5.83E-04	13.72	6.23E-04	1.77	11.47%	6.86%
c499	3.26E-04	36.52	3.64E-04	59.16	3.86E-04	9.38	11.66%	6.04%
c880	8.41E-04	29.31	9.06E-04	51.32	1.00E-03	1.79	7.73%	10.38%
c1355	8.79E-04	67.15	9.80E-04	87.15	1.10E-03	9.63	11.49%	12.24%
c1908	9.20E-04	179.95	8.97E-04	280.49	9.58E-04	4.29	-2.50%	6.80%
c2670	7.19E-04	96.65	7.95E-04	431.58	8.63E-04	2.47	10.57%	8.55%
c3540	9.43E-04	702.43	1.06E-03	1612.37	1.13E-03	9.29	12.41%	6.60%
c5315	1.83E-03	1229.64	1.84E-03	2382.46	2.11E-03	8.59	0.55%	14.67%
c6288	5.38E-04	1741.25	5.72E-04	2916.51	6.44E-04	120.5	6.32%	12.59%
c7552	1.51E-03	1960.46	1.59E-03	2703.02	1.71E-03	13.2	5.30%	7.55%

数据指出考虑多时钟周期的情形会使软错误率计算结果更高<sup>[14]</sup>. 由此可见,相比于扇出重汇聚导致的脉冲叠加,多时钟周期情形导致的软错误率提升占据主导地位,因而综合考虑多时钟周期瞬态脉冲叠加的软错误率计算结果 SER2 要比 SER1 偏高. (2) 文献[14]的软错误率计算结果 SER3 比本文 SER2 还要高 9.2%. 分析其原因,文献[14]认为脉宽是时钟周期的多少倍,就会至少造成多少次失效,软错误率显然被高估. 此外,图 8 给出 SER1、SER2、SER3 的对比结果,它们具有一致的变化趋势,进一步说明本文方法是合理的.

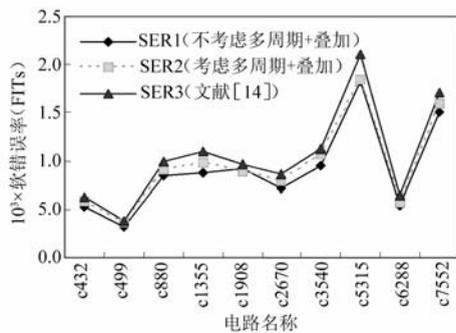


图8 软错误率评估结果对比

关于时间开销,本文使用考虑扇出重汇聚的敏化路径逼近搜索算法,并进行脉冲叠加,因而引入较多的时间开销. 由表 1 可知, SER2 平均计算时间约为 SER1 平均计算时间的 1.7 倍,但是本文的软错误率计算准确度平均提高 7.5%. 此外,由于文献[14]使用高性能计算机评估软错误率,其时间开销较小. 由于计算平台的不一致性,本文未与其进行时间开销的比较.

## 5 总结

集成电路工艺水平的不断提升,导致锁存器越容易发生受到单粒子瞬态脉冲的干扰而发生误采样. 高性能集成电路工作频率的提高,路径延迟的降低,使得扇出重汇聚导致的 SET 脉冲叠加越发不容忽视. 理论分析表明,扇出重汇聚导致叠加的 SET 脉冲可能更宽. 同时,时钟周期的减小,进一步加重了叠加的脉冲在多个周期之内对锁存器的干扰. 提出的锁存窗屏蔽模型,充分考虑扇出重汇聚导致的 SET 脉冲叠加,并对多时钟周期情形具有很好的适用性. 本文方法与不考虑多时钟周期瞬态脉冲叠加的方法相比,使用不到 2 倍的时间开销,平均提高 7.5% 的软错误率评估准确度,能够为电路脆弱节点的筛选和选择性抗辐射加固提供参考.

## 参考文献

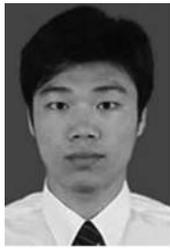
[1] Wu K C, Marculescu D. A low-cost, systematic methodology for soft error robustness of logic circuits [J]. IEEE

Transactions on Very Large Scale Integration Systems, 2013, 21(2): 367–379.

- [2] Ferlet-Cavrois V, Massengill L W, Gouker P. Single event transients in digital CMOS—A review [J]. IEEE Transactions on Nuclear Science, 2013, 60(3): 1767–1790.
- [3] Black J D, Dodd P E, Warren K M. Physics of multiple-node charge collection and impacts on single-event characterization and soft error rate prediction [J]. IEEE Transactions on Nuclear Science, 2013, 60(3): 1836–1851.
- [4] Zhang M, Shanbhag N R. Soft-error-rate-analysis (SERA) methodology [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006, 25(10): 2140–2155.
- [5] Chen L, Ebrahimi M, Tahoori M B. CEP: correlated error propagation for hierarchical soft error analysis [J]. Journal of Electronic Testing, 2013, 29(2): 143–158.
- [6] Liu B W, Chen S M, Liang B, et al. The effect of re-convergence on SER estimation in combinational circuits [J]. IEEE Transactions on Nuclear Science, 2009, 56(6): 3122–3129.
- [7] Gadlage M J, Ahlbin J R, Narasimham B, et al. Increased single-event transient pulsewidths in a 90-nm bulk CMOS technology operating at elevated temperatures [J]. IEEE Transactions on Device and Materials Reliability, 2010, 10(1): 157–163.
- [8] Dodd P E, Shaneyfelt M R, Felix J A, et al. Production and propagation of single-event transients in high-speed digital logic ICs [J]. IEEE Transactions on Nuclear Science, 2004, 51(6): 3278–3284.
- [9] Messenger G C. Collection of charge on junction nodes from ion tracks [J]. IEEE Transactions on Nuclear Science, 1982, 29(6): 2024–2031.
- [10] Asadi H, Tahoori M B. Soft error derating computation in sequential circuits [A]. Proceedings of the IEEE/ACM International Conference on Computer-aided Design [C]. Taiwan: IEEE, 2006. 497–501.
- [11] Miskov-Zivanov N, Marculescu D. Circuit reliability analysis using symbolic techniques [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006, 25(12): 2638–2649.
- [12] Rao R R, Chopra K, Blaauw D T, et al. Computing the soft error rate of a combinational logic circuit using parameterized descriptors [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2007, 26(3): 468–479.
- [13] Wang F, Agrawal V D. Soft error rate determination for nanoscale sequential logic [A]. Proceedings of the 11th IEEE International Symposium on Quality Electronic Design [C]. Santa Clara: IEEE, 2010. 225–230.

- [14] Huang H M, Wen H P. Advanced soft-error-rate (SER) estimation with striking-time and multi-cycle effects[A]. Proceedings of the 51st Annual Design Automation Conference on Design Automation Conference[C]. San Francisco:IEEE,2014. 11 - 16.
- [15] Salman E, Friedman E G. Reducing delay uncertainty in deeply scaled integrated circuits using interdependent timing constraints[A]. Proceedings of the ACM/IEEE International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems[C]. New York:IEEE, 2010. 1 - 6.
- [16] Holcomb D, Li W C, Seshia S A. Design as you see FIT: System-level soft error analysis of sequential circuits[A]. Proceedings of the Conference on Design, Automation and Test in Europe[C]. Dresden:IEEE,2009. 785 - 790.

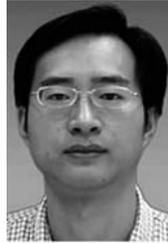
#### 作者简介



**闫爱斌** 男,1983 年生于吉林白城,2015 年获得合肥工业大学计算机应用技术专业工学博士学位,现为安徽大学计算机科学与技术学院讲师。主持国家自然科学基金一项(编号为 61604001),研究方向为纳米集成电路软错误率评估和星载系统芯片 SoC 的抗辐射加固。  
E-mail:abyan@mail.ustc.edu.cn



**梁华国** 男,1959 年生于安徽合肥,2003 年博士毕业于德国斯图加特大学,现为合肥工业大学电子科学与应用物理学院和计算机与信息学院教授、博士生导师。1998 年至 2003 年,在德国斯图加特大学计算机科学系作访问学者,并获得德国斯图加特大学博士学位。先后主持或参加多项国际和国内的国家级研究与开发项目,包括德国国家自然科学基金(DFG)、国家自然科学基金面上项目和重点基金项目、国家教育部回国人员科研启动基金。出版德文专著一本,发表论文超过 100 篇。研究兴趣包括内建自测试、数字系统设计自动化、ATPG 算法以及分布式控制系统等。  
E-mail:huagulg@hfut.edu.cn



**黄正峰** 男,1978 年生于安徽无为,现为合肥工业大学电子科学与应用物理学院副教授、硕士生导师。研究兴趣主要包括星载系统芯片 SoC 的抗辐射加固、嵌入式系统的综合与测试、数字系统设计自动化等。  
E-mail:huangzhengfeng@139.com



**易茂祥** 男,1964 年生于安徽广德县,2010 年获得合肥工业大学计算机应用技术专业工学博士学位。2002 年曾在德国斯图加特大学作访问学者。主持省级高校自然科学基金项目或国家自然科学基金多项,并在国内外期刊或学术会议上发表学术论文 40 余篇,其中第一作者 20 余篇,在 IEEE Transactions on VLSI Systems 上发表论文 1 篇。E-mail:mxyi126@126.com



**蒋翠云** 女,1962 年生于安徽蚌埠,合肥工业大学副教授,主要研究方向为数值分析、有理逼近、容错计算、内建自测试等。  
E-mail:hgdyun@foxmail.com