

CMOS 反相器低频噪声模型及可靠性表征研究

陈晓娟¹, 陈东阳², 吴 洁³

(1. 长春理工大学电子信息工程学院, 吉林长春 130022; 2. 东北电力大学信息工程学院 吉林吉林 132012;
3. 北华大学电气信息工程学院 吉林吉林 132013)

摘 要: 为了表征 CMOS 反相器的可靠性, 从其负载电流和输出电压的特性入手, 详细推导了一种基于载流子波动理论的低频噪声模型, 并由实验数据验证了模型的准确性. 由实验结果可知, 负载电流功率谱密度随频率的增加而减小, 遵循 $1/f$ 噪声的变化规律; 得到了负载电流归一化噪声功率谱密度与器件尺寸的关系. 通过深入研究 $1/f$ 噪声与界面态陷阱密度的关系, 验证了 $1/f$ 噪声可用于表征 CMOS 反相器的可靠性, 证明了噪声幅值越大, 器件可靠性越差, 失效率显著增大, 为评价 CMOS 反相器的可靠性提供了一种可行及有效的方法.

关键词: CMOS 反相器; 低频噪声; 可靠性; 缺陷

中图分类号: TN94 **文献标识码:** A **文章编号:** 0372-2112 (2016)11-2646-07

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2016.11.012

Investigation on Low-Frequency Noise Models and Representation for Reliability of CMOS Inverter

CHEN Xiao-juan¹, CHEN Dong-yang², WU Jie³

(1. School of Electronic Information Engineering, Changchun University of Science and Technology, Changchun, Jilin 130022, China;
2. School of Information Engineering, Northeast Dianli University, Jilin, Jilin 132012, China;
3. School of Electrical Information Engineering, Beihua University, Jilin, Jilin 132013, China)

Abstract: In order to characterize the reliability of CMOS inverter, a kind of low-frequency noise model is deduced in detail by using the characteristics of load current and output voltage, based on the carrier fluctuation theory, and the accuracy of the model was verified by experimental data. The experiment results indicate that load current power spectral follows the changing rule of the $1/f$ noise, decreasing with the increase of frequency; the normalized noise power spectral density of load current decreases with the increase of the channel width or length. Using the experimental data, the relationship between $1/f$ noise and interface trap state density of CMOS inverter is established. Verify that the $1/f$ noise can be used to characterize the reliability of CMOS inverter. It is proved that the larger interface trap state density, the larger the noise magnitude, leading to the degradation of device reliability and significant rise in device invalidation rate. That provides a feasible and effective method for evaluating the reliability of CMOS inverter.

Key words: CMOS inverter; low-frequency noise; reliability; defect

1 引言

CMOS 反相器是构成数字超大规模集成电路的基本单元, 由 P 沟道和 N 沟道两个增强型 MOS 管串联组成, 在电路中由它构成的逻辑非门或静态随机存取存储器具有静态功耗极低、抗干扰能力强、电源利用率高、输入阻抗大、带负载能力强等优点. 目前在精密数字元件(如锁存器、数据选择器、译码器和状态机等)、整形、

隔离、放大驱动、音频放大等领域等都有着广泛的应用. 随着制程技术和 CMOS 技术按比例缩小的发展, CMOS 混合集成技术和生产工艺日趋成熟, CMOS 反相器在军用和民用领域都受到了普遍青睐.

CMOS 反相器在工作状态下易受到器件参数变化、低频噪声和随机电报噪声等静态和动态波动的影响^[1,2], 这些大的波动会严重影响 CMOS 反相器的性能, 降低其噪声容限^[3], 最终导致器件的可靠性下降.

CMOS 反相器中的杂质和缺陷(如氧化层陷阱、晶格错位、界面态等)会引起器件参数的变化,器件参数变化又会引起沟道载流子数波动或迁移率变化,使得其产生的低频噪声增加,且这些缺陷是影响 CMOS 反相器可靠性的重要因素^[4],因此对 CMOS 反相器低频噪声的研究具有重要意义。

近年来,国内外学者对不同器件的低频噪声产生机理与其缺陷的关系^[5]及可靠性表征做了大量研究,如 VDMOS、光耦合器件、红外探测器、氮化镓基发光二极管、半导体激光器、电阻及 DC/DC 转换器等. 本文根据噪声测试和数学推导,分析了 CMOS 反相器的噪声特性,建立了低频噪声物理模型,发现低频噪声可以有效地表征界面态陷阱密度,从而得到了低频噪声与 CMOS 反相器可靠性的关系. 通过该研究能够对器件生产工艺改进、器件筛选和可靠性评估提供一种有效的方法。

2 CMOS 反相器的低频噪声物理模型

CMOS 反相器由两个增强型 MOS 管(nMOS 和 pMOS)组成,其中 V1 为 nMOS 驱动管,V2 为 pMOS 负载管. nMOS 和 pMOS 管的栅源开启电压分别为正值 V_{in} 和负值 V_p ,其数值范围在 2~5V 之间. 为了使它能正常工作,要求电源电压 V_{dd} 大于二者的栅源开启电压绝对值之和,即 $V_{dd} > (V_{in} + |V_p|)$,其电路原理图如图 1 所示。

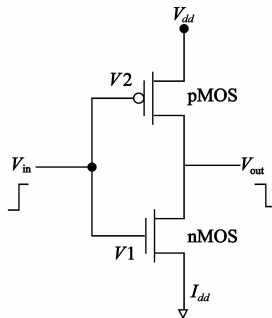


图1 CMOS反相器的电路原理图

本文先从 CMOS 反相器的导电机理入手,讨论器件在不同工作区域时的载流子输运方式和器件沟道的状态,分析引起沟道载流子涨落的因素,建立低频噪声物理模型. 由 CMOS 反相器的结构可知,流过的负载电流 I_{dd} 可以通过 pMOS 漏电流 I_p 或者 nMOS 的漏电流 I_n 获得,其关系式如下,

$$I_{dd} = I_p = I_n \quad (1)$$

利用相同的源极电压基准,每个沟道漏电流可以通过缓变沟道近似计算得出,其计算方法如下,

$$I_d(V_{gs}, V_{ds}) = \int_0^{V_c} \frac{W}{L} \cdot \mu_{eff}(E_{eff}) \cdot Q_i(V_{gs}, U_c) dU_c \quad (2)$$

式中 V_{gs} 为栅源电压, V_{ds} 为漏源电压, U_c 是随沟道变化

的准费米能级, W 是沟道的宽度, L 是沟道的长度, μ_{eff} 为载流子在有效电场下的有效电迁移率. 由通用电子迁移规律^[6,7]可知, E_{eff} 有效电场强度是不能直接测量的参数,它与沟道反型电荷面密度 Q_i 和区中耗尽电荷 Q_d 有关,可表示为 $E_{eff} = (\eta Q_i + Q_d) / \epsilon_{si}$ (相对于电子 $\eta \approx 0.5$, 空穴 $\eta \approx 0.33$), 式中 ϵ_{si} 为硅的介电常数, Q_i 可以利用朗伯 W 函数^[8] (Lambert W Function, LW) 计算得到,其计算方法如下,

$$Q_i = C_{ox} \cdot n \cdot \frac{kT}{q} \cdot LW\left(\frac{qV_{gs} - qV_{th}}{n \cdot kT} - \frac{qU_c}{kT}\right) \quad (3)$$

式中 $\frac{kT}{q}$ 为热电压(k 为玻耳兹曼常量, T 为参考温度,一般为 290K), V_{th} 为阈值电压, n 为阈下理想因子 ($n = C_{ox} / (C_{ox} + C_d)$), C_{ox} 是单位面积的栅氧化层电容, C_d 是耗尽层电容. 由式(3)可知,一些小尺寸场效应晶体管的高阶效应不可忽略,例如漏极感应势垒降低效应(Drain Induced Barrier Lowering Effect, DIBL)和背栅效应,器件尺寸的减小会引起这些不良效应,它们将引起阈值电压的变化,进而改变 Q_i 和 I_d . 从图 1 中可以看出, V1 和 V2 的 V_{gs} 的计算是不同的,对于 V1-nMOS 有 $V_{gs} = V_{in}$,而对于 V2-pMOS 则有 $V_{gs} = V_{dd} - V_{in}$,其中 V_{dd} 是电源电压。

根据热电子发射模型, CMOS 反相器载流子有效迁移率^[9]可表示为,

$$\mu_{eff} = \mu_{ig} \exp(-\phi_b / kT) \quad (4)$$

式中 μ_{ig} 为晶粒内部迁移率, ϕ_b 为晶粒间界面势垒高度. ϕ_b 与晶粒间界面陷阱态电荷和载流子浓度有关,其关系式如下,

$$\phi_b = Q_{gb}^2 / 8\epsilon_s n \quad (5)$$

式中 Q_{gb} 为晶粒间界面陷阱态电荷密度, n 为沟道载流子浓度, ϵ_s 为硅的相对介电常数. 沟道载流子浓度 n 可表示为,

$$n = Q_i / qt_{ch} \quad (6)$$

式中 t_{ch} 为反型层厚度,可由下式计算得出,

$$t_{ch} = \frac{8kt_{ox} \sqrt{\epsilon_s / \epsilon_{ox}}}{q(V_c - V_T)} \quad (7)$$

式中 t_{ox} 为栅氧化层厚度, ϵ_{ox} 为硅氧相对介电常数, V_c 为栅极电压, V_T 为沟道晶粒内部开始反型时对应的栅极电压。

在噪声分析中,我们最终关心的是平均噪声功率,参照确定的电压和电流信号使用的电路叠加原理,我们把两个噪声波形相加,并对得到的功率取平均值,

$$\begin{aligned} P_{av} &= \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T [x_1(t) + x_2(t)]^2 dt \\ &= \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T x_1^2(t) dt + \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T x_2^2(t) dt \\ &\quad + \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T 2x_1(t)x_2(t) dt \\ &= P_{av1} + P_{av2} + \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T 2x_1(t)x_2(t) dt \end{aligned} \quad (8)$$

式中 P_{av1} 、 P_{av2} 分别为 $x_1(t)$ 和 $x_2(t)$ 的平均功率. 由于噪声为随机信号, 因此噪声波形通常是非相关的, 则式 (8) 可表示为,

$$P_{av} = P_{av1} + P_{av2} \quad (9)$$

从这个结果可以看出, 噪声功率的叠加是成立的, 同时也与噪声叠加原理相吻合. 利用式 (2) 对漏电流微分^[10], 可得到,

$$\delta I_d = \left(\frac{\partial I_d}{\partial Q_i} \right) \delta Q_i + \left(\frac{\partial I_d}{\partial \mu_{eff}} \right) \delta \mu_{eff} \quad (10)$$

由此可以看到式 (10) 中同时包含载流子电荷密度涨落 δQ_i 和有效迁移率涨落 $\delta \mu_{eff}$, 二者同时作用会引起电流噪声. 据此我们可以推出 CMOS 反相器中低频噪声功率谱的计算可以有以下两种方法: 一种是从 CMOS 反相器的结构层面, 把每个晶体管中考虑成独立的噪声源, 然后用噪声功率的叠加原理将之叠加, 经计算从而得到其功率谱密度; 另一种是将反相器整体作为一个噪声源, 估计整体它的整体噪声情况, 然后计算其功率谱密度.

首先利用第一种方法对 CMOS 反相器进行分析, 负载电流噪声功率谱密度 $S_{I_{dd}}$ 可通过求和获得, 即把每个晶体管漏电流噪声功率谱密度相加, 其表达式如下,

$$S_{I_{dd}} = S_{I_n} + S_{I_p} \quad (11)$$

且可知, 输出电压噪声功率谱密度 $S_{V_{out}}$ 可通过 nMOS 和 pMOS 的漏电流功率谱密度除以相应的输出电导的平方得到, 输出电导的求解方法如下,

$$g_{dn} = \delta I_n / \delta V_{out}, g_{dp} = \delta I_p / \delta V_{out} \quad (12)$$

则可求得 $S_{V_{out}}$ 如下式,

$$S_{V_{out}} = \frac{S_{I_n}}{g_{dn}^2} + \frac{S_{I_p}}{g_{dp}^2} \quad (13)$$

应该注意的是, $S_{V_{out}}$ 不能通过负载电流噪声的功率谱密度除以整个反相器输出电导的平方来获得, 因为当 I_{dd} 为最大值时, g_{out} ($g_{out} = \delta I_{dd} / \delta V_{out}$) 会被抵消掉, 导致结果是非物理性的, 不满足以上的推导.

利用第二种方法进行分析, 对 CMOS 反相器低频噪声的整体计算, 首先要明确每个晶体管中的低频噪声源. 由于 MOS 晶体管中的低频噪声主要是由沟道介质面上的载流子的涨落引起的, 在这种情况下, 载流子数量的涨落的因素可以从平带电压波动或等效阈值电压变化的方面考虑^[11]. 因此, 负载电流噪声功率谱密度 $S_{I_{dd}}$ 可由 I_{dd} 波动作用的加和得到, 这种波动是由于 nMOS 和 pMOS 晶体管中相互独立的阈值电压 V_{th} 的变化引起的, $S_{I_{dd}}$ 可由下式计算得出,

$$S_{I_{dd}} = \left(\frac{\partial I_{dd}}{\partial V_{in}} \right)^2 \cdot S_{V_{in}} + \left(\frac{\partial I_{dd}}{\partial V_{tp}} \right)^2 \cdot S_{V_{tp}} \quad (14)$$

其中 $S_{V_{in,p}}$ 是 nMOS 和 pMOS 阈值电压功率谱密度, 其计算方法如下,

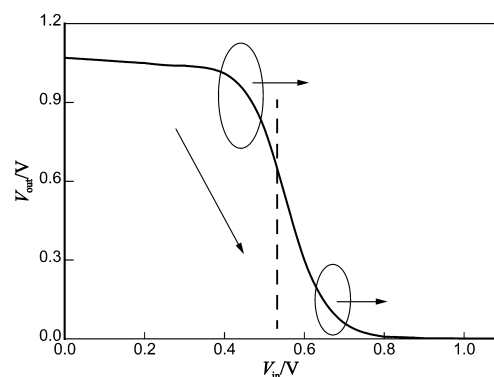
$$S_{V_{in}} = \frac{q^2 k T N_{in} \lambda_n}{W_n L_n C_{oxn}^2 f}, S_{V_{tp}} = \frac{q^2 k T N_{tp} \lambda_p}{W_p L_p C_{oxp}^2 f} \quad (15)$$

式中 $N_{in,p}$ 是慢氧化界面态密度, $\lambda_{n,p}$ 是沟道衰减距离, f 是频率.

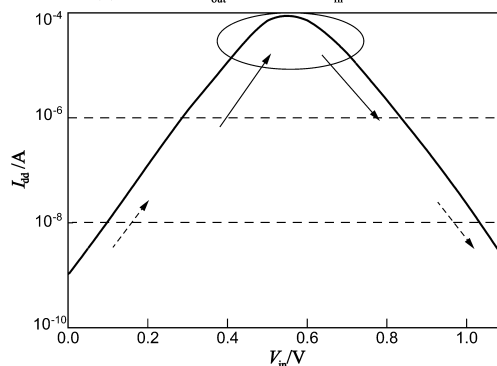
同理, 输出电压噪声功率谱密度可以直接由输出电压波动推到得到, 式子如下,

$$S_{V_{out}} = \left(\frac{\partial V_{out}}{\partial V_{in}} \right)^2 \cdot S_{V_{in}} + \left(\frac{\partial V_{out}}{\partial V_{tp}} \right)^2 \cdot S_{V_{tp}} \quad (16)$$

设定 CMOS 反相器的参数 ($C_{ox} = 1.8 \mu\text{F}/\text{cm}^2$, $n = 1.7$, $W_n = 3.24 \mu\text{m}$, $L_n = L_p = 40 \text{nm}$, $V_{in} = V_{tp} = 0.52 \text{V}$, μ_{eff} ($V_{gs} = V_{th}$) $120 \text{cm}^2/\text{Vs}$, $DIBL = 120 \text{mV}/\text{V}$), 由反相器模型 (1) ~ (7) 可得到图 2 中的输出电压 V_{out} 、负载电流 I_{dd} 与输入电压 V_{in} 之间的函数关系曲线. 值得注意的是, 当 $V_{out} = V_{dd}/2$ 时, I_{dd} 达到了最大值.



(a) 输出电压 V_{out} 与输入电压 V_{in} 的函数关系曲线



(b) 负载电流 I_{dd} 与输入电压 V_{in} 的函数关系曲线

图2

在前面 CMOS 反相器参数基础上, 增设低频噪声参数 ($N_{in} = 2 \times 10^{17}/\text{eVcm}^3$, $N_{tp} = 10^{17}/\text{eVcm}^3$, $\lambda_n = \lambda_p = 0.1 \text{nm}$), 根据 CMOS 反相器的低频噪声模型 (10) ~ (16) 在频率 $f = 10 \text{Hz}$ 时, 得到负载电流噪声功率谱密度 $S_{I_{dd}}$ 和输出电压功率谱 $S_{V_{out}}$ 与输入电压 V_{in} 的函数曲线. 从图 3(a) 中可以看到, 它们表现出了典型低频噪声特性, 漏电流功率谱随着 I_{dd} 和 V_{in} 变化, 且低频噪声与 I_{dd}^2 成比例波动. 由式 (10) ~ (16) 计算得出的输出电压功率谱密度 $S_{V_{out}}$ 与图 3(b) 对于 $S_{V_{out}}$ 低频噪声估计表现出了一致的结果, $S_{V_{out}}$ 对于 V_{in} 表现出了钟形曲线的形

式,且当 $V_{out} = V_{dd}/2$ 时达到了最大值.此外,如图 3(b) 中的虚线所示,它是利用负载电流噪声的功率谱密度除以整个反相器输出电导的平方得到的 S_{Vout} 特性曲线,即 $S_{Vout}(V_{in}) = S_{Idd}/g_{out}^2$,它清楚地说明了当 $V_{out} = V_{dd}/2$ 时是出现了无穷大的奇点.

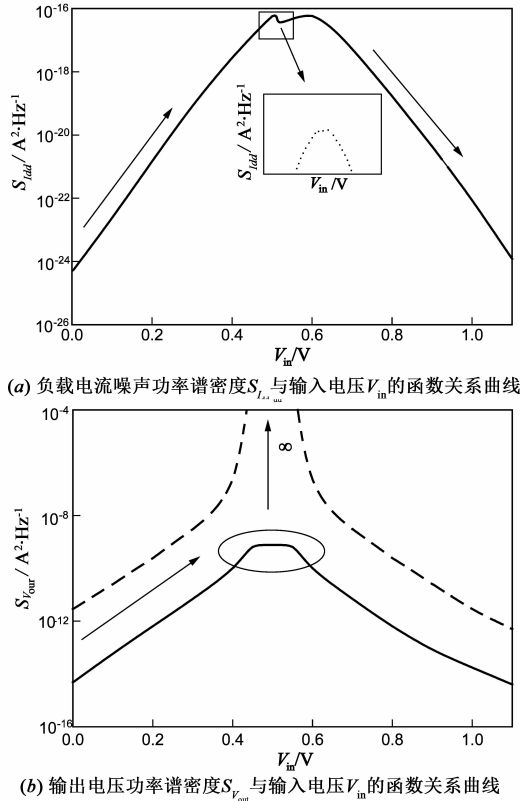


图3

3 CMOS 反相器低频噪声测量及模型验证

3.1 CMOS 反相器低频噪声测量

针对 CMOS 反相器的低频噪声测量系统如图 4 所示,系统采用精密半导体参数测试仪 Agilent 4156C 作为直流电压源通过低通滤波器给被测 CMOS 反相器 (CMOS Inverter Under Test, CIUT) 提供栅极偏压,采用 SR570 低噪声前置放大器对噪声信号放大,且通过其内部电源为被测 CMOS 反相器提供漏极偏压,反相器源极接地,最后采用 Agilent 35670A 动态信号分析仪对放大后的噪声信号进行快速傅里叶变换 FFT,得到噪声功率谱密度^[12,13].

3.2 噪声模型验证

基于所搭建的 CMOS 反相器低频噪声测量系统,对其进行测试与分析,以验证上述模型及研究其可靠性的噪声表征方法.在器件参数与前文一致的情况下,所测得的输出电压 V_{out} 、负载电流 I_{dd} 与输入电压 V_{in} 的实验特性曲线如图 5 所示,由图 5 可知:实验结

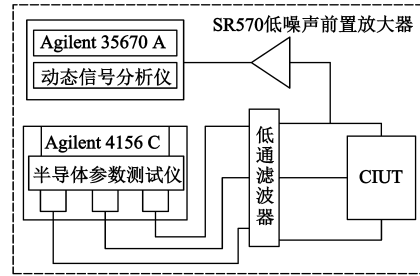


图4 CMOS反相器的低频噪声测量系统

果与图 2 中的模型特性曲线表现基本一致,满足低频噪声模型式(1)~(7),当 $V_{out} = V_{dd}/2$ 时, I_{dd} 达到了最大值.

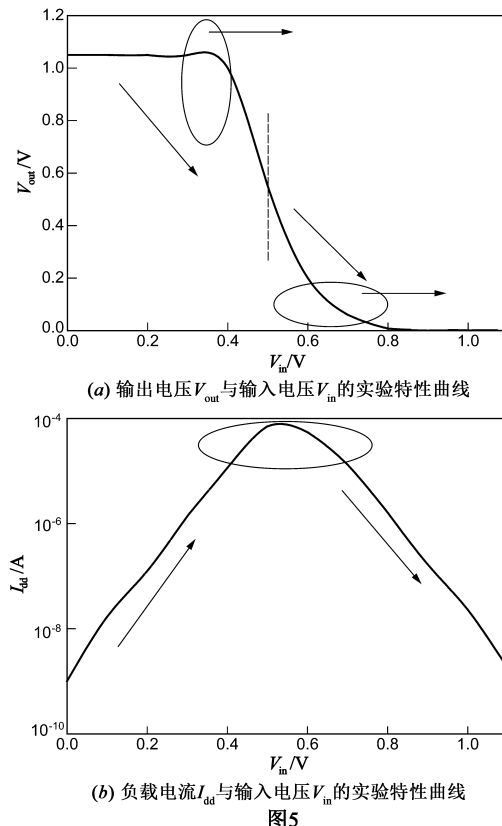


图5

为了验证 CMOS 反相器的低频噪声模型式(10)~(16),测试了得到了器件在频率 $f = 10\text{Hz}$ 时的负载电流噪声功率谱密度 S_{Idd} 、 S_{Idd}/I_{dd}^2 及 S_{Idd}/I_d^2 ,如图 6 所示.从图中我们可以看到,它们与图 3 及式(10)~(16)表现出了一致的结果,图 6(a)说明了输入 V_{in} 与 S_{Idd} 的关系,当 V_{in} 为 0.6 V 时, S_{Idd} 取极大值,其结果符合图 5(b) 给出的关系.图 6(b) 说明器件的低频噪声特性同时受到迁移率涨落机理及载流子数涨落机理的影响,符合噪声模型式(14).且基于图 6(c) 可提取对 CMOS 反相器中的 nMOS 管测试的 S_{Idd}/I_d^2 随漏电流 I_d 的变化曲线,它与图 6(b) 的变现一致.

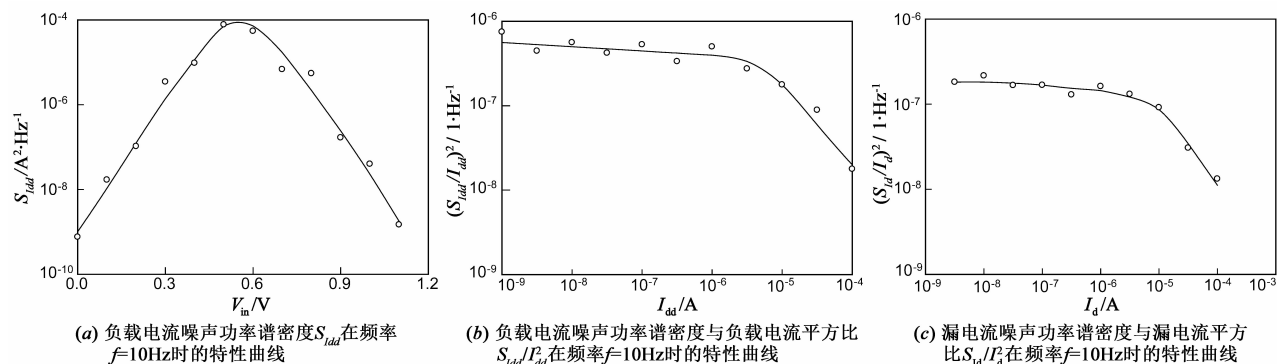
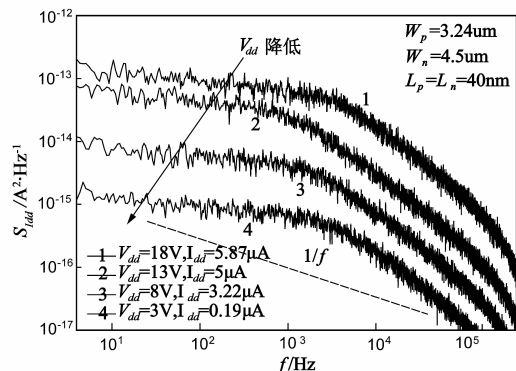


图6

基于上述的测量条件,在 V_{dd} 从 3V 开始增大的情况下,所测得器件负载电流 I_{dd} 涨落的功率谱密度 S_{idd} 随 V_{dd} 变化如图 7 所示,随着器件 V_{dd} 的增加,负载电流随之增加,因而 S_{idd} 将随着 V_{dd} 增加而增加。

由图 7 可知, S_{idd} 随频率的变化遵循 $1/f$ 的变化规律,满足经典的 $1/f$ 噪声理论,此时氧化层陷阱的表面势被电荷的波动所调制,这导致了沟内的载流子数目无规则变化,同时库仑散射也将被调制,并且引起沟的迁移率的升降,因此,导致沟道电流的变化;当频率高于 8 kHz 时, S_{idd} 随频率的变化加剧,这是受产生-复合效应($g-r$ 噪声)的影响。

图7 不同 V_{dd} 下 CMOS 反相器的负载电流功率谱密度

为了验证低频噪声模型中沟道宽度 W 与长度 L 对 CMOS 反相器低频噪声特性的影响,在 V_{dd} 为 13V 的条件下,分别对宽长分别为 $3.24\mu\text{m}/4.5\mu\text{m}$, $6.48\mu\text{m}/4.5\mu\text{m}$, $12.96\mu\text{m}/4.5\mu\text{m}$, $3.24\mu\text{m}/9\mu\text{m}$, $3.24\mu\text{m}/13.5\mu\text{m}$, $3.24\mu\text{m}/18\mu\text{m}$ 六种 CMOS 反相器进行了低频噪声测量,如图 8 所示。在迁移率涨落和载流子涨落两种机理中,基于式(11)和式(14),且由图 8 可知, $S_{idd}/I_{dd}^2(f)$ 特性^[14]均随沟道宽度 W 增加而减小,当沟道长度 L 同势变化时,结果相似。这主要是受表界面处缺陷俘获和释放载流子的影响,表明 CMOS 反相器的低频噪声主要来源于器件沟道区电流的 $1/f$ 噪声,与低频噪声模型及实验分析结果相符合。

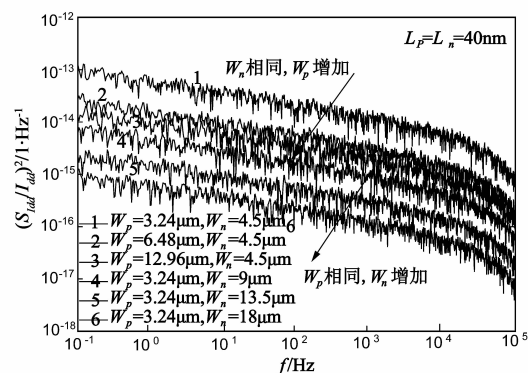
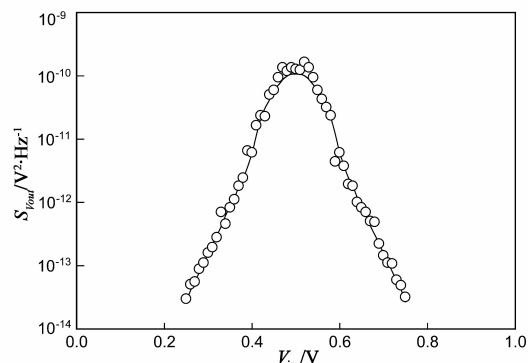


图8 不同尺寸 CMOS 反相器的负载电流归一化噪声功率谱密度

输出电压噪声功率谱密度 S_{vout} 的测量结果如图 9 所示,从图中我们可以看到,实际测量得到的 S_{vout} 与由模型(13)、(15)、(16)计算得到的输出电压噪声功率谱表现基本一致。图 9 表明 S_{vout} 在 V_{in} 一定的条件下, S_{vout} 随 V_{in} 钟形变化,并在 $V_{in} = 0.5\text{V}$ 时有最大值。

图9 输出电压噪声功率谱密度 S_{vout} 随 V_{in} 关系曲线

4 可靠性的噪声表征

表征 CMOS 反相器可靠性并对其可靠性评价的常规方法有:可靠性试验、加速寿命试验、高低温循环实验和抽样等。这样的方法试验周期较长,且一般是随机抽样对少数样品进行实验,结果是统计量,不确定性强,还可能对器件造成不可逆的损伤。所以,为了更好

地表征和评价 CMOS 反相器的可靠性,就迫切需要一种能快速、灵敏、无损的方法.通过对 CMOS 反相器老化试验的研究可知,器件老化后的界面态陷阱密度会成倍的增加.

CMOS 反相器中的 $1/f$ 噪声是由于两个 MOS 管的陷阱态空间、杂质浓度分布梯度、能量上的非均匀分布、费米能级在禁带中位置的连续变化、来自于外界或内部形成的过应力给器件带来的损伤及接触不良等原因产生的^[15],研究表明,这都与器件表面或界面处的缺陷有关,这些缺陷将会影响材料中定态对自由载流子的俘获和发射,位于 SiO_2 -Si 界面过渡层和沟道内载流子的涨落与界面态陷阱密度(范围在 $10^9 \sim 10^{12} \text{eV}^{-1} \cdot \text{cm}^{-2}$ 之间)强烈相关^[16],且知 $1/f$ 噪声是电子器件结构均匀性的一种灵敏的表征参数,因此 $1/f$ 噪声可用于器件的表面缺陷与可靠性的表征.由以上建立的 CMOS 反相器低频噪声模型可得,负载电流噪声功率谱密度与表面缺陷能量密度的关系如下^[17],

$$S_V(f) = \iiint \frac{I_{dd}^2(1+B)^2}{\ln\tau} N_i(x,y,z,E) \cdot P_E(1-P_E) \frac{1}{f} dx dy dz dE \quad (17)$$

式中 E 为界面缺陷能级, P_E 为载流子占缺陷能级的概率, τ 为时间常数,它分布较广,通常在几个至十几个数量级内变化.由于 CMOS 反相器有源区的尺寸已可做到零点几个微米,所以只有能量在费米能级 U_c 附近几个 kT 范围内的陷阱才对低频噪声有贡献^[18],因此可对式(17)化简为

$$S_V(f) = \frac{kT I_{dd}^2(1+B)^2 N_i A}{\ln\tau \cdot f} \quad (18)$$

式中 A 为 CMOS 反相器 MOS 管陷阱激活区体积.通过测量反相器的负载电流噪声功率谱密度与式(18)可得 N_i 和 V_{dd} 关系,如图 10 所示.

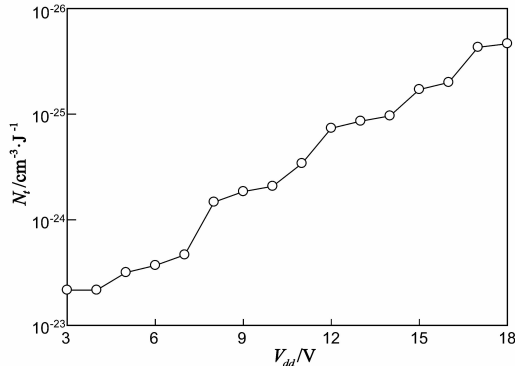


图10 界面态陷阱密度 N_i 与 V_{dd} 的关系曲线

由图可知,界面态陷阱密度 N_i 随着 V_{dd} 的增大而增加,这与前文分析的 $1/f$ 噪声与界面态陷阱密度 N_i 成

正比关系相符合,同时这也与图 7 表现出的特性相一致.

由此可知,低频噪声可用于表征 CMOS 反相器的可靠性,如发现 CMOS 反相器的 $1/f$ 噪声明显较大,则说明这样的器件越容易老化、失效.同时通过实验也可知,利用低频噪声对 CMOS 反相器进行可靠性分析的结果与传统方法得到的结果一致.

5 结论

本文根据 CMOS 反相器的低频噪声特性,从基本物理量和噪声叠加原理出发,建立了 CMOS 反相器的低频噪声模型,并通过实验证实了实验结论与理论推导结果的一致性.由实验结果可知,CMOS 反相器的低频噪声随频率的变化遵循 $1/f$ 的变化规律,满足经典的 $1/f$ 噪声理论,本文对该结果进行了解释,并对其低频噪声特性进行了验证.提出了 $1/f$ 噪声可用于表征 CMOS 反相器的表面缺陷与可靠性,研究了 $1/f$ 噪声与界面态陷阱密度的关系,得到了不同下的界面陷阱态密度.由此可知,CMOS 反相器的可靠性与其表现出的 $1/f$ 噪声成反比关系,若其 $1/f$ 噪声较小,则说明其可靠性较高;反之,若其 $1/f$ 噪声明显较大,则说明这样的器件越容易老化、失效,可靠性低.

参考文献

- [1] Mezzomo C, Bajolet A, Cathignol A, DiFrenza R, Ghibaudo G. Characterization and modeling of transistor variability in advanced CMOS technologies [J]. IEEE Trans Electron Dev, 2011, 58(8): 2235 - 2248.
- [2] 庄奕琪, 孙青. 半导体器件中的噪声及其低噪声化技术 [M]. 北京: 国防工业出版社, 1993: 64 - 100.
Zhuang Y Q, Sun Q, Noise and Minimizing Technology in Semiconductor Devices [M]. Beijing: National Defense Industry Press, 1993: 64 - 100. (in Chinese)
- [3] Mahmutoglu A G, Demir A. Modeling and simulation of low-frequency noise in nano devices: stochastically correct and carefully crafted numerical techniques [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2015, 34(5): 794 - 807.
- [4] 黄杨程, 刘大福, 梁晋穗, 龚海梅. 短波碲镉汞光伏器件的低频噪声研究 [J]. 物理学报, 2005, 54(05): 2261 - 2266.
Huang Y C, Liu D F, Liang J S, Gong H M. Low frequency noise study on short wavelength HgCdTe photodiodes [J]. Acta Phys. Sin. 2005, 54(05): 2261 - 2266. (in Chinese)
- [5] Ioannidis E G, Haendler S, Dimitriadis C A, Ghibaudo G. Characterization and modeling of low frequency noise in CMOS inverters [J]. Solid-State Electronics, 2013, 81(3):

- 151 – 156.
- [6] Takagi S, Toriumi A, Iwase M, Tango H. On the universality of inversion layer mobility in Si MOSFET's: Part I-effects of substrate impurity concentration[J]. IEEE Trans Electron Dev, 1994, 41(12): 2357 – 2362.
- [7] 支天, 杨海钢, 蔡刚, 秋小强, 李天文, 王新刚. 嵌入式存储器空间单粒子效应失效率评估方法研究[J]. 电子与信息学报, 2014, 36(12): 3035 – 3041.
Zhi T, Yang H G, Cai G, Qiu X Q, Li T W, Wang X G. Study on the prediction of single-event effects induced failure rate for embedded memories[J]. Journal of Electronics & Information Technology, 2014, 36(12): 3035 – 3041. (in Chinese)
- [8] 包军林, 庄奕琪, 杜磊, 李伟华, 万长兴, 张萍. n/p 沟道 MOSFET $1/f$ 噪声的统一模型[J]. 物理学报, 2005, 54(05): 2118 – 2122.
Bao J L, Zhuang Y Q, Du L, Li W H, Wan C X, Zhang P. A unified model for $1/f$ noise in n-channel and p-channel MOSFETs[J]. Acta Physica Sinica. 2005, 54(05): 2118 – 2122. (in Chinese)
- [9] 陈文豪, 杜磊, 庄奕琪, 包军林, 何亮, 陈华, 孙鹏, 王婷岚. 电子器件散粒噪声测试方法研究[J]. 物理学报, 2011, 60(05): 165 – 172.
Chen W H, Du L, Zhuang Y Q, Bao J L, He L, Chen H, Sun P, Wang T L. Shot noise measurement methods in electronic devices[J]. Acta Physica Sinica. 2011, 60(05): 165 – 172. (in Chinese)
- [10] 刘远, 吴为敬, 李斌, 恩云飞, 王磊, 刘玉荣. 非晶钢锌氧化物薄膜晶体管的低频噪声特性与分析[J]. 物理学报, 2014, 63(09): 422 – 427.
Liu Y, Wu W J, Li B, En Y F, Wang L, Liu Y R. Analysis of low-frequency noise in the amorphous indium zinc oxide thin film transistors[J]. Acta Physica Sinica. 2014, 63(09): 422 – 427. (in Chinese)
- [11] 陈晓娟, 陈东阳, 申雅茹. 基于低频噪声测量的 UPS 故障诊断方法[J]. 电子器件, 2015, 38(2): 1 – 5.
Chen X J, Chen D Y, Shen Y R. UPS fault diagnosis method based on low frequency noise measurement[J]. Chinese Journal of Electron Devices, 2015, 38(2): 1 – 5. (in Chinese)
- [12] Choi H S, Jeon S, Kim H, Shin J, Kim C, Chung U I. Verification of interface state properties of a-InGaZnO thin-film transistors with SiN_x and SiO₂ gate dielectrics by low-frequency noise measurements[J]. IEEE Electron Device Letters, 2011, 32(8): 1083 – 1085.
- [13] Ioannidis E G, Haendler S, Manceau J P, Dimitriadis C A, Ghibaudo G. Impact of dynamic variability on the operation of CMOS inverter[J]. Electronics Letters, 2013, 49(19): 1214 – 1216.
- [14] Chen X J, Chen D Y. Method of noise measurement for inverter fault diagnosis[J]. ICIC Express Letters, 2015, 7(9): 42 – 48.
- [15] Jevtic M M. Noise as a diagnostic and prediction tool in reliability physics[J]. Microelectronics Reliability, 1995, 35(3): 455 – 477. 1925.
- [16] Barton D L, Osinski M K. Single-quantum well InGaN green light emitting diode degradation under high electrical stress[J]. Microelectronics and Reliability, 1999, 39(8): 1219 – 1227.
- [17] Mohammadi S, Pavlidis D. A nonfundamental theory of low-frequency noise in semiconductor devices[J]. IEEE Transactions on Electron Devices, 2000, 47(11): 2009 – 2017.
- [18] Lopez D, Haendler S, Leyris C, Bidal G, Ghibaudo G. Low-Frequency Noise Investigation and Noise Variability Analysis in High-k/Metal Gate 32 – nm CMOS Transistors[J]. IEEE Trans Electron Dev, 2011, 58(8): 2310 – 2316.

作者简介



陈晓娟 女, 1970 年出生, 吉林长春人, 长春理工大学电子信息工程学院教授、博士生导师, 主要研究方向为模拟电路故障诊断以及电力线通信。

E-mail: cxj_neiep@126.com



陈东阳(通信作者) 男, 1989 年出生, 黑龙江哈尔滨人, 东北电力大学信息工程学院硕士研究生, 主要研究方向为微弱信号检测、电子器件与模拟电路可靠性。

E-mail: c_dongyang@163.com