

基于准循环双对角阵的 LDPC 码编码算法*

刘冬培, 刘衡竹, 张波涛

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要: 针对校验矩阵形如准循环双对角阵的结构化 LDPC 码, 对比研究了两大类高效的编码算法: 矩阵分解编码算法和分项累加递归编码算法, 证明了两类算法从实现角度是等价的, 但分项累加递归编码算法推导更为直观, 且便于硬件并行实现。基于分项累加编码算法, 提出了一种适合准循环双对角 LDPC 码的部分并行编码结构, 设计实现了 IEEE 802. 11n 标准中的 LDPC 码编码器。FPGA 实现结果表明, 所设计的 LDPC 编码器具有硬件开销较小、吞吐率高的优点, 在码长为 1944bit、码率为 5/6 时信息比特吞吐率最高可达 13Gbps。

关键词: LDPC 码; 准循环双对角矩阵; 编码算法; 部分并行编码结构; 高吞吐率

中图分类号: TN47 **文献标志码:** A **文章编号:** 1001-2486(2014)02-0156-05

Study on encoding algorithms for QC-LDPC codes with dual-diagonal parity check matrix

LIU Dongpei, LIU Hengzhu, ZHANG Botao

(College of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract: The encoding algorithms of the LDPC codes with quasi-cyclic dual-diagonal parity check matrix were studied. It is demonstrated that the matrix decomposition encoding algorithm and the cumulative recursion encoding algorithm are equivalent for implementation. The cumulative recursion encoding algorithm is straightforwardly facilitated to hardware implementation. Besides, a partly parallel encoding architecture for the QC-LDPC codes with dual-diagonal parity check matrix was proposed and a LDPC encoder compatible with IEEE 802. 11n standard was designed. FPGA implementation results show that the hardware overhead of the proposed LDPC encoder is low and the throughput is high. The encoding throughput can reach up to 13Gbps with code length 1944-bit and rate 5/6.

Key words: LDPC codes; quasi-cyclic dual-diagonal parity check matrix; encoding algorithm; partly parallel encoding architecture; high throughput

低密度奇偶校验 (Low-Density Parity-Check, LDPC) 码是一类由稀疏矩阵定义的线性分组码, 具有逼近 Shannon 极限的译码性能^[1], 并且可以并行译码, 近年来成为信道编码领域的研究热点。基于 LDPC 码的信道编码方案目前已被 DVB-S2^[2]、IEEE 802. 16e^[3]、IEEE 802. 11n^[4] 等标准采纳。LDPC 码的校验矩阵 H 是一个稀疏矩阵, 而生成矩阵 G 并不一定是稀疏矩阵。假定 m 为编码前输入的信息比特, c 为编码后的码字, 根据线性分组码的编码原理 $c = m \cdot G$, 如果直接将信息序列 m 与生成矩阵 G 相乘, 会面临计算和存储庞大的生成矩阵所带来的编码复杂性问题。

为了在大规模集成电路上实现 LDPC 码的高速编码, 文献[5]提出将校验矩阵变换成近似下三角矩阵形式来快速计算校验向量, 简化了编码

算法; 文献[6]研究了校验矩阵具有准循环结构的 LDPC 码 (Quasi-Cyclic LDPC, QC-LDPC) 的编码电路; 文献[7]直接利用校验矩阵进行迭代编码, 不需要存储生成矩阵, 进一步降低了编码复杂度。IEEE 802. 16e 和 IEEE 802. 11n 等标准的 LDPC 码采用了特殊结构的校验矩阵, 其校验矩阵同时具有准循环和双对角两种特性。对于准循环双对角阵 LDPC 码, 其高效的编码算法可以概括为两类: 一类是基于校验矩阵分解的编码算法^[8-9]; 另一类是基于分项累加的递归编码算法^[10-14]; 本文对比研究了这两类编码算法, 从实现角度指出了两类算法是等效的; 基于分项累加递归编码算法, 提出了一种部分并行编码结构; 并以 IEEE 802. 11n 标准的 LDPC 码为实例, 基于 FPGA 设计实现了低开销高吞吐率的 LDPC 码编

* 收稿日期: 2013-04-22

基金项目: 国家自然科学基金资助项目 (60970037)

作者简介: 刘冬培 (1985-), 男, 湖南邵阳人, 博士研究生, E-mail: liudongpei@nudt.edu.cn;

刘衡竹 (通信作者), 男, 研究员, 博士, 博士生导师, E-mail: hengzhuliu@nudt.edu.cn

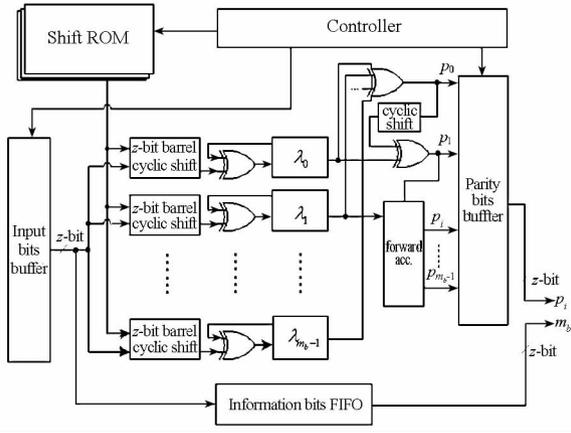


图 3 IEEE 802.11n LDPC 码编码器总体结构

Fig. 3 LDPC encoding architecture for IEEE 802.11n

累加可依次得到 $p_1 \sim p_{m-1}$, 例如, $p_1 = \lambda_0 + p_0^{(1)}$, $p_2 = \lambda_1 + p_1$ 等。整个编码过程的状态机由控制器产生相应的控制信号协调完成。

桶形循环移位操作是准循环 LDPC 码编码过程的核心操作之一。为了得到每组循环移位操作的移位值,预先根据 IEEE 802.11n 标准所给出的 LDPC 码校验矩阵产生正确的移位值,并将所得到的移位值写入到 ROM 中,编码过程中由控制器同步产生 ROM 的读地址得到对应的移位值。为了简化循环移位电路,保证在一个时钟周期内完成循环移位操作,本文提出了一种多级流水循环移位结构,该结构根据移位值 $ShiftNum$ 的相邻两位比特确定该级的移位值。对于长度为 z 比特的向量,完成桶形循环移位操作需要 $\lceil \log_4 z \rceil$ 级电路进行实现。以码长为 1296 比特的 LDPC 码为例,其编码并行度为 54,完成整个桶形循环移位操作需要 3 级循环移位电路,如图 4 所示。

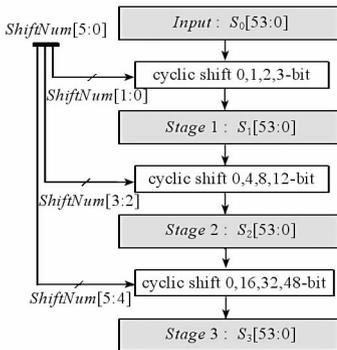


图 4 多级桶形循环移位电路示意图

Fig. 4 Example of multi-stage barrel cyclic shift

4 LDPC 编码器实现结果

基于分项累加递归编码算法和本文提出的 LDPC 编码器结构,采用 Verilog HDL 对 IEEE 802.11n 中 12 种不同的 LDPC 编码方式进行实

现,在 ModelSim 6.5 上进行时序仿真和功能仿真;选用 Xilinx 公司的 FPGA 芯片 XC4VLX40,在 ISE 10.1 平台上进行逻辑综合、布局布线和功能验证。表 1 给出了不同码率下 LDPC 编码器的 FPGA 的硬件资源占用情况和工作时钟频率。

表 1 IEEE 802.11n LDPC 编码器 FPGA 实现结果
Tab. 1 FPGA implementation results of the proposed LDPC encoder for IEEE 802.11n

码长	码率	Slice 资源	时钟频率
648 bit	1/2	1314 (7%)	226.50 MHz
	2/3	875 (4%)	229.32 MHz
	3/4	676 (3%)	226.40 MHz
	5/6	453 (2%)	229.21 MHz
1296 bit	1/2	2808 (15%)	205.65 MHz
	2/3	1858 (10%)	208.01 MHz
	3/4	1436 (7%)	205.56 MHz
	5/6	959 (5%)	207.92 MHz
1944 bit	1/2	4732 (25%)	183.50 MHz
	2/3	3134 (17%)	185.35 MHz
	3/4	2412 (13%)	183.43 MHz
	5/6	1949 (10%)	192.18 MHz

在该编码器设计过程中,主要操作为逻辑异或操作,对每个校验分量进行计算并采用寄存器进行存储,因此,LDPC 码编码器没有使用 FPGA 中的 RAM 和 DSP 资源,表 1 中主要考虑了 Slice 资源。由表 1 可知,相同码率下,码长越长,对应的编码并行度越大,所占的逻辑资源越多;相同码长条件下,随着码率的增大,校验比特长度减小,对应 m_b 减小,编码器所占 Slice 资源亦呈递减趋势。

根据表 1 所给出的工作频率,图 5 评估了各种码率条件下的信息比特吞吐率,其中,信息比特吞吐率根据式(17)计算得到。

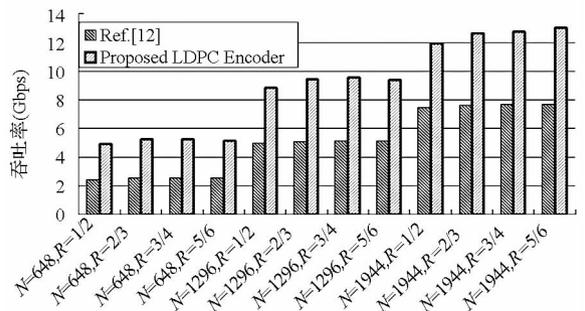


图 5 IEEE 802.11n LDPC 编码器吞吐率比较

Fig. 5 Throughput of LDPC encoder for IEEE 802.11n

表 2 LDPC 编码器实现结果比较
Tab. 2 Comparison of LDPC Encoders

LDPC 编码器	文献[13]	文献[14]	本文
码长 bit	2304	2304	1944
码率	0.83	0.83	0.83
并行度 P	96	96	81
Slice 资源	12306	2852	1949
f_w /(MHz)	150.69	200.20	192.18
吞吐率 T /Gbps	5.67	18	13
实现效率 η	0.43	0.66	0.84

式(17)中, N 为码长, R 为码率, f_w 为工作频率, C 为编码过程中计算校验向量所需的时钟周期。根据本文所提出的 LDPC 编码器结构, 完成桶形移位操作、 λ_i 更新操作以及前向递归操作各需一个时钟周期; 因此, 对信息比特长度为 $z \times k_b$ 的 LDPC 编码, 计算校验向量所需时钟周期为 $C = (k_b + 3)$ 。

$$T = \frac{N \times R \times f_w}{C} \quad (17)$$

在码长为 1944 比特、码率为 5/6 编码方式下, LDPC 编码器吞吐率最高可达 13Gbps。为了方便比较, 图 5 给出了文献[12]中的 IEEE 802. 11n 编码器实现结果, 由图 5 可看出, 本文实现的 LDPC 编码器吞吐率高于文献[12]中设计的 LDPC 编码器。

表 2 对本文编码器实现结果与其他相关准循环双对角 LDPC 编码器的 FPGA 实现结果进行了比较。表 2 中引入了编码实现效率 η , 以对比各编码器实现结果。 η 的计算如式(18)所示, 式(18)中, T 为吞吐率, $\#Slice$ 表示 FPGA 硬件开销, P 为编码并行度, η 表示归一化并行度条件下单位面积所实现的吞吐率效率。从表 2 可知, 从硬件开销和吞吐率进行对比, 本文所设计实现的 LDPC 编码器较文献[13-14]更具优势。

$$\eta = \frac{T}{(\#Slice) \times P} \times 100 \quad (18)$$

5 结论

本文针对准循环双对角阵的 LDPC 码, 从校验矩阵结构特性出发, 研究了矩阵分解编码算法和分项累加递归编码算法, 探讨了两类编码算法的一致性; 基于分项累加递归编码算法, 提出了一种适合准循环双对角 LDPC 码的部分并行编码结构, 设计实现了 IEEE 802. 11n 标准的 LDPC 码编码器; FPGA 实现结果表明, 所设计的编码器具有硬件开销小、吞吐率高的优点。本文所提出的

LDPC 编码设计方法可推广到其他准循环双对角 LDPC 码, 如 IEEE 802. 16e 中的 LDPC 码等。

参考文献 (References)

- [1] Chung S Y, Forney G D Jr, Richardson T J, et al. On the design of low-density parity-check codes within 0.0045dB of the Shannon limit[J]. IEEE Communications Letters, 2001, 5(2): 58-60.
- [2] European Broadcasting Union, Digital Video Broadcasting (DVB). ETSI EN 302 307 V1.1.2 second generation framing structure, channel coding and modulation systems for broadcasting, interactive services, news gathering and other broadband satellite applications[S]. 2006.
- [3] IEEE 802. 16e. Draft IEEE standard for local and metropolitan area networks part 16: Air interface for fixed and mobile broadband wireless access systems[S]. 2005, 12.
- [4] IEEE 802. 11n. Draft IEEE standard for local metropolitan networks-specific requirements. part 11: wireless LAN Medium Access Control (MAC), and Physical Layer (PHY) specifications: Enhancements for higher throughput [S]. 2006, 3.
- [5] Richardson T J, Urbanke R L. Efficient encoding of low-density parity-check codes [J]. IEEE Transactions on Information Theory, 2001, 47(2): 638-656.
- [6] Li Z W, Chen L, Zeng L Q, et al. Efficient encoding of quasi-cyclic low-density parity-check codes [J]. IEEE Transactions on Communications, 2006, 54(1): 71-81.
- [7] Yoon C, Choi E, Cheong M, et al. Arbitrary bit generation and correction technique for encoding QC-LDPC codes with dual-diagonal parity structure[C]//IEEE Wireless Communications and Networking Conference, 2007: 662-666.
- [8] Kim J K, Yoo H, Lee M H. Efficient encoding architecture for IEEE 802. 16e LDPC codes [J]. IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, 2008, E91. A(10): 3607-3611.
- [9] 张洋, 王秀敏, 陈豪威. 基于 FPGA 的低密度奇偶校验码编码器设计[J]. 浙江大学学报(工学版), 2011, 45(9): 1582-1586.
ZHANG Yang, WANG Xiumin, CHEN Haowei. FPGA based design of LDPC encoder [J]. Journal of Zhejiang University (Engineering Science), 2011, 45(9): 1582-1586. (in Chinese)
- [10] Cai Z, Hao J, Tan P H, et al. Efficient encoding of IEEE 802. 11n LDPC codes [J]. Electronics Letters, 2006, 42(25): 1471-1472.
- [11] Perez J M, Fernandez V. Low-cost encoding of IEEE 802. 11n [J]. Electronics Letters, 2008, 44(4): 307-308.
- [12] Jung Y, Chung C, Kim J, et al. 7.7Gbps encoder design for IEEE 802. 11n/ac QC-LDPC codes [C]//International SoC Design Conference (ISOCC), 2012: 215-218.
- [13] Koppurthi S, Gruenbacher D M. Implementation of a flexible encoder for structured low-density parity-check codes [C]//IEEE Pacific Rim Conference on Communications, Computers and Signal Processing (PACRIM), Victoria, 2007: 438-441.
- [14] 袁瑞佳, 白宝明, 童胜. 10Gbps LDPC 编码器的 FPGA 设计[J]. 电子与信息学报, 2011, 33(12): 2492-2497.
YUAN Ruijia, BAI Baoming, TONG Sheng. FPGA based design of LDPC encoder with high throughput over 10Gbps [J]. Journal of Electronics & Information Technology, 2011, 33(12): 2492-2497. (in Chinese)