

基于对偶逻辑的混合极性 RM 电路 极性转换和优化方法

卜登立^{1,2}, 江建慧¹

(1. 同济大学软件学院, 上海 201804; 2. 井冈山大学电子与信息工程学院, 江西吉安 343009)

摘要: 针对混合极性 RM (Reed-Muller) 电路逻辑综合中的极性转换和极性优化问题, 提出了基于对偶逻辑的极性转换和极性优化方法. 从理论上证明了所提出方法的正确性, 并用实验验证了其有效性和可行性. 所提出方法有助于将较成熟的 MPRM (Mixed-Polarity RM) 极性转换和极性优化方法应用于 MPDRM (Mixed-Polarity Dual form of RM). 对 15 个基于 XOR 的 MCNC 电路进行逻辑综合然后映射到 FPGA (Field Programmable Gate Array) 的实验结果表明, 从平均结果来看, 与逻辑综合工具 Espresso 以及 ABC 的结果相比, 混合极性 RM 电路能够获得面积和延时的优势, 并且 MPDRM 电路极性优化结果能够得到最为优化的 FPGA 实现.

关键词: RM 电路; 混合极性; 逻辑综合; 对偶逻辑; 极性转换; 极性优化

中图分类号: TP391.72 **文献标识码:** A **文章编号:** 0372-2112 (2015)01-0079-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2015.01.013

Dual Logic Based Polarity Conversion and Optimization of Mixed Polarity RM Circuits

BU Deng-li^{1,2}, JIANG Jian-hui¹

(1. School of Software Engineering, Tongji University, Shanghai 201804, China;

2. School of Electronics and Information Engineering, Jinggangshan University, Ji'an, Jiangxi 343009, China)

Abstract: Dual logic based polarity conversion and polarity optimization method is proposed for logic synthesis of mixed polarity RM (Reed-Muller) circuits. The correctness of the proposed method is proved in theory, and the validity and feasibility is verified by experiments. The proposed method can contribute to applying the methods for polarity conversion and optimization of MPRM (Mixed-Polarity RM) to MPDRM (Mixed-Polarity Dual form of RM). The results of mapping to FPGA (Field Programmable Gate Array) after logic synthesis for fifteen XOR-based logic circuits from MCNC show that on average, compared to the FPGA implementations of optimized designs obtained by logic synthesis tools such as Espresso and ABC, mixed polarity RM circuits have superiority in area and speed, and MPDRM circuits can achieve optimal FPGA implementations.

Key words: RM circuits; mixed polarity; logic synthesis; dual logic; polarity conversion; polarity optimization

1 引言

布尔函数可以在布尔域使用基于 AND/OR 或 OR/AND 的布尔逻辑表示, 也可以在 RM (Reed-Muller) 域使用基于 AND/XOR 或 OR/XNOR 的 RM 逻辑表示^[1,2]. 与布尔逻辑相比, RM 逻辑所实现的电路能够减少逻辑门及其内部互联的数量, 并且可以减少最大路径长度, 从而降低信号衰减及信号传播干扰的可能^[3], 并且 RM 电路具有较好的可测试性^[4]. 因此人们常使用 RM 逻辑实现算术电路、校验电路和用于通信以及图像压缩的电

路^[5,6].

布尔函数基于 AND/XOR 的展开称为 RM 展开, 基于 OR/XNOR 的展开称为 DRM (Dual form of RM) 展开^[1-3,7]. RM 逻辑包括固定极性 RM (Fixed-Polarity RM/DRM, FPRM/FPDRM) 逻辑和混合极性 RM (Mixed-Polarity RM/DRM, MPRM/MPDRM) 逻辑^[1-3,7]. 由于 MPRM 和 MPDRM 分别包含了 FPRM 与 FPDRM, 所实现的电路更有可能获得面积和功耗的优势, 因此混合极性 RM 电路的综合与优化得到了更为广泛的关注. 极性优化是实现 RM 电路综合与优化的一种重要手段, 而极性转换则是

极性优化过程中一个非常重要的步骤. 极性优化通过建立一定的电路评价模型, 采用某种搜索策略搜索极性空间, 对不同极性值的 RM 电路进行评价, 从而得到最优极性值的 RM 电路. 如文献[1]进行 MPDRM 逻辑优化, 文献[3]进行 MPRM 电路面积优化, 文献[8]和文献[9]分别进行 FPRM 电路和 FPDRM 电路的面积优化. 文献[10]进行 MPRM 电路的面积和功耗优化, 文献[11]则对包含无关项的 FPRM 电路进行面积和功耗优化. 极性转换是在极性优化过程中将逻辑电路从布尔域转换到 RM 域, 或在 RM 域进行不同极性值间的转换. 如基于列表技术^[1,7-10]和并行列表技术^[7,11]的极性转换方法, 基于系数矩阵和 on-set 系数的极性转换方法^[3,12]. 当前研究工作中关于 FPRM、MPRM 和 FPDRM 的研究较多, 而关于 MPDRM 的研究相对还比较少^[1]. 并且这些研究工作均是独立地研究 MPRM 或者 MPDRM, 研究其极性转换方法和极性优化方法, 没有充分利用 MPRM 与 MPDRM 之间的代数关系来进行混合极性 RM 电路的极性转换和极性优化. 另外, 这些研究工作中并没有针对某一种具体的工艺库, 如标准库或者 FPGA (Field Programmable Gate Array) 器件进行映射, 并在面积与延时等方面比较混合极性 RM 电路与传统电路以及比较 MPRM 电路与 MPDRM 电路.

本文提出了基于对偶逻辑的混合极性 RM 电路极性转换和极性优化方法. 从理论上证明了方法的正确性, 并用实验验证了方法的有效性和可行性. 通过设计 FPGA 综合流将混合极性 RM 电路极性优化的结果使用 Altera 公司的 Quartus II 5.0 进行了 FPGA 映射, 并与两级最小化工具 Espresso 以及多级逻辑综合工具 ABC^[13] 优化结果的 FPGA 映射进行了比较.

2 混合极性 RM 逻辑表示

每个布尔函数都能够表示为基于 AND/OR 的 SOP (Sum Of Product) 标准形和基于 OR/AND 的 POS (Product Of Sum) 标准形^[14]. 对于一个 n 输入的布尔函数 $f: \{0, 1\}^n \rightarrow \{0, 1\}$, 其 SOP 和 POS 标准形分别如式(1)和式(2)所示.

$$f_{\text{SOP}}(\mathbf{x}) = \sum_{i=0}^N a_i m_i \quad (1)$$

$$f_{\text{POS}}(\mathbf{x}) = \prod_{i=0}^N (a_i + M_i) \quad (2)$$

其中 $\mathbf{x} = [x_{n-1}, x_{n-2}, \dots, x_0]$, x_{n-1} 是最高有效位, x_0 是最低有效位, $N = 2^n - 1$. 式(1)中的“ \sum ”以及式(2)中的“+”表示 OR 运算, 式(2)中的“ \prod ”表示 AND 运算. $a_i \in \{0, 1\}$ 是表达式系数, m_i 为乘积项, M_i 为和项.

可以使用系数矩阵 $\mathbf{A} = [a_0, a_1, \dots, a_N]$ 表示布尔

函数 $f(\mathbf{x})$ 的 SOP 以及 POS 标准形^[2], 表示 SOP 时, $a_i = 1$ 为 on-set 系数^[12], 表示 POS 时, $a_i = 0$ 为 on-set 系数.

一个 n 输入的布尔函数, 其极性值为 g 的 MPRM 以及 MPDRM 标准形分别如式(3)和式(4)所示.

$$f_{\text{MPRM}}^g(\mathbf{x}) = \bigoplus_{i=0}^N b_i \pi_i \quad (3)$$

$$f_{\text{MPDRM}}^g(\mathbf{x}) = \bigodot_{i=0}^N (c_i + \xi_i) \quad (4)$$

其中“ \bigoplus ”表示 XOR 运算, “ \bigodot ”表示 XNOR 运算. $\pi_i = \prod_{l=0}^{n-1} \hat{x}_l$ 为乘积项, $\xi_i = \sum_{l=0}^{n-1} \check{x}_l$ 为和项. 表达式系数 $b_i, c_i \in \{0, 1\}$, $b_i = 1$ 为 MPRM 的 on-set 系数, 表示在式(3)中存在 on-set 乘积项 π_i , $c_i = 0$ 为 MPDRM 的 on-set 系数, 表示在式(4)中存在 on-set 和项 ξ_i . \hat{x}_l 和 \check{x}_l 根据变量 x_l 的极性 $p_l \in \{0, 1, 2\}$ 以及系数索引 i 的第 l 个二进制位 i_l 分别由式(5)和式(6)获得^[1,3].

$$\hat{x}_l = \begin{cases} 1, & (i_l, p_l) = (0, 0), (0, 1) \\ x_l, & (i_l, p_l) = (1, 0), (1, 2) \\ \bar{x}_l, & (i_l, p_l) = (1, 1), (0, 2) \end{cases} \quad (5)$$

$$\check{x}_l = \begin{cases} 0, & (i_l, p_l) = (1, 0), (1, 1) \\ x_l, & (i_l, p_l) = (0, 0), (0, 2) \\ \bar{x}_l, & (i_l, p_l) = (0, 1), (1, 2) \end{cases} \quad (6)$$

可以使用系数矩阵 $\mathbf{B}^g = [b_0, b_1, \dots, b_N]$ 表示布尔函数 $f(\mathbf{x})$ 极性值为 g 的 MPRM 标准形, 使用系数矩阵 $\mathbf{C}^g = [c_0, c_1, \dots, c_N]$ 表示其极性值为 g 的 MPDRM 标准形^[2,3].

3 基于对偶逻辑的混合极性 RM 电路极性转换

基于对偶逻辑的混合极性 RM 电路极性转换, 是通过 MPRM 的极性转换方法实现 MPDRM 的极性转换, 或者使用 MPDRM 的极性转换方法实现 MPRM 的极性转换, 下面以定理的形式给出.

为进行定理的表述, 先给出 2 个系数矩阵运算的定义.

定义 1 系数矩阵索引逆序运算 \mathbf{R} , 将系数矩阵中的系数按原索引的逆序排列. 若 $\mathbf{A} = [a_0, a_1, \dots, a_N]$, 则 $\mathbf{A}^{\mathbf{R}} = [a_N, a_{N-1}, \dots, a_0]$.

定义 2 系数矩阵求补运算 $\bar{\mathbf{A}}$, 求补运算实现将系数矩阵中所有的系数求补, 即 $\bar{\mathbf{A}} = [\bar{a}_0, \bar{a}_1, \dots, \bar{a}_N]$.

如无特别说明, 下文中的系数矩阵 \mathbf{B}^g 表示布尔函数 $f(\mathbf{x})$ 极性值为 g 的 MPRM, \mathbf{C}^g 表示其对偶函数 $f^d(\mathbf{x})$ 极性值为 g 的 MPDRM.

使用矩阵代数运算进行极性转换, 根据文献[2,3], 可证如下定理成立.

定理 1 $B^g = (\overline{C^g})^R, C^g = (\overline{B^g})^R$.

定理 1 给出了布尔函数与其对偶函数的 MPRM 和 MPDRM 之间的代数关系. 如果使用 \bar{i} 表示将索引 i 的每一个二进制位 i_i 均求补, 根据定义 1、定义 2 以及定理 1, 可以得到如下推论.

推论 1 如果 B^g 的 on-set 系数索引集合为 $I = \{i | b_i = 1, 0 \leq i \leq N\}$, 则 $\{\bar{i} | i \in I\}$ 构成 C^g 的 on-set 系数索引集合 $J = \{j | c_j = 0, 0 \leq j \leq N\}$. 同时, $\{\bar{j} | j \in J\}$ 构成了 B^g 的 on-set 系数索引集合.

推论 1 表明了 B^g 的 on-set 系数与 C^g 的 on-set 系数之间构成了双射. 可以看出, 在使用 on-set 系数进行极性转换时, 如果要得到 $f(x)$ 极性值为 g 的 MPDRM, 可以先得到 $f^d(x)$ 极性值为 g 的 MPRM, 然后对该 MPRM 的 on-set 系数以及 on-set 系数索引求补, 即可得到 $f(x)$ 极性值为 g 的 MPDRM, 反之亦然.

综上所述, MPRM 的极性转换方法可以实现 MPDRM 的极性转换, 同样, MPDRM 的极性转换方法也可以实现 MPRM 的极性转换.

4 基于对偶逻辑的混合极性 RM 电路极性优化

基于对偶逻辑的混合极性 RM 电路极性优化, 是使用 MPRM 的极性优化过程实现 MPDRM 的极性优化, 或者使用 MPDRM 的极性优化过程实现 MPRM 的极性优化.

4.1 理论证明

在进行电路优化时常采用工艺无关的成本函数^[15], 由于电路多项式表示中的项数直接影响电路实现的面积^[15], 并且项中的文字(literal)^[16]数也会对面积产生一定的影响^[16]. 因此, 常使用 on-set 项数以及文字数来评价 RM 电路的面积.

假设布尔函数 $f(x)$ 极性值为 g 的 MPRM 及其对偶函数 $f^d(x)$ 极性值为 g 的 MPDRM 中的 on-set 项数分别用 W_η 和 W_ξ 表示, 文字数分别用 L_η^g 和 L_ξ^g 表示.

如果使用系数矩阵权重 $|A|$ 表示矩阵 A 中 on-set 系数的个数, 使用系数权重 $|a_i|$ 表示 on-set 系数 a_i 对应的乘积项或和项中的文字数. 可以得到 $W_\eta^g = |B^g|, W_\xi^g = |C^g|, L_\eta^g = \sum_{i \in I} |b_i|, L_\xi^g = \sum_{j \in J} |c_j|$.

根据式(5)和式(6), 由定理 1 和推论 1 可得如下定理.

定理 2 $W_\eta^g = W_\xi^g, L_\eta^g = L_\xi^g$.

定理 2 说明了与 $f(x)$ 的 MPRM 具有相同极性值的 $f^d(x)$ 的 MPDRM 有相同的 on-set 项数以及文字数. 同时也表明在使用 on-set 项数以及文字数作为成本函数时, 可以使用 $f(x)$ 的 MPRM 极性优化过程完成 $f^d(x)$ 的

MPDRM 极性优化, 反之亦然, 只需将优化结果要根据定理 1 和推论 1 完成相应的转换即可.

4.2 多输出混合极性 RM 电路极性优化

将多输出电路作为整体进行极性优化, 可以充分考虑 MPRM (MPDRM) 电路中乘积项(和项)的共享, 因此, 在 RM 电路优化时常将多输出电路作为整体进行优化, 如文献[3, 8, 10].

在电路面积优化时常以多项式表示中的项数为主要优化目标, 而以文字数为次要优化目标^[16], 对于多输出电路, 还需考虑多项式中乘积项或和项在多个输出之间的共享对电路面积的影响^[15]. 因此, 本文在将多输出电路作为整体进行极性优化时, 采用如式(7)所示的工艺无关的面积成本函数.

$$C_0 = \begin{cases} \min(W^g, W^h), & \text{if } W^g \neq W^h \\ \min(L^g, L^h), & \text{otherwise} \end{cases} \quad (7)$$

其中 W^g 和 W^h 分别为极性值为 g 和 h 的混合极性 RM 电路多项式表示中的 on-set 项数, L^g 和 L^h 则分别为相应多项式表示中的文字数, 其计算方法如式(8)所示.

$$L^g = \sum_{k=1}^{W^g} (m_k \times l_k) \quad (8)$$

其中 l_k 为第 k 个 on-set 项中的文字数, m_k 为共享第 k 个项的输出变量个数.

将多输出电路作为整体进行极性转换, 由于对每个输出而言, 其极性值均相同, 因此, 根据文中的定理和推论可知, 在采用如式(7)和式(8)所示的成本函数时, 基于对偶逻辑的混合极性 RM 电路极性优化方法能够适用于将多输出电路作为整体进行极性转换和极性优化.

4.3 基于对偶逻辑的混合极性 RM 电路极性优化过程

文中定理、推论以及前面针对多输出电路的分析说明, 对于一个进行 MPRM 电路优化的极性优化过程, 可通过将其对偶电路作为输入实现 MPDRM 电路的极性优化; 同样, 对于一个进行 MPDRM 电路优化的极性优化过程, 可将其对偶电路作为输入实现 MPRM 电路的极性优化, 如图 1 所示. 其中 C 为待优化电路, C^d 为待优化电路的对偶电路.

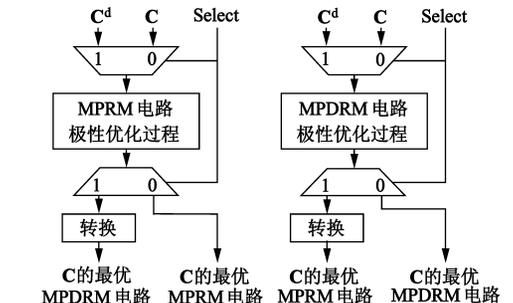


图1 基于对偶逻辑的混合极性RM电路极性优化示意图

图 1 中的“Select”的值为 0 或 1, 控制着算法流通路, 值为 0 则选择通路 0, 值为 1 则选择通路 1. 在将对偶电路作为输入时, 需要将优化结果根据定理 1 和推论 1 进行相应的转换, 图 1 中的“转换”模块完成该转换操作.

RM 电路的极性优化过程包括 3 个重要因素: 优化目标、极性转换方法和极性空间搜索策略, 通过这 3 个要素的组合可以构建不同的 RM 电路极性优化过程. 图 2 给出了使用文献[3]中的遗传算法进行极性空间搜索并使用文献[17]中的算法结束条件的 MPRM 电路极性优化过程的流程图. 如果在优化过程中出现多个具有相同成本函数值的混合极性 RM 电路, 由于采用的是工艺无关的面积成本函数, 无法做进一步的比较, 因此只保留在优化过程中第一个出现的具有该成本函数值的混合极性 RM 电路.

如果在 RM/DRM 电路极性优化中涉及到功耗优化, 如文献[10, 11], 尽管不能直接使用定理 2 的结论, 但也可以使用如图 1 所示的基于对偶逻辑的极性优化方法. 例如, 要进行 MPDRM 电路的功耗优化, 可以将待优化电路的对偶电路作为输入, 在极性优化过程中, 按照 MPRM 电路进行极性转换, 但在进行功耗估计时, 需将电路进行对偶处理, 即将 AND 门视为 OR 门, XOR 门视为 XNOR 门, 然后进行功耗估计即可.

5 实验及结果分析

首先通过方法验证实验来验证文中所提出方法的有效性; 然后通过 FPGA 综合实验, 比较混合极性 RM 电路与传统电路的 FPGA 实现, 同时比较 MPRM 电路和 MPDRM 电路的 FPGA 实现.

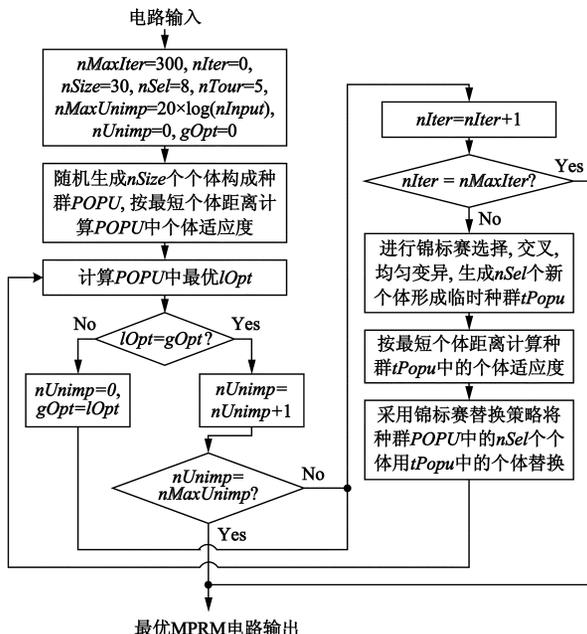


图2 使用遗传算法的MPRM电路极性优化过程流程图

5.1 方法验证实验

为验证基于对偶逻辑的混合极性 RM 电路极性转换和极性优化方法, 采用式(7)和式(8)所示的成本函数, 设计了 2 组共 4 种算法, 将多输出电路作为整体进行混合极性 RM 电路的极性优化, 算法概况如表 1 所示.

由于文中提出的方法并不局限于某一种极性转换方法或某一种极性空间搜索策略, 因此, 设计的 4 种算法均选取基于系数矩阵的极性转换方法进行极性转换, 极性优化过程流程图如图 2 所示, 算法框图如图 1 所示. 每一组中的 2 种算法优化目标相同, 极性空间搜索策略相同, 不同之处是采不采用文中所提出的基于对偶逻辑的极性转换和极性优化方法, 采用该方法的算法加后缀“_D”标识, 对应图 1 中的“Select”值为 1.

表 1 算法概况

组	算法名称	优化类型
G1	OMPRM	MPRM 优化
	OMPRM_D	
G2	OMPDRM	MPDRM 优化
	OMPDRM_D	

4 种算法均使用 C++ 实现, 实验选取了 15 个基于 XOR 的 MCNC 电路^[18]进行测试, 测试的硬件环境为 Intel Core i3-2350M CPU, 6GB RAM, 软件环境为 Linux 操作系统.

在进行测试时, 同一组的 2 种算法中遗传算法的参数均相同, 算法结束条件也相同. 由于遗传算法存在随机性, 因此, 每个基准电路均分别对 4 种算法测试 20 次, 最优结果为 20 次测试结果的最小值, 并统计每一种算法所花费 CPU 时间的平均值, 表 2 给出了实验结果.

表 2 中 CPU 时间栏下面的“ND”对应表 1 中不带后缀“_D”的算法, “D”对应表 1 中带后缀“_D”的算法. 表 1 中每一组的 2 种算法对每个电路均能得到具有相同成本函数值的最优结果, 分别如表 2 中相应的最优成本一列所示, 并且所得结果电路均能通过使用逻辑综合工具 ABC^[13]提供的 cec 功能进行的等价验证, 从而验证了所提出方法的有效性. 从表 2 中每种算法测试 15 个基准电路的平均 CPU 时间可以看出, 同一组中的 2 种算法的平均 CPU 时间开销基本相同, 即基于对偶逻辑的极性转换和极性优化基本上不会导致额外的时间开销, 从而验证了所提出方法的可行性.

5.2 FPGA 综合实验

由于 FPGA 中的一个 k 输入的 LUT(Look Up Table) 在实现不同的 k 输入逻辑函数时的代价基本相同, 因此选择比较混合极性 RM 电路与传统电路的 FPGA 实现. 为此, 设计了电路的 FPGA 综合流, 先对电路进行优化, 然后使用 Altera 公司的 Quartus II 5.0 工具将电路映射到 Cyclone II FPGA 器件. 传统电路的优化工具选取了

2 个学术界的逻辑综合工具 Espresso 和 ABC^[13].

表 2 基准电路测试结果

电路	输入数 / 输出数	OMPRM				OMPDRM			
		最优成本		CPU 时间(ms)		最优成本		CPU 时间(ms)	
		W	L	ND	D	W	L	ND	D
5xp1	7/10	61	365	10.5	11.0	61	365	10.5	12.0
9sym	9/1	173	636	29.5	28.0	92	828	36.0	35.0
9symml	9/1	173	636	30.0	29.0	92	828	35.5	35.0
alu2	10/6	225	1334	58.0	59.0	226	1334	58.5	61.5
f51m	8/8	56	264	12.0	11.0	56	264	14.0	13.5
inc	7/9	34	402	7.0	6.5	37	722	6.5	6.5
rd53	5/3	20	45	1.5	2.0	21	45	2.5	3.0
rd73	7/3	63	189	10.5	10.5	63	189	11.0	12.0
rd84	8/4	107	352	23.5	23.0	108	352	23.5	23.5
sqrt8	8/4	26	132	7.5	8.0	26	132	7.0	8.0
sqrt8ml	8/4	26	132	7.0	7.0	26	132	7.5	7.5
squar5	5/8	23	86	2.0	2.5	24	86	3.0	2.0
t481	16/1	13	40	536.5	540.0	12	40	539.0	535.0
xor5	5/1	5	5	0.5	0.0	5	5	1.0	1.5
z4ml	7/4	32	89	7.0	7.0	32	89	6.5	7.0
平均	-	69.1	313.8	49.5	49.6	58.7	360.7	50.8	50.9

为进行比较,设计了 4 种 FPGA 综合流,分别称为 MPRM + Quartus、MPDRM + Quartus、Esp. + Quartus 和 ABC + Quartus,其中 MPRM + Quartus 和 MPDRM + Quartus 分别使用表 1 中的优化算法 OMPRM 和 OMPDRM_D 进行极性优化并输出最优 RM 电路的 Verilog 描述,然后进行 FPGA 映射,Esp. + Quartus 首先使用 Espresso 对电路进行优化,得到电路的 PLA 描述,转换为 Verilog 描述后进行 FPGA 映射,ABC + Quartus 则先使用 ABC 的 resyn2 脚本进行优化并生成电路的 Verilog 描述,然后进行 FPGA

表 3 MPRM/MPDRM 电路极性优化结果与 Espresso、ABC 优化结果的 FPGA 实现

电路	Esp. + Quartus		ABC + Quartus		MPRM + Quartus		MPDRM + Quartus	
	LUT 数	最大延时(ns)	LUT 数	最大延时(ns)	LUT 数	最大延时(ns)	LUT 数	最大延时(ns)
5xp1	30	13.15	35	12.52	33	11.69	25	11.61
9sym	9	10.08	9	10.08	9	10.08	9	10.08
9symml	9	10.08	9	10.08	9	10.08	9	10.08
alu2	141	13.82	146	15.21	111	15.09	107	14.80
f51m	39	12.34	33	13.15	43	12.82	18	10.90
inc	42	11.91	39	11.91	47	13.14	49	13.13
rd53	8	9.77	8	9.76	8	9.77	8	9.50
rd73	33	11.22	19	11.96	13	10.86	19	11.61
rd84	94	13.44	33	12.32	25	12.39	24	12.58
sqrt8	16	10.83	23	11.52	20	11.40	17	10.76
sqrt8ml	16	10.31	17	11.89	24	12.23	24	12.40
squar5	16	10.64	14	9.71	13	10.04	13	10.03
t481	29	13.12	21	12.07	12	10.98	12	10.97
xor5	2	8.98	2	8.98	2	8.98	2	8.98
z4ml	12	10.16	7	9.43	10	10.06	8	10.07
平均	33.07	11.32	27.67	11.37	25.27	11.31	22.93	11.17

映射.表 3 给出了 4 种 FPGA 综合流的结果,其中给出了每个电路的 FPGA 实现所需要的 LUT 个数以及电路的最大延时.

表 4 则给出了 4 种 FPGA 综合流结果的比较,其中“MPRM 相对于 Esp.改进”和“MPDRM 相对于 Esp.改进”分别表示 OMPRM 算法和 OMPDRM_D 算法所得到结果的 FPGA 实现相对于 Espresso 所得到结果的 FPGA 实现面积和延时指标上的改进,“MPRM 相对于 ABC 改进”、“MPDRM 相对于 ABC 改进”和“MPDRM 相对于 MPRM 改进”也有类似的含义.

从表 3 和表 4 可以看出,对于这些基于 XOR 的电路,和 Esp. + Quartus 的结果相比,并不是所有电路其混合极性 RM 电路的 FPGA 实现均能获得面积与延时的优势.在使用 FPGA 实现时,对于某些电路,只有 MPRM 电路或者 MPDRM 电路能够同时获得面积和延时的优势,如电路 5xp1、f51m 和 rd73.对于某些电路的 FPGA 实现,其 MPRM 电路和 MPDRM 电路仅能获得面积的改善,如电路 alu2.有 4 个电路,无论其 MPRM 电路还是其 MPDRM 电路的 FPGA 实现均能获得面积和延时的改善,特别是电路 t481,其混合极性 RM 电路的 FPGA 实现在获得较大速度提升的同时获得了较大的面积改进.从平均结果看,对于这些电路,与 Espresso 优化结果的 FPGA 实现相比,无论是 MPRM 电路还是 MPDRM 电路,均能获得面积和延时的优势.

和 ABC + Quartus 的结果相比,也不是所有电路,其 MPRM 电路和 MPDRM 电路的 FPGA 实现均能获得面积和延时的优势.其中电路 5xp1、alu2、sqrt8 和 t481,无论是其 MPRM 电路还是其 MPDRM 电路的 FPGA 实现,均

表 4 4 种 FPGA 综合流结果比较

电 路	MPRM 相对于 Esp. 改进 (%)		MPDRM 相对于 Esp. 改进 (%)		MPRM 相对于 ABC 改进 (%)		MPDRM 相对于 ABC 改进 (%)		MPDRM 相对于 MPRM 改进 (%)	
	面积	延时	面积	延时	面积	延时	面积	延时	面积	延时
5xp1	-10.00	11.11	16.67	11.76	5.71	6.59	28.57	7.28	24.24	0.74
9sym	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00
9symml	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00
alu2	21.28	-9.20	24.11	-7.08	23.97	0.76	26.71	2.70	3.60	1.95
f51m	-10.26	-3.86	53.85	11.68	-30.30	2.55	45.45	17.13	58.14	14.96
inc	-11.90	-10.38	-16.67	-10.25	-20.51	-10.33	-25.64	-10.21	-4.26	0.11
rd53	0.00	-0.04	0.00	2.74	0.00	-0.13	0.00	2.65	0.00	2.78
rd73	60.61	3.22	42.42	-3.46	31.58	9.16	0.00	2.90	-46.15	-6.89
rd84	73.40	7.83	74.47	6.36	24.24	-0.51	27.27	-2.11	4.00	-1.59
sqrt8	-25.00	-5.24	-6.25	0.69	13.04	1.05	26.09	6.63	15.00	5.64
sqrt8ml	-50.00	-18.63	-50.00	-20.35	-41.18	-2.83	-41.18	-4.31	0.00	-1.45
squar5	18.75	5.66	18.75	5.73	7.14	-3.33	7.14	-3.24	0.00	0.08
t481	58.62	16.35	58.62	16.38	42.86	9.05	42.86	9.09	0.00	0.04
xor5	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00
z4ml	16.67	1.01	33.33	0.95	-42.86	-6.75	-14.29	-6.81	20.00	-0.06
平均	23.59	0.15	30.65	1.39	8.67	0.58	17.11	1.81	9.23	1.24

能够获得面积和速度的优势,并且电路 t481 的混合极性 RM 电路能够获得较大的面积和速度改善.从平均结果来看,对于这些电路,与 ABC 优化结果的 FPGA 实现相比,MPRM 电路能够获得 8.67% 的面积改善以及 0.58% 的速度提升,MPDRM 电路能够获得 17.11% 的面积优势和 1.81% 的速度优势.

另外使用 Quartus II 5.0 的 PowerPlay 功耗分析工具对 4 种综合流得到的结果进行功耗分析,对每个电路而言,4 种综合流所得结果的功耗基本相同,并且对这 15 个电路,每种综合流得到结果功耗的平均值均为 25.80mW.

从总体上来看,对于这些电路而言,MPDRM 电路能够获得最为优化的 FPGA 实现.

由于采用的是工艺无关的面积成本函数,因此多项式表示中的项数和文字数并不能直接反映 FPGA 实现的结果.除了电路 9sym 和 9symml,其最优 MPDRM 比其最优 MPRM 具有更少的项数外,对于其他电路,其最优 MPDRM 均不能比其最优 MPRM 获得更少的项数,也不能获得更少的文字数.但从总体上看,最优 MPDRM 电路的 FPGA 实现要优于最优 MPRM 电路的 FPGA 实现,这是因为在 MPDRM 的多项式表示中不同的项之间存在较多的公因子,从而使 MPDRM 电路呈现出较强的电路规整性.

6 结论

本文从理论上分析并证明了所提出的基于对偶逻辑的混合极性 RM 电路极性转换和极性优化方法的正确性,并通过实验验证了其有效性与可行性.文中的结论表明了 MPRM 电路和 MPDRM 电路极性转换方法以

及极性优化过程的可互用性.所提出的方法能够实现使用同一个优化过程完成 MPRM 或 MPDRM 电路的极性优化,既适用于单输出电路,也适用于多输出电路,既适用于面积优化,也适用于功耗优化以及面积和功耗协同优化.

通过将混合极性 RM 电路极性优化的结果进行 FPGA 映射,并与 Espresso 以及 ABC 优化结果的 FPGA 实现进行比较,结果表明,对于这些基于 XOR 的电路而言,从平均结果看,混合极性 RM 电路具有面积和速度的优势,并且 MPDRM 电路能够得到最为优化的 FPGA 实现.

参考文献

- [1] Al-Jassani B A, Urquhart N, Almaini A E A. Manipulation and optimisation techniques for Boolean logic [J]. IET Computers and Digital Techniques, 2010, 4(3): 227 - 239.
- [2] Green D H. Dual forms of Reed-Muller expansions [J]. IEE Proceedings: Computer and Digital Techniques, 1994, 141(3): 184 - 192.
- [3] 卜登立, 江建慧. 使用系数矩阵变换极性转换的 MPRM 电路面积优化 [J]. 计算机辅助设计与图形学学报, 2013, 25(1): 126 - 135.
Bu D L, Jiang J H. Area optimization of MPRM circuits utilizing coefficient matrix transformation based polarity conversion [J]. Journal of Computer-Aided Design and Computer Graphics, 2013, 25(1): 126 - 135. (in Chinese)
- [4] Rahaman H, Das D K, Bhattacharya B B. Testable design of AND-EXOR logic networks with universal test sets [J]. Computers and Electrical Engineering, 2009, 35(5): 644 - 658.

- [5] Mathew J, Jabir A M, Rahaman H, et al. Single error correctable bit parallel multipliers over $GF(2^m)$ [J]. IET Computers and Digital Techniques, 2009, 3(3): 281 – 288.
- [6] Falkowski B J. Compact representations of logic functions for lossless compression of grey-scale images [J]. IEE Proceedings: Computers and Digital Techniques, 2004, 151(3): 221 – 230.
- [7] Yang M, Wang L, Tong J R, et al. Techniques for dual forms of Reed-Muller expansion conversion [J]. Integration, the VLSI Journal, 2008, 41(1): 113 – 122.
- [8] 汪鹏君, 李辉, 吴文晋, 等. 量子遗传算法在多输出 Reed-Muller 逻辑电路最佳极性搜索中的应用 [J]. 电子学报, 2010, 38(5): 1058 – 1063.
Wang P J, Li H, Wu W J, et al. Application of quantum genetic algorithm in searching for best polarity of multi-output Reed-Muller logic circuits [J]. Acta Electronica Sinica, 2010, 38(5): 1058 – 1063. (in Chinese)
- [9] Zhang H, Wang P, Gu X. Area optimization of fixed-polarity Reed-Muller circuits based on niche genetic algorithm [J]. Chinese Journal of Electronics, 2011, 20(1): 27 – 30.
- [10] Wang P, Li H. Low power mapping for AND/XOR circuits and its application in searching the best mixed-polarity [J]. Journal of Semiconductors, 2011, 32(2): 108 – 113.
- [11] 汪鹏君, 汪迪生, 蒋志迪, 等. 基于 PSGA 算法的 ISFPRM 电路面积与功耗优化 [J]. 电子学报, 2013, 41(8): 1542 – 1548.
Wang P J, Wang D S, Jiang Z D, et al. Area and power optimization of ISFPRM circuits based on PSGA algorithm [J]. Acta Electronica Sinica, 2013, 41(8): 1542 – 1548. (in Chinese)
- [12] Wang L, Almaini A E A. Exact minimisation of large multiple output FPRM functions [J]. IEE Proceedings: Computers and Digital Techniques, 2002, 149(5): 203 – 212.
- [13] Berkeley Logic Synthesis and Verification Group. ABC: A System for Sequential Synthesis and Verification [OL]. <http://www.eecs.berkeley.edu/~alanmi/abc/>, 2012-9-20.
- [14] Crama Y, Hammer P L. Boolean Functions: Theory, Algorithms, and Applications [M]. New York: Cambridge University Press. 2011. 3 – 66.
- [15] Pang Y, Radecka K, Zilic Z. Optimization of imprecise circuits represented by Taylor series and real-valued polynomials [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2010, 29(8): 1177 – 1190.
- [16] Hachtel G D, Somenzi F. Logic Synthesis and Verification Algorithms [M]. New York: Kluwer Academic Publishers. 2002. 127 – 184.
- [17] 卜登立, 江建慧. 基于混合多值离散粒子群优化的混合极性 Reed-Muller 最小化算法 [J]. 电子与信息学报, 2013, 35(2): 361 – 367.
Bu D L, Jiang J H. Hybrid multi-valued discrete particle swarm optimization algorithm for mixed-polarity Reed-Muller minimization [J]. Journal of Electronics and Information Technology, 2013, 35(2): 361 – 367. (in Chinese)
- [18] Yang S. Logic Synthesis and Optimization Benchmarks User Guide Version 3.0 [R]. Microelectronics Center of North Carolina, Research Triangle Park, NC, 1991.

作者简介



卜登立 男, 1975 年出生, 河北定州人. 同济大学博士研究生, 井冈山大学副教授, 主要研究领域为 VLSI 设计和可靠性评估、计算机辅助设计.

E-mail: bodengli@163.com



江建慧 男, 1964 年出生, 浙江淳安人. 博士, 教授, 博士生导师, CCF 高级会员, 主要研究领域为可信系统与网络、软件可靠性工程、VLSI/SoC 测试与容错.

E-mail: jhjiang@tongji.edu.cn