

DOI: 10.7652/xjtuxb201708008

一种超低功耗的低电压全金属氧化物 半导体基准电压源

王玉伟, 张鸿, 张瑞智
(西安交通大学微电子学院, 710049, 西安)

摘要: 针对传统带隙基准电源电压高、功耗高和面积大的问题,提出了一种超低功耗的低电压全金属氧化物半导体(MOS)基准电压源。该基准源通过电压钳制使MOS管工作在深亚阈值区,利用亚阈值区MOS管的阈值电压差补偿热电势的温度特性,同时采用负反馈提高了电压源的线性度与电源抑制比。整个电压源电路采用SMIC 0.18 μm 互补金属氧化物半导体工艺设计,仿真结果表明:基准电压源的电源电压范围可达0.5~3.3 V,线性调整率为0.428 % V^{-1} ,功耗最低仅为0.41 nW;在1.8 V电源电压、-40~125 $^{\circ}\text{C}$ 温度范围内,温度系数为 $4.53 \times 10^{-6} \text{ }^{\circ}\text{C}^{-1}$,输出电压为230 mV;1 kHz下电源抑制比为-60 dB,芯片版图面积为625 μm^2 。该基准电压源可满足植入式医疗、可穿戴设备和物联网等系统对芯片的低压低功耗要求。

关键词: 基准电压源;超低功耗;低电压;全金属氧化物半导体;亚阈值

中图分类号: TN432 **文献标志码:** A **文章编号:** 0253-987X(2017)08-0047-06

A Low-Voltage All-Metal Oxide Semiconductor Voltage Reference with Ultra-Low Power

WANG Yuwei, ZHANG Hong, ZHANG Ruizhi
(School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: A low-voltage all-metal oxide semiconductor (MOS) voltage reference with ultra-low power is presented to solve the problems of high supply voltage, high power consumption and large chip area in conventional band-gap references. The reference enforces all transistors to operate in the deep sub-threshold region through a voltage clamping technique, and the reference voltage is obtained by compensating the temperature characteristic of the thermal voltage with the difference of threshold voltages between two MOS transistors in sub-threshold region. Meanwhile, the linearity of the voltage reference and power supply rejection ratio are enhanced via negative feedback in the circuit, which is designed using the SMIC 0.18 μm complementary metal oxide semiconductor process. Simulation results show that the reference circuit is able to operate within 0.5-3.3 V voltage range of power supply with a linear regulation of 0.428% V^{-1} , and the lowest power consumption is merely 0.41 nW. When the power supply voltage is 1.8 V in a temperature range from -40 to 125 $^{\circ}\text{C}$, the temperature coefficient is $4.53 \times 10^{-6} \text{ }^{\circ}\text{C}^{-1}$, the output voltage of the reference is 230 mV, and the power supply rejection ratio is -60 dB at 1 kHz frequency, while the layout area of the core circuit is only 625 μm^2 . The voltage reference can be used in the systems that require low voltage and low power consumption, such as

收稿日期: 2017-03-07。 作者简介: 王玉伟(1993—),男,硕士生;张鸿(通信作者),男,副教授。 基金项目: 国家自然科学基金资助项目(61474092);陕西省科技计划资助项目(2014K05-14)。

网络出版时间: 2017-05-15

网络出版地址: <http://www.cnki.net/kcms/detail/61.1069.T.20170515.1953.010.html>

implantable medical devices, wearable devices, and Internet of Things, etc.

Keywords: voltage reference; ultra-low power; low voltage; all-metal oxide semiconductor; subthreshold

基准电压源作为模拟集成电路中极为重要的组成部分,在线性电源(LDO)、模/数(A/D)、数/模(D/A)转换电路等方面有着广泛的应用^[1]。传统的电压基准源利用双极晶体管(BJT)基极和发射极电压差与单个BJT基极和发射极电压的温度系数相互补偿的原理,辅以高阶温度补偿可以实现较高的温度系数和线性度。然而,随着工艺的进步和电源电压的降低,传统结构高电源电压、高功耗、电路复杂的缺点愈发突出,难以满足植入式医疗、可穿戴设备中的模数转换器、LDO等对电压基准的要求^[2-3]。

为了降低基准电压源本身的电源电压,并实现低功耗,近年来出现了许多新颖的设计思路与电路结构。文献[4]提出了一种利用金属氧化物半导体(MOS)带隙基准和BJT带隙基准曲率相反的温度特性曲线进行相互补偿的方法,实现了很高的温度系数及极高的线性度,但这种结合并不能降低BJT带隙基准对电源电压的限制。文献[5]提出了一种利用MOS管阈值电压与不同温度特性的电阻进行温度系数补偿的亚阈值电压基准源,这种无BJT的结构实现了较低的电源电压和功耗,但由于亚阈值MOS管对电源电压波动很敏感,这种基准的电源抑制比较低。文献[6]提出了一种通过堆叠P沟道金属氧化物半导体(PMOS)晶体管数量来调节输出电压的亚阈值基准电压源,其实现了极低的功耗,但PMOS管的堆叠限制了电源电压的降低,并且电路的电源抑制比较差。

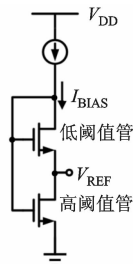
可以看出,采用工作在亚阈值区的全MOS基准电压源,具有低压、低功耗、电路简单、小面积等优势,但同时需要克服亚阈值甚至是深亚阈值晶体管使基准电路线性调整率和电源抑制比较差的缺点^[7]。

本文提出了一种超低功耗的低电压全MOS基准电压源,通过电压钳制使MOS管工作在深亚阈值区,利用亚阈值区MOS管的阈值电压差与热电势温度系数相互补偿的原理,实现了极低的功耗和低压的性能,并采用负反馈提高线性度与电源抑制比,采用全MOS的结构实现了极小的版图面积。

1 阈值电压差与热电势温度系数补偿原理

本文设计的电压基准基于阈值电压差(ΔV_{TH})

与热电势(V_T)温度系数补偿的原理,其基本电路结构如图1所示。下面结合图1对其基本原理进行论述。



V_{DD} : 电源电压; I_{BIAS} : 偏置电流; V_{REF} : 基准电压

图1 本文设计的基准电路基本原理图

当偏置电流较小时,图中的低阈值管(ML)和高阈值管(MH)只可能工作在亚阈值区或深线性区。假设MH工作在深线性区,则其栅源电压($V_{GS,H}$)较大而漏源电压($V_{DS,H}$)接近于0,此时ML的栅源电压与漏源电压近似相等,即 $V_{GS,L} \approx V_{DS,L}$,不可能工作在亚阈值区或深线性区。因此,为了满足电路的电流电压关系,ML和MH均工作在亚阈值区。

工作在亚阈值区的MOS管的电流电压特性可以表示为

$$I = I_0 \frac{W}{L} \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad (1)$$

$$I_0 = \mu C_{OX} \eta V_T^2 \quad (2)$$

式中: W 为沟道宽度; L 为沟道长度; I_0 为亚阈值电流系数; V_{TH} 为MOS管阈值电压; μ 为载流子迁移率; C_{OX} 为场效应管氧化层电容; η 为亚阈值斜率因子(一般在1~3之间); V_T 为热电势, $V_T = kT/q$,其中 k 为玻尔兹曼常数, T 为热力学温度, q 为电子电量。

在 $V_{DS} \gg V_T$ 的情况下,可以得到

$$1 - \exp\left(-\frac{V_{DS}}{V_T}\right) \approx 1 \quad (3)$$

则式(1)可以简化为

$$I = I_0 \frac{W}{L} \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \quad (4)$$

另外,从图1可以直接得到基准电压

$$V_{REF} = V_{GS,H} - V_{GS,L} \quad (5)$$

根据式(4),可以将 $V_{GS,L}$ 和 $V_{GS,H}$ 分别表示为

$$V_{GS,L} = \eta V_T \ln\left(\frac{I}{I_{0,L}(W/L)_L}\right) + V_{TH,L} \quad (6)$$

$$V_{GS,H} = \eta V_T \ln\left(\frac{I}{I_{0,H}(W/L)_H}\right) + V_{TH,H} \quad (7)$$

因此,由式(5)~(7)可得出

$$V_{REF} = \Delta V_{TH} + \eta V_T \ln\left(\frac{I_{0,L}(W/L)_L}{I_{0,H}(W/L)_H}\right) \quad (8)$$

同一温度下,可以认为 $I_{0,L}$ 与 $I_{0,H}$ 相等。另外, ΔV_{TH} 具有负温度系数且与温度近似成线性关系,而式(8)第2项可认为是 V_T 的线性函数,因此与温度也为线性关系。通过调整 ML 与 MH 的宽长比,就可以得到与温度无关的基准电压^[8]。

从式(8)可知, V_{REF} 的值与 ML、MH 的阈值电压差有关,本文的设计中 ML 与 MH 为阈值电压不同的两种 MOS 管,其中 ML 为阈值电压较低的常规栅氧 MOS 管(模型为 n18),典型工艺角、室温下的阈值电压为 464 mV; MH 为阈值电压较高的厚栅氧 MOS 管(模型为 n33),典型工艺角、室温下的阈值电压为 697 mV。实际电路中由于 MOS 管所处电压、温度等环境的不同,阈值电压会有一定的偏差。

考虑到 ML 存在背栅效应,因此需要对阈值电压进行一定的修正。背栅效应的阈值电压表达式为

$$V_{TH} = V_{TH0} + \gamma[(2\phi_F + V_{SB})^{1/2} - (2\phi_F)^{1/2}] \quad (9)$$

式中: V_{SB} 为体偏置电压; V_{TH0} 为 $V_{SB}=0$ 时的阈值电压; γ 为体效应常数; ϕ_F 为费米势。当 V_{SB} 较小时(本文中 V_{SB} 大约为 200 mV), V_{TH} 可以近似表示为

$$V_{TH} \approx V_{TH0} + \gamma \frac{V_{SB}}{2(2\phi_F)^{1/2}} = V_{TH0} + \alpha V_{SB} \quad (10)$$

式中: α 为 V_{TH} 随 V_{SB} 变化的斜率。

将 V_{TH0} 表示成温度的线性函数, k_L 为 ML 阈值电压随温度变化的斜率, k_H 为 MH 阈值电压随温度变化的斜率,则式(5)可以进一步写成

$$V_{REF} = V_{TH,H,300K} + k_H(T - 300) - [V_{TH,L,300K} + k_L(T - 300) + \alpha V_{SB}] + \eta V_T \ln\left(\frac{(W/L)_L}{(W/L)_H}\right) \quad (11)$$

式中: $V_{TH,L,300K}$ 和 $V_{TH,H,300K}$ 分别为 ML 和 MH 在温度为 300 K 时的阈值。由于 $V_{SB}=V_{REF}$, 将 V_{REF} 对 T 求导,可得

$$\frac{\partial V_{REF}}{\partial T} = \frac{1}{1+\alpha} \left[(k_H - k_L) + \eta \frac{k}{q} \ln\left(\frac{(W/L)_L}{(W/L)_H}\right) \right] \quad (12)$$

当式(12)表示的导数为 0 时,便得到了一个与温度无关的基准电压。

观察上述计算过程可以发现,基准电压与偏置电流无关,这是由于在计算时忽略了 V_{DS} 的影响。考虑到实际情况,当偏置电流变化时,式(6)、(7)得

到的 $V_{GS,L}$ 和 $V_{GS,H}$ 将同时与 I 和 V_{DS} 有关。最终得到的基准电压 V_{REF} 将受 V_{DS} 影响,即受偏置电流的影响,特别是当电源电压较低时,亚阈值电流与 V_{DS} 关系增强,电压、工艺和温度的波动将严重影响基准电压的精度。因此,为了保证电压基准源的线性度与 PSRR,需要尽量使偏置电流不随电源、温度和工艺的变化而产生大的波动。

2 电路设计

2.1 总体结构

根据第 1 章中的基本原理,本文提出的电压基准源电路包括一个利用 ΔV_{TH} 与 V_T 进行温度系数补偿的基准电压产生电路、相应的偏置电路和启动电路,如图 2 所示。图 1 中基准的偏置电流由图 2 中的 M9 提供。整个电路输出的基准电压为 V_{REF} 。各晶体管的尺寸在表 1 中给出,其中 M11 是模型为 n33 的 MOS 管,其他 MOS 管是模型为 n18 的 MOS 管,所有的 MOS 管均在标准互补金属氧化物半导体(CMOS)工艺下实现,减小了工艺的复杂度。

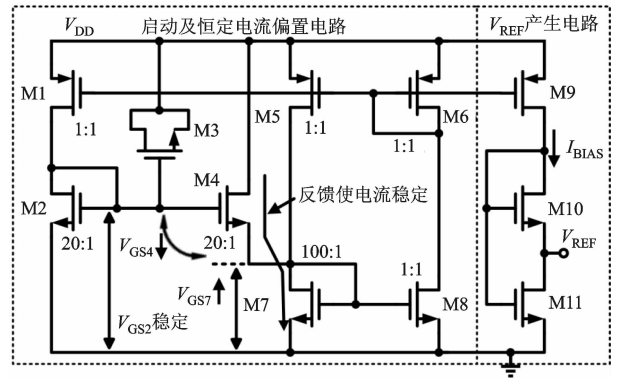


图 2 本文提出的基准电压源电路

表 1 各晶体管的尺寸

晶体管	$W/\mu\text{m}$	$L/\mu\text{m}$	晶体管	$W/\mu\text{m}$	$L/\mu\text{m}$
M1	1.0	1.0	M7	18.0	0.18
M2	3.6	0.18	M8	1.0	1.0
M3	3.0	3.0	M9	18.0	0.18
M4	3.6	0.18	M10	10.0	0.18
M5	1.0	1.0	M11	5.0	0.6
M6	1.0	1.0			

2.2 恒定电流偏置电路

从前面的分析可知,偏置电流的值需要较为稳定,同时为了降低功耗,MOS 管都工作在亚阈值区。基于这个目标,本文通过电压钳位的方法使所有的 MOS 管都工作在深亚阈值区,大大降低了功耗,也

降低了基准的电源电压。同时采用负反馈,使偏置电流基本不随电源电压变化。

如图 2 所示, M7、M8 构成电流镜, 根据它们的比值关系可得 I_{M7} 远大于 I_{M8} 。由于 M2 的电流是 M8 的镜像, 可得 $I_{M2} = I_{M8}$ 。由节点电流定律可知, M7 的电流绝大部分由 M4 提供, 少部分由 M5 提供, 所以可得 I_{M2} 远小于 I_{M4} 。但 $V_{GS2} > V_{GS4}$, 并且 M2 与 M4 尺寸相同, 这就使得 M2 的栅压必须非常低才能满足电压关系电流。亚阈值区的电流与栅源电压是指数关系, 因此可得 M2 的 V_{GS} 会非常低, 约为几十 mV; 同样, M7 的 V_{GS} 也非常低, 并且其尺寸与 M2 相比仅为 5:1, 因此它的 V_{GS} 会更低, 这种限制使得决定电流的主要 MOS 管工作在深亚阈值区, 电流极小, 同时深亚阈值电路的超低栅源电压使其可以在很低的电压下工作。

这样的电压钳制虽然实现了低压和超低功耗, 但也有一定的缺陷。因为亚阈值 MOS 管的电流与其栅源电压呈指数关系, 所以当电源电压增加时, 亚阈值电路的电流会剧烈增大, 特别是在本文的电路中, 决定电流的 MOS 管 M7 栅漏相连并且工作在深亚阈值区, 其电流随电源变化会更加明显, 当不采用其它稳定电流的措施时, 其电流将随电压按指数规律变化。虽然偏置电流在小范围的变化对 V_{REF} 产生的影响较小, 可以接受, 但变化过大时, 会对基准电压产生较大影响, 因此必须采取相应的措施使偏置电流稳定。

本文采用负反馈来稳定偏置电流。当电源电压增大时, V_{GS7} 、 V_{DS7} 增大, I_{M7} 增大。由于 M7 的 V_{DS} 很小, M8 的电流并不是 M7 的 1/100, 但仍然较小, 镜像到 M1、M2 支路的电路也较小。假设 $I_{M7} = 50I_{M2}$, 由于 $(W/L)_{M7} = 5(W/L)_{M2}$, 得到 V_{GS2} 增大的幅度将小于 V_{GS7} , 相对 V_{GS7} 的变化, V_{GS2} 可以视作稳定。根据图 2, $V_{GS4} = V_{GS2} - V_{GS7}$, 可以得到 V_{GS4} 会减小, M4 管提供的电流减小使得 I_{M7} 减小, 同时 V_{GS7} 、 V_{DS7} 减小, 实现了负反馈。

上述负反馈过程可更直观地描述如下: V_{DD} 增大使得 V_{GS7} 和 I_{M7} 增大, 从而 I_{M2} 增大, 而 V_{GS2} 变化较小, 使得 V_{GS4} 减小, 最终 I_{M4} 和 I_{M7} 减小, 偏置电流稳定。这个稳定过程并不能保证偏置电流在电源电压变化时一直等于某一个值, 因为 V_{GS2} 变化虽然较小, 其仍然有小幅的增加, 会使得偏置电流随电源电压有一定的增加, 但总体上来看, 负反馈使得偏置电流随电源电压变化的斜率很小, 并且由于电流的绝对数值较小, 其相对变化量也较小, 对基准电压的影

响会进一步减小。这些都会明显提高电压基准电路的线性度和 PSRR。

2.3 启动电路

与其他基准类似, 本文的基准电路也存在一个简并工作点, 因此需要启动电路给主电路充电使其摆脱简并工作点。

处于简并工作点时, X 节点电压为 0、Y 节点电压为 V_{DD} 、Z 节点电压为 0, 电路中没有电流流过。但是, 由于 MOS 电容 M3 的存在, 当电源电压上升时, 电容会有电流给 Z 节点充电, 使其电压上升, M4 开始给 M7 栅端充电, 电路摆脱简并工作点。该过程也可以简单地理解为, 上电时 M2、M4、M7 看作一个电容, M3 与该电容的电容分压作用使 Z 节点电压快速升高。设计时将 M3 的尺寸设计得较大, 使得 Z 节点电压上升得更高更快, 保证启动成功。当 M2、M4、M7 正常工作后, Z 节点电荷快速被泄放, 其节点电压会减小并稳定至正常的直流工作点。

2.4 工艺偏差容忍设计及基准电压的修调电路

从前面的介绍可以看到, 基准电压与 M10、M11 的阈值电压有关, 而工艺偏差对阈值电压的影响较大。为了减轻工艺偏差对基准电压的影响, 可以在实际电路中采用工艺偏差容忍设计及基准电压的修调电路。

具体的电路设计原理如图 3 所示, M10 和 M11 的实现分别采用 5 个相同的 MOS 管并联。由于工艺扰动对每个 MOS 管都是随机的, 这样的设计能有效减轻工艺偏差对总体阈值电压的影响。此外, 为了进一步缩小基准电压的偏差范围, 所有并联的 MOS 管上都增加了开关。当保证 M10 中导通的 MOS 管与 M11 中导通的 MOS 管数量相同时, 温度系数并不会受影响, 但基准电压的值会随阈值电压的不同而略有变化, 通过对开关的控制, 能对基准电

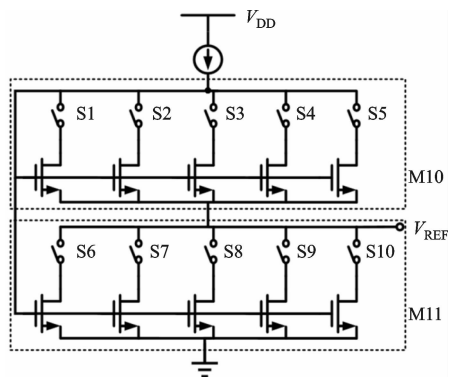


图 3 工艺偏差容忍设计及基准电压的修调电路原理图

压进行修调。

3 仿真结果

本文的基准电路采用 SMIC 0.18 μm CMOS 工艺设计,并采用 Cadence 软件进行了仿真。电路的工作温度范围为 $-40\sim 125\text{ }^\circ\text{C}$ 。仿真得到的不同电源电压下基准电压随温度 T 的变化曲线如图 4 所示。由图 4 可以得到:1.8 V 电源电压下,基准的温度系数为 $4.53\times 10^{-6}\text{ }^\circ\text{C}^{-1}$;当电源电压变化时,温度系数有一定的恶化,但最差的温度系数仍然有 $18.5\times 10^{-6}\text{ }^\circ\text{C}^{-1}$ 。

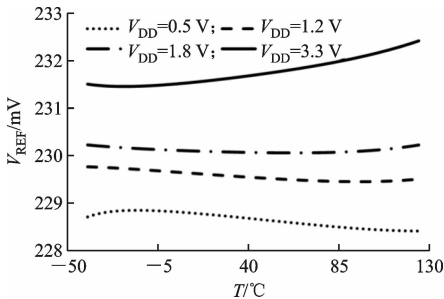


图 4 不同电源电压下基准电压随温度的变化曲线

不同温度下基准电压和电流随电源电压的变化曲线如图 5 所示。由图 5 可以看出:电路的电源电压范围为 0.5~3.3 V,低至 0.5 V 的电源电压得益于深亚阈值电路的结构;室温下,电路的线性调整率为 $0.428\%\text{V}^{-1}$;125 $^\circ\text{C}$ 时,电路线性调整率会恶化,这是因为当温度升高时,MOS 管的阈值电压会降低,亚阈值电流会显著增加,电源电压变化引起的偏置电流变化增大,基准电压会受更大影响。从图 5 中还可以得知,当室温下电源电压为 0.5 V 时,电路的功耗最低为 0.41 nW,电路实现了超低功耗的目标。

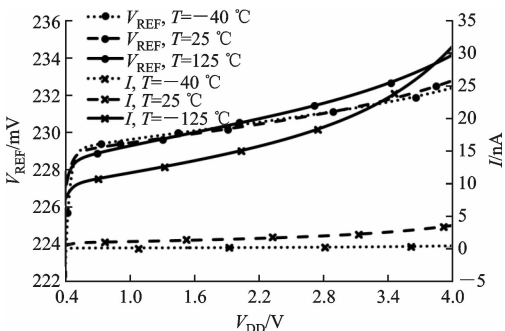


图 5 不同温度下基准电压和电流随电源电压的变化曲线

不同电源电压下电路的电源抑制比如图 6 所示。由图 6 可见,1.8 V 电源电压下,1 kHz 处的电源抑制比为 -60 dB ,100 kHz 处的电源抑制比降为

-30 dB 。电源电压过低时电压波动对基准电压影响增大,电源抑制比有所恶化。虽然相比传统的带隙基准,本文实现的电源抑制比并不突出,但相对于低压深亚阈值电路结构,该电源抑制比已较为出色,能满足大多数应用的需求。

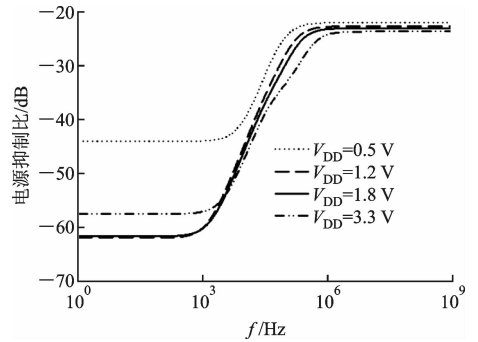


图 6 不同电源电压下电路的电源抑制比

未修调时不同工艺角下基准电压随温度 T 的变化曲线如图 7 所示。由图 7 可见,与理论分析相同,工艺偏差对输出的基准电压和总电流影响较大,需要采用工艺偏差容忍设计及基准电压的修调电路。修调电路加入前后,在 1.2 V 电源电压、典型工艺角和室温的条件下对电路进行蒙特卡罗仿真,500 次扫描的统计结果如图 8 所示。由图可以计算得修调前平均基准电压 μ 为 233.26 mV,标准差 σ 为 3.76 mV,工艺偏差系数 σ/μ 为 1.6%;修调后平均基准电压 μ 为 229.89 mV,标准差 σ 为 1.70 mV,工艺偏差系数 σ/μ 由 1.6%减小为 0.74%。

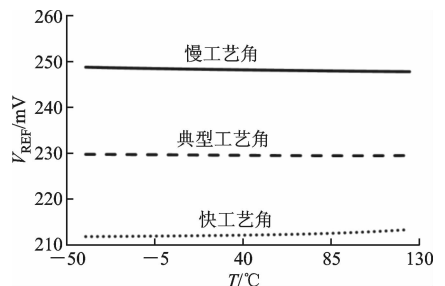
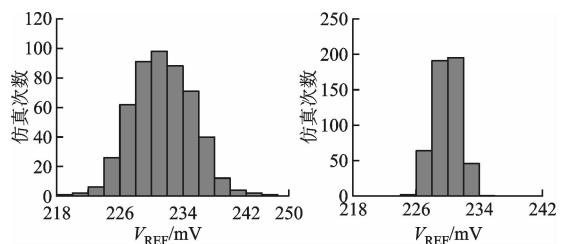


图 7 修调前不同工艺角下基准电压随温度的变化曲线



(a)修调前

(b)修调后

图 8 工艺扰动下修调前后对基准电压的仿真结果

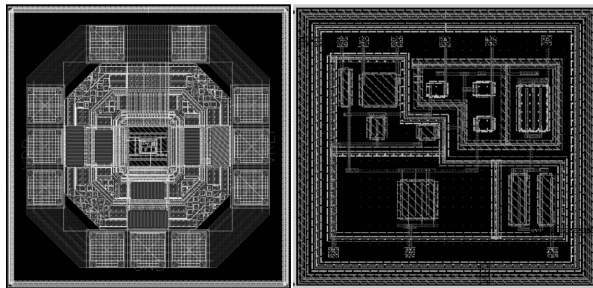
最终实现的电路版图如图 9 所示。得益于全

MOS的电路结构,电压基准电路核心面积仅为 $625\ \mu\text{m}^2$ 。

表2列出了本文与一些文献所提出的电压基准

表2 本文与几种文献所设计的基准电压源性能对比

电压源	工艺尺寸 / μm	电压范围 /V	功耗 /nW	基准电压 /V	温度系数 / $10^{-6}\ \text{C}^{-1}$	线性度 / $\% \cdot \text{V}^{-1}$	电源抑制比 /dB	频率 /Hz	面积 / μm^2
JSSC'11 ^[9]	0.16	1.8	990	1.087	12		-74	DC	1.2×10^5
JSSC'13 ^[10]	0.18	1.2~1.8	100	1.090	147		-62	100	2.94×10^4
TCAS-II'14 ^[11]	0.11	0.24~0.4	5 350	0.195	134	0.8			1.3×10^4
TCAS-I'14 ^[4]	0.18	1.2	36 000	0.767	4.5	0.054	-84	400	3.6×10^4
VLSI'15 ^[5]	0.065	0.75~1.2	290	0.474	40	0.242	-40	100	1.98×10^4
APCCAS'16 ^[12]	0.18	0.8~2.5	62	0.610	44	0.1	-62	100	5.5×10^4
JSSC'17 ^[6]	0.18	1.4~3.6	0.035	1.24	30.9	0.31	-41	100	2.5×10^3
本文设计	0.18	0.5~3.3	0.41	0.230	4.53	0.428	-60	1 000	625



(a)总体电路

(b)核心电路

图9 本文最终实现的电路版图

4 总结

本文提出了一种超低功耗的低电压全MOS基准电压源,通过电压钳制使MOS管工作在深亚阈值区,利用亚阈值区的 ΔV_{TH} 补偿 V_{T} 的温度系数。深亚阈值电路的结构实现了极低的功耗和低电压性能,采用负反馈提高了电路的线性度与电源抑制比,同时全CMOS的结构也实现了很小的版图面积。在SMIC 0.18 μm CMOS工艺下采用Cadence进行仿真,结果表明:电路的电源电压范围达到0.5~3.3 V,功耗最低仅为0.41 nW;1.8 V电源电压下-40~125 $^{\circ}\text{C}$ 温度范围内,温度系数为 $4.53 \times 10^{-6}\ \text{C}^{-1}$;线性调整率为 $0.428\% \text{V}^{-1}$,1 kHz电源抑制比为-60 dB。本文设计的基准电压源可应用于植入式医疗、可穿戴设备和物联网等对芯片有低压、低功耗要求的领域中。

参考文献:

- [1] 余国义. 低压低功耗CMOS基准参考源的设计[D]. 武汉:华中科技大学,2006:10-12.
- [2] 张鸿,张牡丹,张杰,等. 用于植入式医疗装置的逐

源的性能对比,从中可以看出,本文的电路实现了低压、超低功耗和极小的面积,并同时实现了较好的温度系数、线性调整率和电源抑制比。

次逼近式模数转换器[J]. 西安交通大学学报,2015,49(2):43-48.

ZHANG Hong, ZHANG Mudan, ZHANG Jie, et al. A successive approximation register analog-to-digital converter for implantable biomedical device [J]. Journal of Xi'an Jiaotong University, 2015, 49(2): 43-48.

- [3] 张鸿,陈贵灿,程军,等. 流水线模数转换器中高速低功耗开环余量放大器的设计[J]. 西安交通大学学报,2008,42(6):751-755.

ZHANG Hong, CHEN Guican, CHENG Jun, et al. Low power and high speed open-loop residue amplifier for pipelined analog-to-digital converter [J]. Journal of Xi'an Jiaotong University, 2008, 42(6): 751-755.

- [4] MA B, YU F Q. A novel 1.2-V 4.5-ppm/ $^{\circ}\text{C}$ curvature-compensated CMOS bandgap reference [J]. IEEE Transactions on Circuits & Systems: I Regular Papers, 2014, 61(4): 1026-1035.
- [5] TAN X L, CHAN P K, DASGUPTA U. A sub-1-V 65-nm MOS threshold monitoring-based voltage reference [J]. IEEE Transactions on Very Large Scale Integration Systems, 2015, 23(10): 2317-2321.
- [6] LEE I, SYLVESTER D, BLAAUW D. A subthreshold voltage reference with scalable output voltage for low-power IOT systems [J]. IEEE Journal of Solid State Circuits, 2017, 52(5): 1443-1449.
- [7] 闫志光. 低压低温度系数高电源抑制比的带隙基准源设计[D]. 沈阳:辽宁大学,2012:13-15.
- [8] 曾衍瀚,黄毅荣,李毓鳌,等. 超低功耗亚阈值CMOS电压基准电路[J]. 微电子学,2014(3):301-304.

(下转第76页)